

## SOI 超高速横型シリコンダイオード

著者	今城 寛紀, 大村 一, 附田 正則
雑誌名	電気学会研究会資料. EDD, 電子デバイス研究会
巻	EDD-14
ページ	EDD-14-068
発行年	2014-10
その他のタイトル	Ultra-fast lateral SOI PiN diode
URL	<a href="http://hdl.handle.net/10228/5739">http://hdl.handle.net/10228/5739</a>

# SOI 超高速横型シリコンダイオード

今城 寛紀\* 大村 一郎 (九州工業大学)  
附田 正則 (アジア成長研究所)

Ultra-fast lateral SOI PiN diode  
Hironori Imaki\*, Ichiro Omura, (Kyushu Institute of Technology)  
Masanori Tsukuda, (Asian Growth Research Institute)

Power semiconductors are becoming key devices for energy-saving society, therefore higher performance and productivity is required. We proposed a silicon-on-insulator (SOI) PiN diode, which realizes ultra-fast reverse recovery without waveform oscillation. This diode is expected to reduce energy loss of power devices and to improve performance of inverter circuits.

キーワード : パワーデバイス, シリコン, PiN ダイオード, SOI, リバースリカバリ, 波形振動

(power device, silicon, PiN diode, SOI, reverse recovery, waveform oscillation)

## 1. 要約

パワー半導体は省エネ社会実現のためのキーデバイスとして需要が拡大しており、量産性向上と高性能化が求められている。本研究では、インバータ回路の効率改善のカギとなるダイオードに注目し、量産性に優れたシリコンパワー半導体をベースに、高性能化を阻んでいたノイズ発生を究極まで抑制する構造をシミュレーションで実証した。本ダイオードの適用により、パワー半導体の損失低減とインバータ回路の効率改善が期待できる。

## 2. まえがき

パワーエレクトロニクス機器の効率改善及び普及拡大は省エネルギー社会を実現するための重要な要素である。そのため、パワーエレクトロニクス機器のキーデバイスとなるパワー半導体には、高速スイッチング、導通損失及びスイッチング損失の低減、そして低コスト化が要求される。現在、これらを満たすためにシリコンデバイスの更なる改良・改善や、化合物半導体などシリコンに代わる新材料を用いたデバイス開発が進んでいる<sup>(2)</sup>。シリコンデバイスは量産性の面で化合物半導体デバイスより優れ、化合物半導体デバイスはスイッチングの高速性の面において優れている (図1)<sup>(1)</sup>。本研究では、量産性に優れたシリコン材料に注目し、化合物半導体デバイスに迫る性能を可能にするデバ

イス構造を提案する。

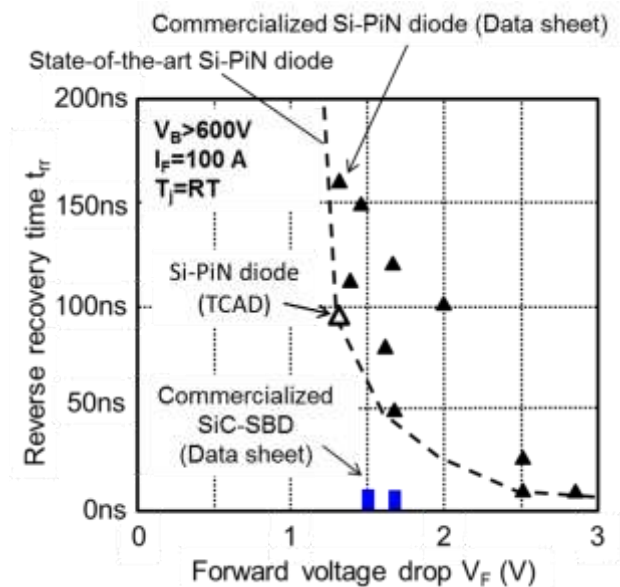


図1 現状の製品化されたダイオードとのトレードオフ<sup>(1)</sup>

Fig. 1 Performance of diodes

### 3. ダイオードの高速化とその課題

#### 〈3・1〉リバースリカバリ特性とターンオン損失

リバースリカバリ時間と順方向電圧降下はダイオードの性能の中でも重要な項目である。シリコン PiN ダイオード (Si-PiN)の順方向電圧降下は、PN 接合のビルトインポテンシャルと、蓄積キャリアによって低抵抗化する N ベース層の電圧降下との合計である。それに対し、シリコンカーバイド・ショットキーバリアダイオード (SiC-SBD)の順方向電圧降下は、金属-SiC 接合境界面でのショットキー障壁の高さと薄型化されたドリフト層内に生じる電圧降下の合計である。Si-PiN と SiC-SBD の 2 つを比較すると、順方向電圧降下はほぼ等しいのに対して、リバースリカバリスピードは N ベース層からのキャリア掃出し時間の分 Si-PiN が遅くなる。

ダイオードのリバースリカバリ高速化はスイッチング素子にも大きなインパクトを持つ。スイッチング素子のターンオン時に流れる電流には、ダイオードのリバースリカバリ電流が上乗せされる。したがって、ダイオードのリバースリカバリ電荷を低減することは、スイッチング素子のターンオン損失低減につながる。図 2 に実験で高速スイッチングダイオードを用いた場合の、ダイオード及びスイッチング素子の損失変化を示す<sup>(3)</sup>。リバースリカバリ損失及びスイッチング素子のターンオン損失が大きく低減していることが分かる。

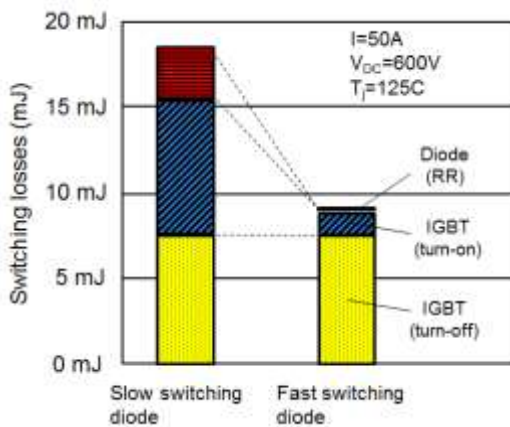


図 2 パワーデバイスのスイッチング損失内訳<sup>(3)</sup>

Fig. 2. Switching loss on power devices in experiment <sup>(3)</sup>

#### 〈3・2〉Si-PiN ダイオードの高速化可能性と課題

我々は解析モデルを用いてリバースリカバリ時間を解析し、Si-PiN ダイオードの高速化にはまだ十分な余地があることを明らかにした<sup>(4)(5)</sup>。しかしその一方で、最新の Si-PiN よりも薄い N ベース層の Si-PiN では、リバースリカバリ時大きな振動を引き起こすことも明らかとなった (表 1)。これが、現在まで高速 Si-PiN が実現しなかった理由の一つである。

表 1 厚さの異なる N ベース層をもつ縦型ダイオードのリバースリカバリ波形のシミュレーション結果<sup>(6)</sup>

TABLE 1. Simulated reverse recovery waveforms of conventional vertical diodes with different N<sup>-</sup> layer width <sup>(6)</sup>.

Si-PiN Structure	100 $\mu\text{m}$	90 $\mu\text{m}$	40 $\mu\text{m}$
$t_{rr}$ (ns)	150	130	110
$V_F$ (V)	1.85	1.71	1.13
Reverse recovery waveform ( $L_S=100\text{nH}$ , $V_S=600\text{V}$ , $T_J=RT$ )			

振動のトリガは先行研究で明らかになっている<sup>(6)(9)</sup>。N ベース層が薄いダイオードは、導通状態からターンオフが始まるとキャリアの注入が停止し、蓄積キャリアはアノード側とカソード側の両方から掃き出される。このとき、キャリアが掃き出されると同時に両側から空乏層が広がり、最終的に 2 つの空乏層がつながり 1 つとなる。これが振動発生トリガであり、この振動の現象をダイナミックパンチスルーと呼ぶ。対照的に N ベース層が厚い場合、ダイナミックパンチスルーが発生しないため波形は振動しない。

以前までの振動抑制のために提案されていたダイオードは、大きく 2 種類に分けることが出来る。1 つ目は、部分的にドーピング層を作りターンオフ時にキャリアの再注入を促す構造、2 つ目は N ベース層濃度を少し高くして空乏層の広がりを抑制する構造である<sup>(7)(10)(14)</sup>。しかし、キャリアの再注入はリバースリカバリ損失の増加を促し、N ベース層の高濃度化は電流がより長い経路を流れる。したがってどちらの構造もリバースリカバリ損失もしくは順方向電圧降下のトレードオフを悪化させるため、ダイオードの大幅な改善は困難であった。

#### 4. トラップを用いた超高速横型 SOI ダイオード

波形振動の抑制のためには、ダイナミックパンチスルーを防止する必要があるが、最先端のダイオードより高速な構造は縦型ダイオードでは実現が非常に困難である。そこで、ダイナミックパンチスルーを抑制させるため、図 3 に示すような横型 SOI 構造に SiO<sub>2</sub> トラップを用いたダイオードを提案する。

トラップのコンセプトは、トラップキャリアを用いてパワーデバイスの高耐圧化を目指した研究で紹介されており、凹凸状の酸化膜や、皿状の酸化膜がそれぞれ横型もしくは縦型のデバイスに用いられてきた<sup>(15)-(19)</sup>。トラップの大きな特徴は、高電界領域の拡大を抑制することであり、我々は、N ベース層に高濃度層を用いることなく電界の拡大を抑制するために、SOI 構造に SiO<sub>2</sub> トラップを用いることで、ダイナミックパンチスルーを抑制することが出来るのではないかと考えた。

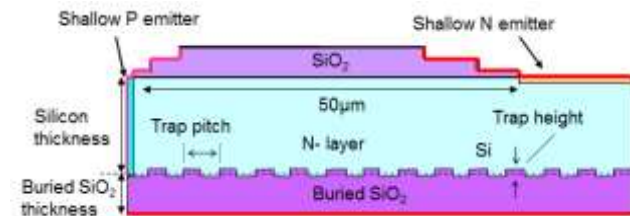
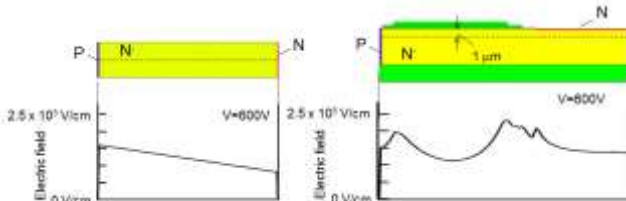
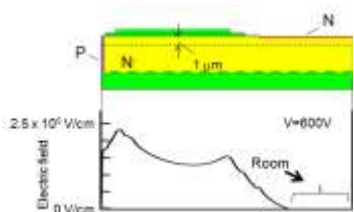


図 3 トラップを用いた横型 SOI ダイオードの構造  
Fig. 3. Structure of proposed lateral SOI PiN diode with traps.

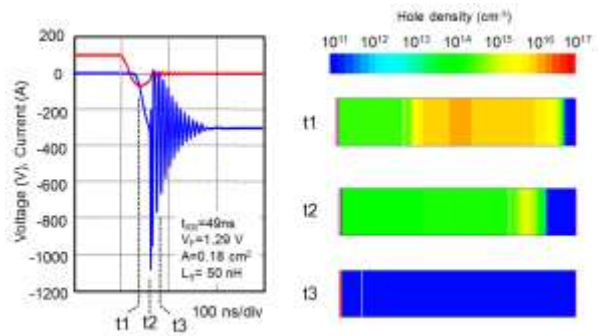


(a) 縦型シリコンダイオード (a) vertical Si-PiN  
(b) 横型 SOI ダイオード (b) Lateral SOI Si-PiN



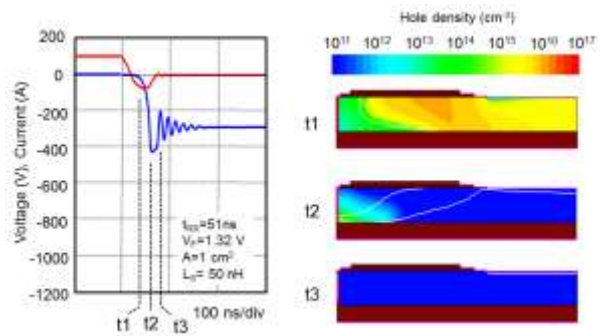
(c) トラップ構造付横型 SOI ダイオード  
(c) Proposed lateral SOI Si-PiN with traps

図 4 TCAD 上の各ダイオードの構造と破線部の電界分布  
Fig. 4. Diode structures and corresponding electric field along dotted line by TCAD simulation.



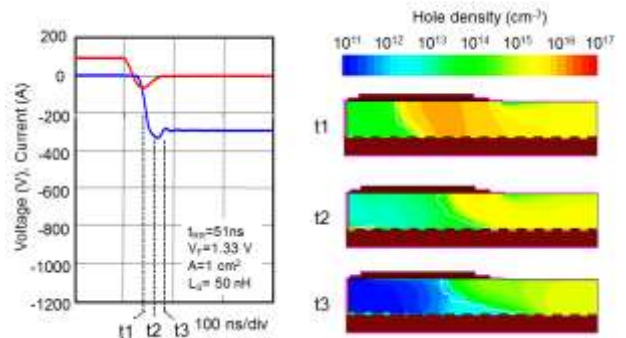
(a) 従来の縦型ダイオード

(a) Conventional structure of vertical Si-PiN



(b) 横型 SOI ダイオード

(b) Lateral SOI Si-PiN



(c) トラップを用いた横型 SOI ダイオード

(c) Proposed lateral SOI Si-PiN with traps

図 5 TCAD によるリバースリカバリ波形と各時間のホール密度分布  
Fig. 5. Waveform during reverse recovery and corresponding to hole density by TCAD simulation.

図 5. Waveform during reverse recovery and corresponding to hole density by TCAD simulation.

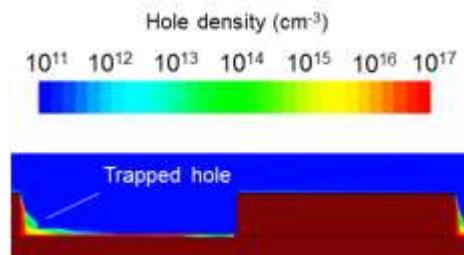


図 6 図 4(c)の SiO<sub>2</sub> トラップ付近のホール密度分布  
Fig. 6. Trapped hole in buried SiO<sub>2</sub> corresponding with Fig. 4. (c).



本研究は 2 次元 TCAD シミュレーションを用いて縦型 PiN ダイオード、横型 SOI ダイオード、新構造の 3 種類の構造を比較した。このときの横型ダイオードのシリコンと埋め込み酸化膜の厚さはそれぞれ  $10\mu\text{m}$  と  $5\mu\text{m}$  であり、トラップの高さは  $0.5\mu\text{m}$ 、ピッチ幅は  $5\mu\text{m}$  である。このトラップ構造は電界分布から設計される。

従来の縦型ダイオードは N ベース層のドーピング濃度に対応した直線的な傾斜で電界分布を形成する (図 4(a))。したがって、縦型ダイオードはサージ電圧のような高電圧によりダイナミックパンチスルーを引き起こす (図 5(a))。横型 SOI ダイオードは N ベース中に 2 つの電界ピークを持つ (図 4(b))。縦型ダイオードに比べ電界分布が変わるため、ダイナミックパンチスルーをある程度抑制することが出来るが、図 5(b)に示すように波形振動を完全に抑えることはできない。横型 SOI ダイオードに比べ横型 SOI 構造にトラップを加えたダイオードは、同じように電界ピークを 2 つ持つが、図 6 に示すようにホールがトラップされるため、N 層付近の電界ピーク値が低減される (図 4(c))。このため、この新構造ダイオードは他の 2 つの構造に比べ大きくダイナミックパンチスルーを抑制することができる。その結果、図 5(c)に示すようにリバースリカバリの波形は振動が抑制される。

図 7 に縦型ダイオードと提案したダイオードのトレードオフの比較を示す。ただし、縦型ダイオードは波形振動が起らないようにするため、新構造ダイオードとは N ベース幅が異なる。提案したダイオードは振動を起こすことなく最先端の縦型ダイオードよりもリバースリカバリ時間が半分となった。図 8 にリバースリカバリ中におけるシリコン基板の厚さが半分となる部分のホール密度分布の推移を示す。図 8 より、リバースリカバリが終わるまでホールが残留していることが分かる。

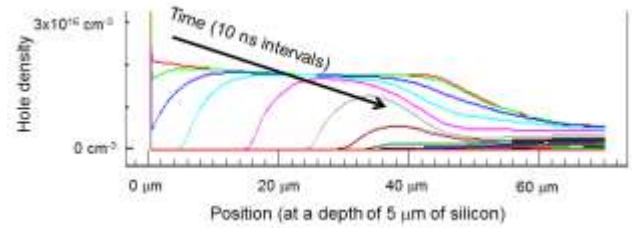


図 8 TCAD による図 5(c)のリバースリカバリ中におけるホール密度分布の推移

Fig. 8. Hole density change during reverse recovery corresponding to Fig. 5 (c) by TCAD simulation.

## 5. 考察：新構造ダイオードのシリコン基板厚型化

提案した新構造は縦型ダイオードに比べ、同じチップ面積の場合、電流の導通方向に対する電流密度が大きくなる。すなわち、チップ面積を等しくすればリバースリカバリ時間は半分以下に抑えられるが、順方向電圧降下が大きくなる。そのため、この構造の課題である順方向電圧降下の増加を改善するために、シリコン基板の厚型化をシミュレーション上で試みた。

シリコン基板厚さごとの、チップ面積の変化に対する順方向電圧降下とリバースリカバリ時間のトレードオフカーブを図 9 に示す。シリコン基板を厚くすると順方向電圧降下の低減を確認できたが、同時にリバースリカバリ時間が長くなることも明らかとなった。原因として、シリコン基板が厚くするにつれてカソード下部の蓄積キャリアが多くなることが考えられる (図 10)。また、提案した新構造は、厚型化するとリバースリカバリのテール電流が大きくなるため、リバースリカバリ損失が増大する (図 11)。リバースリカバリ時間の定義には、テール電流を含んでいないため、図 9 及び図 11 で厚型化による変化の程度が異なる。

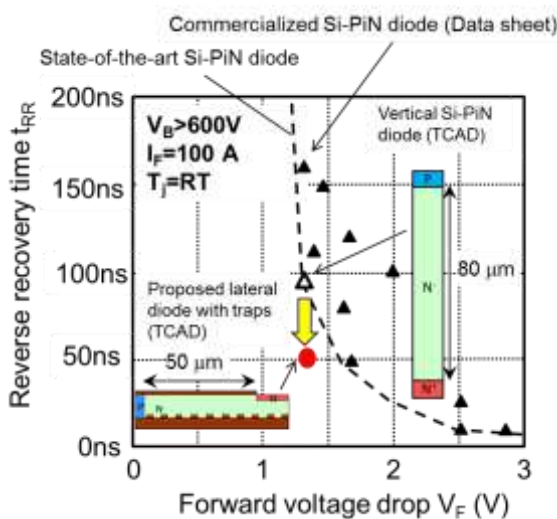


図 7 縦型ダイオードと提案した新構造ダイオードのトレードオフの比較

Fig. 7. Performance of proposed lateral SOI PiN diode and benchmarks.

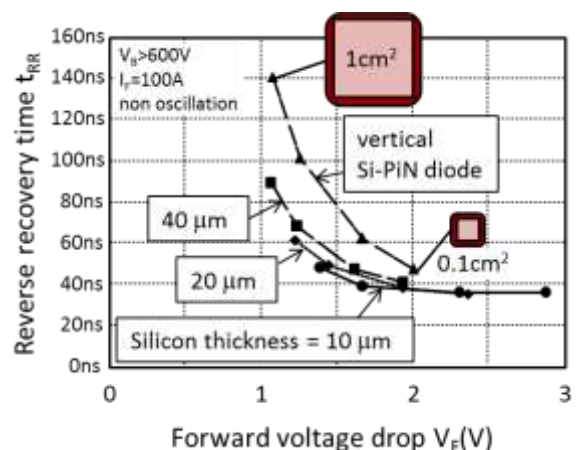


図 9 新構造ダイオードの各シリコン基板厚さにおける順方向電圧降下とリバースリカバリ時間のトレードオフ  
Fig.9 trade-off of different silicon thickness of proposed diode without waveform oscillation by TCAD between reverse recovery time and forward voltage drop.

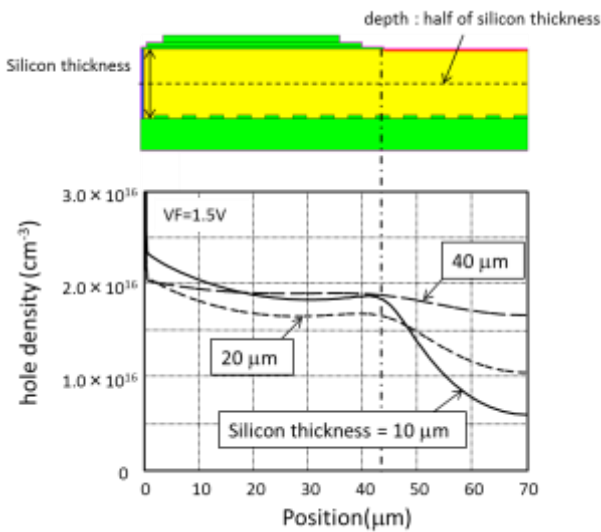


図 10 シリコン基板厚さが異なる各構造の導通時におけるホール密度分布

Fig.10 hole density distribution of different silicon thickness diode along dotted line.

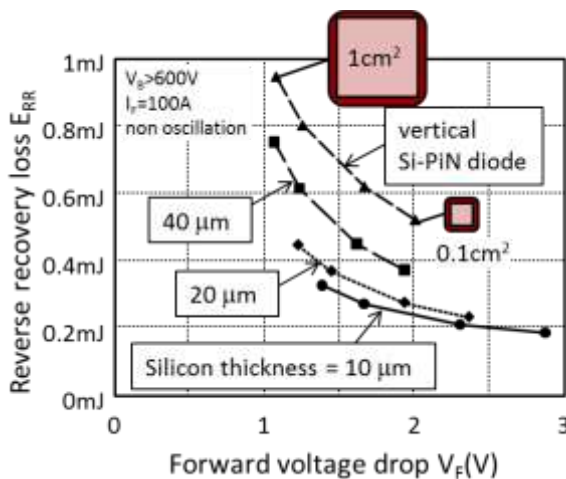


図 11 新構造の各シリコン基板厚さにおける順方向電圧降下とリバースリカバリ損失のトレードオフ

Fig.11 trade-off of different silicon thickness of proposed diode by TCAD between reverse recovery loss and forward voltage drop.

## 6. 結論

省エネ社会の実現に向けて、パワー半導体の高性能化・量産性向上が求められる。本研究では量産性に優れたシリコンを用いて、高速スイッチングが可能な新構造ダイオードを提案した。提案したダイオードのスイッチング時間が従来の縦型ダイオードと比べおよそ 50%低減することをシミュレーション上で確認出来た。

- (1) Masanori Tsukuda, Hironori Imaki and Ichiro Omura, "Ultra-fast Lateral 600 V Silicon PiN Diode Superior to SiC-SBD" Proc. of ISPSD, pp. 31-34, 2014
- (2) Hiromichi Ohashi, "Power devices now and future, strategy of Japan Role of power electronics for a low carbon society," Proc. of ISPSD, pp. 9-12, 2012.
- (3) Masanori Tsukuda, Ichiro Omura, Wataru Saito, Tomokazu Domon and Masakazu Yamaguchi, "Power Loss Estimate for 2 Level 3 Phase Inverter using 1200 V-Class Si-IGBT and 1200 V-Class SiC-SBD," (in Japanese) Proc. of IEEJ, Issues 4, pp. 5-6, 2005.
- (4) Ichiro Omura, Wataru Saito, Tomokazu Domon and Kunio Tsuda, "Gallium Nitride Power HEMT for High Switching Frequency Power Electronics," Proc. of IWPSD, pp. 781-786, 2007.
- (5) M. Tsukuda, K. Kawakami, K. Takahama, I. Omura, "Design for EMI" approach on power PiN diode reverse recovery," Microelectronics Reliability Vol. 51, Issues 9-11, pp. 1972-1975, 2011.
- (6) Masanori Tsukuda, Ichiro Omura, Yoko Sakiyama, Masakazu Yamaguchi, Ken'ichi Matsushita and Tsuneo Ogura, "Critical IGBT Design Regarding EMI and Switching Losses," Proc. of ISPSD, pp. 185-188, 2008.
- (7) Masanori Tsukuda, Yoko Sakiyama, Hideaki Ninomiya and Masakazu Yamaguchi, "Dynamic Punch-Through Design of High-Voltage Diode for Suppression of Waveform Oscillation and Switching Loss," Proc. of ISPSD, pp. 128-131, 2009.
- (8) Kenichi Takahama and Ichiro Omura, "Numerical study on very high speed silicon PiN diode possibility for power ICs in comparison with SiC-SBD," Proc. of ISPSD, pp. 169-172, 2010.
- (9) Josef Lutz, Heinrich Schlangenotto, Uwe Scheuermann and Rik De Doncker, "Semiconductor Power Devices: Physics, Characteristics, Reliability," Springer, 2011.
- (10) M. Mori, Y. Yasuda, N. Sakurai and Y. Sugawara, "A NOVEL SOFT AND FAST RECOVERY DIODE (SFD) WITH THIN P-LAYER FORMED BY AIS ELECTRODE," Proc. of ISPSD, pp. 113-117, 1991
- (11) K. T. Kaschani and R. Sittig, "How to avoid TRAPATT Oscillation at the Reverse-Recovery of Power Diodes," Proc. of CAS'95, pp. 571-574, 1995.
- (12) K. Satoh, K. Morishita, Y. Yamaguchi, N. Hirano, H. Iwamoto and A. Kawakami, "A Newly Structured High Voltage Diode Highlighting Oscillation Free Function In Recovery Process," Proc. of ISPSD, pp. 249-252, 2000.
- (13) M. Nemoto, T. Naito, A. Nishiura and K. Ueno, "MBBL Diode : A Novel Soft Recovery Diode," Proc. of ISPSD, pp. 433-436, 2004.
- (14) F. Hille, M. Bassler, H. Schulze, E. Falck, H.P. Felsl, A. Schieber, A. Mauder, "1200V Emcon4 freewheeling diode - a soft alternative," Proc. of ISPSD, pp. 109-112, 2007.
- (15) Robert Plikat, Dieter Silber and Wolfgang Wondrak, "Very High Voltage Integration" in SOI Based on a New Floating Channel Technology," Proc. of IEEE International SOI Conference, pp. 59-60, 1998.
- (16) Ichiro Omura and Akio Nakagawa, "Silicon on Insulator semiconductor device with increased withstand voltage," United States Patent, 6,049,109, April 11, 2000.
- (17) Holger Kapels, Robert Plikat and Dieter Silber, "Dielectric Charge Traps: A New Structure Element for Power Devices," Proc. of ISPSD, pp. 205-208, 2000.
- (18) Xiaorong Luo, Bo Zhang, Zhaoji Li, Yufeng Guo, Xinwei Tang, and Yong Liu, "A Novel 700-V SOI LDMOS With Double-Sided Trench," IEEE Electron Device Lett., vol. 28, No. 5, pp. 422-424, May 2007.
- (19) Satoshi Shiraki, Yoichi Ashida, Shigeki Takahashi, and Norihito Tokura, "Analysis of Transient Characteristics of Lateral IGBTs and Diodes on Silicon-on-Insulator Substrates with Trenched Buried Oxide Structure," Proc. of ISPSD, pp. 261-264, 2010.