

## フルデジタル回路による I G B T の高速短絡保護

著者	谷村 拓哉, 湯浅 一史, 大村 一郎
雑誌名	電気学会研究会資料. EDD, 電子デバイス研究会
巻	EDD-11
ページ	EDD-11-067
発行年	2011-10
その他のタイトル	Full Digital Short Circuit Protection for Advanced IGBTs
URL	<a href="http://hdl.handle.net/10228/5765">http://hdl.handle.net/10228/5765</a>

# フルデジタル回路による IGBT の高速短絡保護

谷村 拓哉\* 湯浅 一史 大村 一郎 (九州工業大学)

## Full Digital Short Circuit Protection for Advanced IGBTs

Takuya Tanimura\*, Kazufumi Yuasa, Ichiro Omura (Kyushu Institute of Technology)

A full digital short circuit protection method for advanced IGBTs has been proposed and experimentally demonstrated for the first time. The method employs combination of digital circuit, the gate charge sense instead of the conventional sense IGBT and analog circuit configuration. Digital protection scheme has significant advantages in the protection speed and flexibility.

キーワード：短絡保護，デジタル回路，IGBT

(Short Circuit Protection, Digital Circuit, IGBT)

### 1. まえがき

IGBT(Insulated Gate Bipolar Transistor)の大容量化・小面積化が進み負荷短絡時のチップの温度上昇が急峻となっている<sup>(1)</sup>。今後 IGBT はさらに高速な保護が必要になり、要求される保護時間は  $1\mu\text{s}$  以下になると考えられている(図 1)。従来の保護方法はセンス IGBT を用いて保護を行っており<sup>(2)(3)</sup>、この方法では主電流からのノイズの影響により高速保護ができない。そこで保護を高速化するため IGBT のゲート電荷の変化(図 2)を検知する方法を提案する<sup>(4)(5)</sup>。ゲート電荷を検知することで高性能な IGBT に対しても短絡保護スピードの向上が見込まれる。この保護方法は制御部にアナログ回路を使用しており、保護回路に組み込んだ後のパラメータの変更ができない。デジタル回路を用いることで多くの機能をパソコンから自由に組み込むことができる。本稿ではデジタル回路を用いて高速保護を実験で実証した。

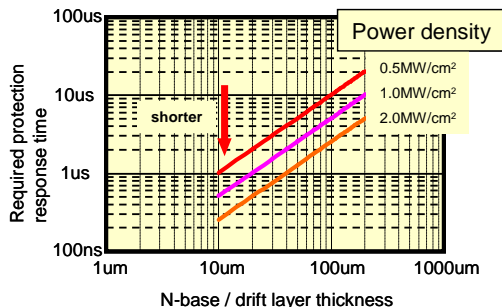


図 1 N<sup>-</sup>層の厚さと短絡保護時間の関係  
Fig. 1. Relationship between N-base thickness and the short circuit.

### 2. デジタル回路を用いた短絡保護

#### 〈2-1〉 従来の保護方法と提案する保護方法との比較

はじめに、従来の方法と提案するゲート電荷を検知する方法の概略を図 3 に示す。従来の保護方法はゲートドライブ回路、センス抵抗  $R_s$ 、センス IGBT により構成される。センス IGBT は主 IGBT で保護を行うために共通のゲート及びコレクタにセンスエミッタを持つ、チップに埋め込まれた小さな IGBT のことである。センス IGBT の動作原理はセンス抵抗  $R_s$  における電圧降下  $V_{\text{SENSE}}$  によりコレクタ電流  $I_c$  を検知する。負荷短絡が起きるとコレクタ電流が増大し、それに伴い  $V_{\text{SENSE}}$  も増大することを利用している。センス IGBT は主エミッタに流れる大電流からのノイズの影響で、短絡保護スピードが遅くなり保護ができない。

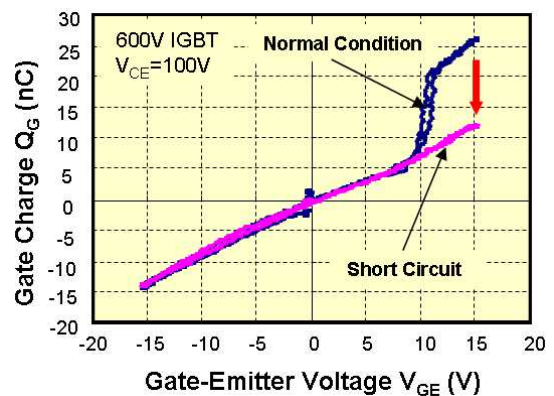


図 2 定格動作時と負荷短絡時のゲート電荷の違い  
図 2 定格動作時と負荷短絡時のゲート電荷  $Q_G$  の違い  
Fig. 2. Difference of gate charge to the gate voltage under normal condition and short circuit condition.

センス IGBT の高速保護ができない問題を解決するためにゲート電荷を検知する方法を提案する。図 2 に IGBT の定格動作時及び負荷短絡時のゲート電荷  $Q_G$  を示す。負荷短絡時ではゲート電荷が定格動作時と比較して減少することが確認できている。

IGBT には、帰還容量  $C_{res}(C_{GC})$  と入力容量  $C_{ies}(C_{GE})$  が存在する(図 4(a))。帰還容量はゲート - コレクタ間を流れる変位電流(ミラー効果)、及びゲート絶縁膜界面に蓄積されるホールによる寄生容量(ネガティブゲートキャパシタンス(図 4(b)))によって変化する。いずれもコレクタ電圧に関係しており、負荷短絡時にコレクタ電圧が定格動作時に比べて変化することによって生じる変化である。また、入力容量は電圧依存性がなくほぼ一定である。ゲートの寄生容量  $C_G$  は、

$$C_G = C_{res} + C_{ies} \dots\dots\dots (1)$$

で表せるため、帰還容量の変化によってゲートの寄生容量が変化し、ゲート電荷  $Q_G$  も変化する。図 2 の負荷短絡時のゲート電荷  $Q_G$  の減少は短絡を検知するためには十分な大きさであり、このゲート電荷の減少を検出することによって、IGBT の短絡状態を検知することができる。

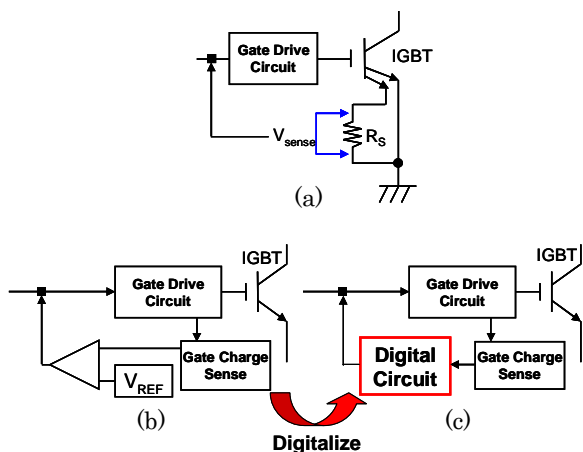


図 3 (a)従来の保護方法  
(b)提案する保護方法(アナログ)  
(c)提案する保護方法(デジタル)  
Fig. 3. (a)Conventional method.  
(b)proposed method (analog).  
(c).proposed method (digital).

提案する保護回路(図 3(b))は、ゲートドライブ回路、ゲート電荷測定回路、参照電圧( $V_{REF}$ )発生器、コンパレータで構成される。図 3(c)は参照電圧発生器及びコンパレータのデジタル化を行ったものである。ゲート電荷の減少を検知する保護方法は保護信号をフィードバックすることで、ゲート電圧を減少させて IGBT をターンオフさせる。

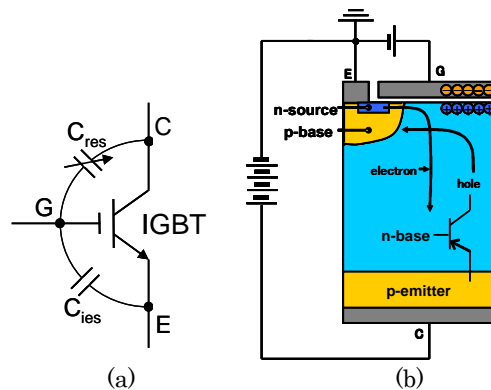


図 4 (a)ゲート寄生容量  
(b)ゲート電荷の減少メカニズム

Fig. 4. Gate parasitic capacitance in IGBT (a) Mechanism of the reduction of gate charge (b).

### 〈2・2〉 ゲート電荷測定回路の構成

この節ではゲート電荷を測定するための回路を説明する。ゲート電荷測定回路はゲートドライブ回路およびカレントミラー回路で構成される(図 5)。ゲートドライブ回路は 2 つのミラー回路を介して電源電圧と接続している。この回路はゲートドライブ回路の動作をさせると共にカレントミラー回路により IGBT に流れるゲート電流  $I_G$  と等しい値の  $I_G^*$  がキャパシタ  $C_M$  に流れる。 $C_M$  によりキャパシタに流れた電荷はゲート電荷電圧  $V_{QG}$  に変換される。ゲート電荷電圧は IGBT のゲート電荷を示している。即ち、 $V_{QG}$  を測定することでゲート電荷が得られる。

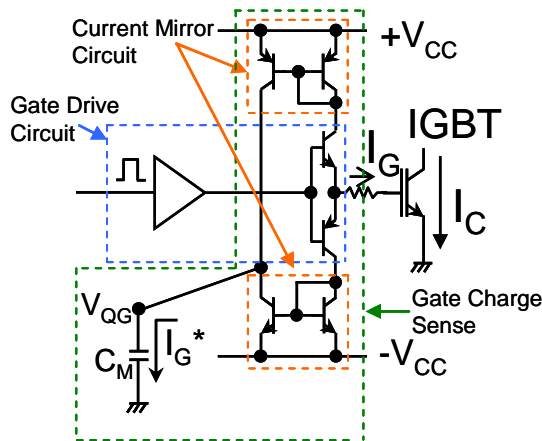


図 5 ゲート電荷測定回路の構成

Fig. 5. Configuration of gate charge sense.

これまでアナログ回路による実証を行ってきたが、参照電圧は温度変化に敏感で IGBT の接合温度によって変化する。アナログ回路の場合、保護回路内に載せる前にあらかじめ参照電圧を設定しておく必要があり再設定ができない。これらを解決するためにデジタル回路での保護を実証した。

### 〈2・3〉 デジタル回路を使用する利点

この節では IGBT の短絡保護にアナログ回路の代わりにデジタル回路を用いる主な利点を以下に挙げる。

- ・将来の高速化が見込める
- ・経年劣化による性能低下がない
- ・高集積化が可能
- ・パソコンからパラメータを自由に変更可能
- ・リアルタイムで処理が可能

デジタル回路の動作速度は年々高速化しており、将来アナログ回路を使用した保護よりも高速化が見込まれる。アナログ回路は使用するにつれ温度変化などの要因により劣化するが、デジタル回路は性能が低下しない。アナログ回路で実現していた機能をデジタル回路が行うことにより、抵抗やトランジスタなどの部品が消費するスペースが不必要になり高集積化が可能となる。デジタル回路にパソコンからプログラミングを行うことで自動的に定格動作時のゲート電荷を取得して参照電圧を生成するように設定し、保護回路を載せる前に参照電圧を設定しておくという手間を省くことができる。IGBT の定格動作中での温度特性の変化に応じて参照電圧を調整することを可能にする。

### 〈2・4〉 デジタル保護の仕組み

この節ではアナログ回路の代わりにデジタル回路及びインターフェースとして高速 AD/DA コンバータを用いて、負荷短絡を判断するための参照電圧を発生させる機能やコンパレータ機能など短絡保護に必要なすべての機能をデジタル論理回路で構成し、その動作を説明する。デジタル回路は FPGA(Field Programmable Gate Array)を用いて、その内部の機能は Digital Filter、Peak detector、Digital comparator、Pulse generator、Gate controller で構成している。図 6 に各機能の動作原理を示し、順々に説明する。

ゲート電荷測定回路から出力されたゲート電荷電圧  $V_{QG}$  を A/D コンバータによりデジタル変換する。プログラムが誤動作を行わないようゲート電荷電圧  $V_{QG}$  に載っているノイズをデジタルフィルタで除去する。IGBT の定格動作時にデジタル回路が保護の基準となる閾値を参照電圧  $V_{REF}$  として自動的に生成する。参照電圧は定格動作時と負荷短絡時の  $V_{QG}$  の間に設定し、負荷短絡が起きてゲート電荷電圧  $V_{QG}$  が  $V_{REF}$  よりも減少( $V_{QG} < V_{REF}$ )するとデジタル回路内のコンパレータが保護信号を出力する。その信号がフィードバックし、ゲート電圧を減少させて IGBT をターンオフさせて保護を行う。デジタル回路の各機能の内容を以下に示す(図 6)。

**Digital filter:** デジタル回路内でプログラムの誤動作を防止するためにゲート電荷電圧  $V_{QG}$  の波形に含まれるノイズを除去する。FPGA 内で FIR (Finite duration Impulse Response) フィルタを使用しサンプリング周波数を 30MHz と設定した。タップ数の値は大きくなるにつれ波形の遅延が大きくなるので、その遅延が最小限となるように 4 と設定した。

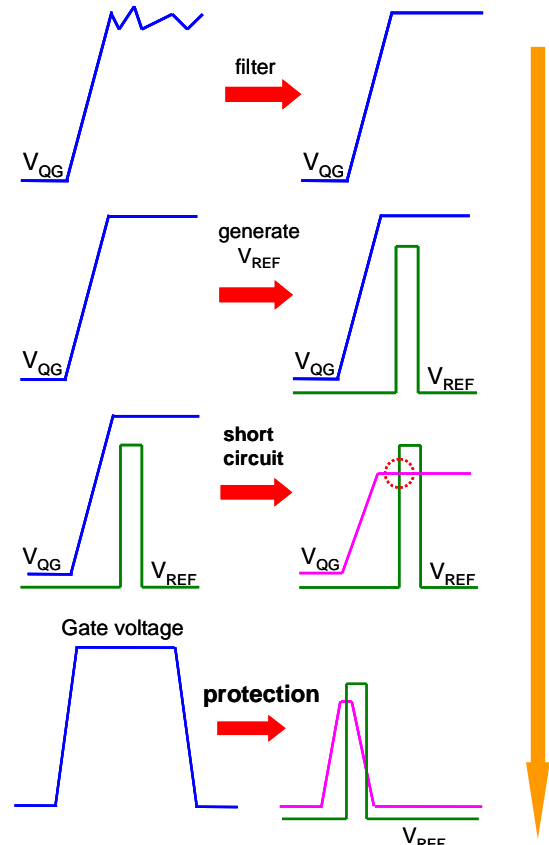


図 6 デジタル回路の各機能の動作原理

Fig. 6. Mechanism of functions in digital circuit.

**Peak detector:** 短絡判断の基準となる参照電圧  $V_{REF}$  を設定するために、定格動作時のゲート電荷電圧  $V_{QG}$  のハイレベルを記録する。 $V_{QG}$  に含まれるノイズによる誤動作を防止するために、適切なマージンをとって IGBT の定格動作時と負荷短絡時との  $V_{QG}$  の間で  $V_{REF}$  を自動生成する。

**Pulse generator:** IGBT のゲートを駆動させるためのパルス波  $V_P$  を生成する。定格動作時は '1' を出力し IGBT を駆動させ、負荷短絡が生じると Pulse generator からの出力が Gate controller により遮断され IGBT のゲート電圧をオフする。

**Digital comparator:**  $V_{QG}$  と  $V_{REF}$  を比較し、負荷短絡が起きて  $V_{QG}$  が  $V_{REF}$  よりも減少したとき、保護信号を Gate controller に出力する。

**Gate controller:** 負荷短絡を検知し Digital comparator からの保護信号を入力すると、Pulse generator からのゲートパルス信号を遮断し、ゲート電圧を減少させることで IGBT をターンオフさせる。



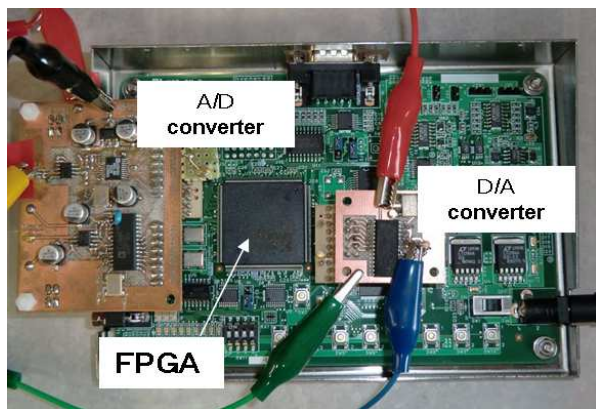
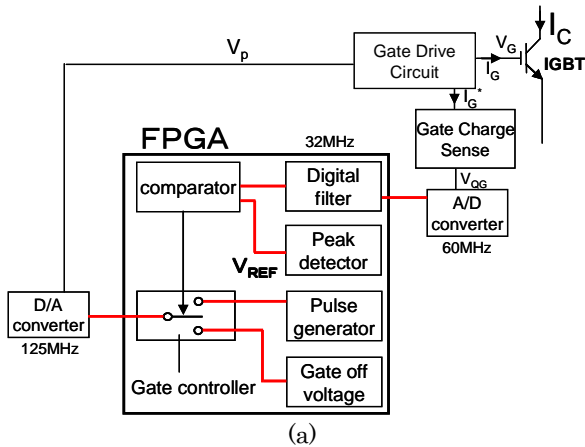


図 7 (a)実証した保護回路のブロック図  
(b)実験で使った FPGA の写真

Fig. 7. (a)Block diagram for the demonstrated protection circuit.

(b)photograph of the FPGA board used in the experiment.

### 3. フルデジタル回路を用いた高速短絡保護実験

この章ではゲート電荷測定回路を用いてフルデジタル回路による IGBT の高速短絡保護を用いて実験で実証した。図 7(a)に示した FPGA(32MHz)内のすべての機能をハードウェア記述言語 (VHDL) でプログラムを行った。図 7(b)はデジタル回路とアナログ回路とのインターフェースに A/D converter (60MHz) 及び D/A converter (125MHz) を使用した構成写真である。これらを使用して高速短絡保護を行った。実証実験では定格 10A の IGBT(GT10J303)を用いて、主回路の電圧を 300V、ゲート抵抗を 27Ωとした。

(1)定格動作時では、Peak detector が  $V_{QG}$  のハイレベルの最大値を取得し、自動的に  $V_{REF}$  を生成する(図 8(a))。Reference Trigger が '1' になるとゲート電荷電圧  $V_{QG}$  と参照電圧  $V_{REF}$  の比較を Digital Comparator が行う。ゲート電荷電圧が参照電圧よりも大きいため保護信号が出力されずデジタル回路が IGBT は定格動作状態と判断する。

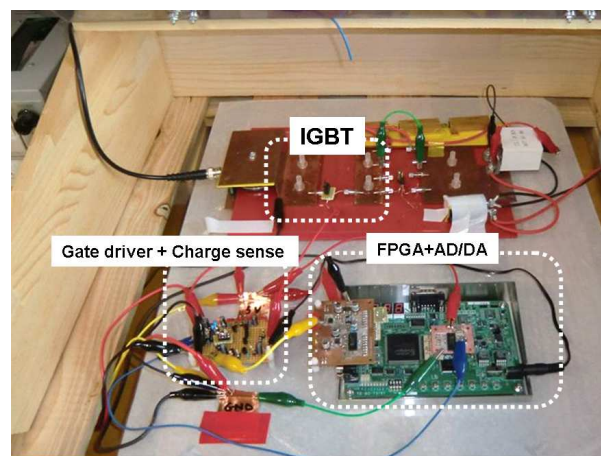
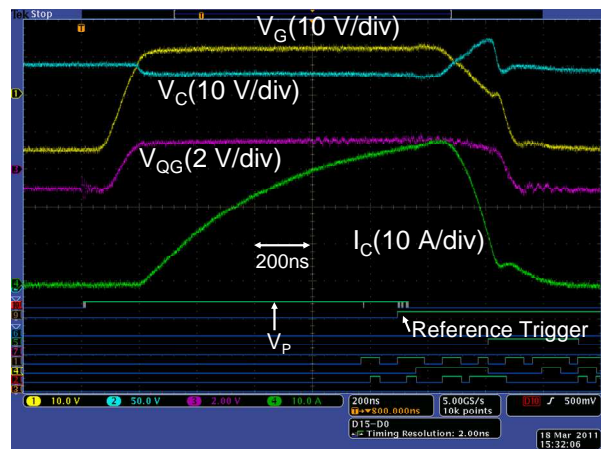
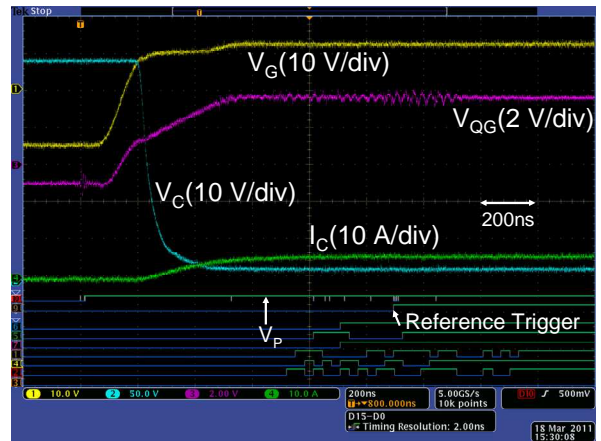


図 8 (a)定格動作時の波形  
(b)負荷短絡時の波形  
(c)実験の全体写真

Fig. 8. (a) Protection waveform under normal condition.

(b) Protection waveform under the short circuit condition .

(c) photograph for experimental setup.

(2)負荷短絡時では、Reference Trigger が'1'になるとゲート電荷電圧  $V_{QG}$  が参照電圧  $V_{REF}$  をより減少していることを検知する。デジタル回路は負荷短絡状態と判断し Digital Comparator が保護信号を出力する。Gate Controller に保護信号が入力されると Pulse Generator からのパルス信号  $V_P$  を遮断し、ゲート電圧を減少することでコレクタ電流  $I_C$  の遮断に成功した(図 8(b))。

高速短絡保護の実証に成功し IGBT の保護までに要した時間は  $1.4\mu s$  だった。Digital Comparator から保護信号が出力されコレクタ電流が減少するまでの時間はわずかである。保護時間の大部分はデジタルフィルタによる遅延時間が占めており、デジタル回路の動作周波数が高くなれば保護時間を  $1\mu s$  以下にすることがきることができると考えられる。

#### 4. 結論

動作周波数 32MHz の FPGA 及び高速 AD/DA コンバータを用いたフルデジタル回路による IGBT の高速短絡保護を実証した。このデジタル回路を用いた保護方法は  $1\mu s$  以下で保護を行うことができるポテンシャルを有し、かつデジタル回路を用いることによりリアルタイムでのデジタル処理を可能とする。

表 1 保護回路で使用した部品の詳細  
Table 1. Protection system detail.

<b>FPGA board</b>	
Device	XILINX Spartan XC3S400-4
Clock	32 MHz
Number of Gate	400kgates Max
<b>AD Converter (8-Bit)</b>	
Device	Analog Devices AD9283
Clock	60MHz
<b>DA Converter (8-Bit out of 10-Bit)</b>	
Device	Analog Devices AD9760
Clock	125MHz
<b>Gate drive and gate charge sense</b>	
Op-amp	National Semiconductor LM7171
NPN Bip Tr	Toshiba 2SC1815 x 3
PNP Bip Tr	Toshiba 2SA1015 x 3
<b>IGBT</b>	Toshiba GT10J303
	$R_g = 27\Omega$

#### 文 献

- (1) I. Omura, Presentation at ECPE Workshop on Power Electronics Research & Technology Roadmaps -Copenhagen, Denmark (2007)
- (2) E.Motto, J.Donlon, S. Ming, K. Kuriaki, T. Iwagami, H. Kawafuji and T. Nakano : "Large package transfer molded DIP-IPM", Proc. of IAS'08, pp.1-5 (2008)
- (3) M. Kudoh, Y. Hohi, S. Momota, T. Fujiwara and K. Sakurai : "Current sensing IGBT for future intelligent power module", Proc. of ISPSD' 96, pp.303-306 (1996)
- (4) I. Omura, H. Ohashi and W. Fichtner : "IGBT negative gate capacitance and related instability effects", IEEE ED-letters, Vol. 18, No.12, pp.622-624 (1997)
- (5) K. Yuasa, S. Nakamichi and I. Omura : "Ultra high speed short circuit protection for IGBT with gate charge sensing", Proc. of ISPSD' 10, pp.37-40 (2010)