

IGBT ダブルゲート構造の提案とアクティブ・ホール注入制御：数値解析による低損失化の原理確認

著者	原田 翔平, 大村 一郎, 附田 正則
雑誌名	電気学会研究会資料. EDD, 電子デバイス研究会
巻	EDD-15
ページ	EDD-15-085
発行年	2015-10
その他のタイトル	Double gate IGBT with control of active hole injection: principle of low loss by numerical analyses
URL	http://hdl.handle.net/10228/5773

IGBT ダブルゲート構造の提案とアクティブ・ホール注入制御 ：数値解析による低損失化の原理確認

原田 翔平* 大村 一郎 (九州工業大学)
附田 正則 (北九州市環境エレクトロニクス研究所)

Double gate IGBT with control of active hole injection: principle of low loss by numerical analyses
Shouhei Harada*, Ichiro Omura(Kyushu Institute of Technology)
Masanori Tsukuda(City of Kitakyushu)

Double gate IGBT is proposed and confirmed significant reduction of turn-off loss with TCAD simulation. Conventional IGBTs have a problem of large turn-off loss with stored carrier in N-base. The proposed structure declines carrier injection during turn-off by dynamic hole injection decrease with the collector side gate control.

キーワード : IGBT, 低損失化, ダブルゲート構造, 蓄積キャリア, ターンオフ損失, ホール注入効率
(IGBT, low loss, double gate, stored carrier, turn-off loss, hole injection efficiency)

1. はじめに

IGBT (Insulated Gate Bipolar Transistor)は家電製品や電気自動車、再生可能エネルギーの高電圧電力変換器など様々な分野や製品に適用されている。IGBT は応用範囲や需要の拡大に応えるために様々な性能が向上している。特に定格電流密度は多くのブレークスルーにより実現されている。(図1 参照)⁽¹⁾。今後も更なる高パワー密度化の実現に向けて IGBT の高電流密度化が進んでいくと考えられる。しかし、高電流密度化を実現するために N-ベース中のキャリア蓄積を促進するため、キャリアの排出の長時間化によるターンオフ損失増加が問題であった。

本研究では、ダイナミックにホール注入を制御することによりターンオフ時のホール注入を抑制するダブルゲート構造を提案した^{(2)~(6)}。ダブルゲート構造の適用により、従来の IGBT に比べ大幅なターンオフ損失の削減が可能であることを TCAD シミュレーションにより確認した。

2. デバイス構造

提案するダブルゲート構造の 1200V 系 IGBT は、従来構造でも制御用に用いられているエミッタ側のゲート(ゲート 1)に加えてコレクタ側のゲート(ゲート 2)を用い構成されている。ゲート 2 はターンオフ損失の削減を目的としたホール注入の制御用である。また、ゲート制御を可能にしつつホール注入を促進するために浅い高濃度 P 層をゲート 2 と離して設けてある。(図2 参照)

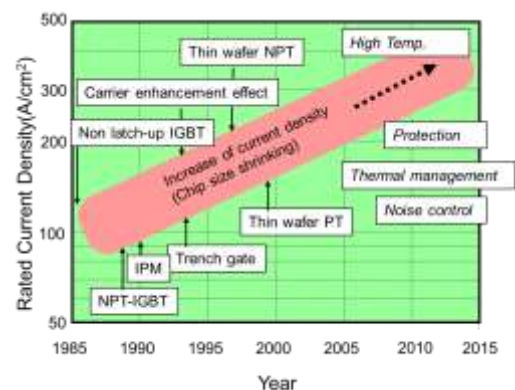
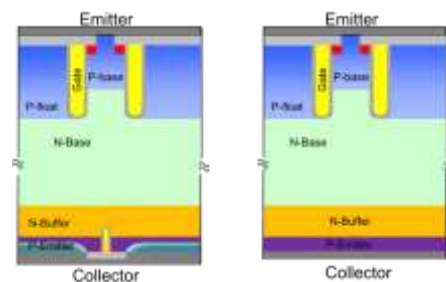


図1 IGBT の電流密度向上

Fig. 1 Evolution of IGBT technology over the last twenty years



(a)ダブルゲート構造 (b)従来構造
(a)Double sided gate (b)Conventional structure

図2 提案構造と従来構造の IGBT

Fig. 2 Proposed and conventional IGBT structure

3. ホール注入制御によるターンオフ損失削減

〈3・1〉 ゲート 2 によるホール注入制御

ゲート 1 を ON した状態で IGBT に電流を流し、ゲート 2 の電圧を変化させてホール注入の推移を解析した。ホール注入効率は N パツファと N ベースの境界のデバイス断面の全電流密度に対するホール電流密度の割合で算出した。

ホール注入効率はゲート 2 の電圧が 0V の時に最大値の 0.3 であり、ゲート 2 の電圧が 0 から 5.5V の範囲で電圧の増加に伴い減少する(図 3 参照)。蓄積キャリアはゲート電圧に依存してコレクタ側から減少していき、5.5V 以上ではパワー MOSFET と同様にホール注入を伴わない導通状態に変化する(図 4 参照)。

これはゲート 2 に電圧をかけることにより形成した N-チャンネルを通してコレクタ電極と N-パツファが徐々に同電位に近づくことによりホール注入が減少するためである。

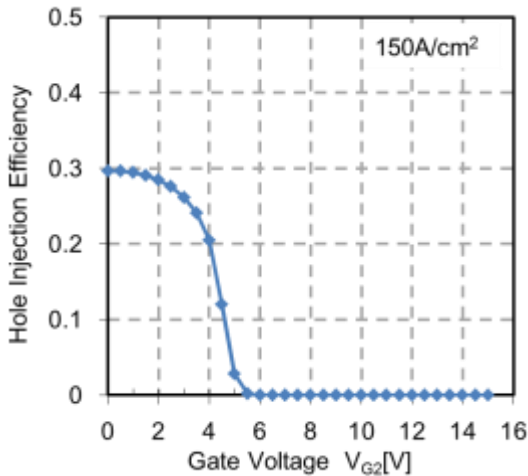


図 3 ホール注入効率のゲート電圧依存性

Fig. 3 Relationship between hole injection efficiency and gate voltage

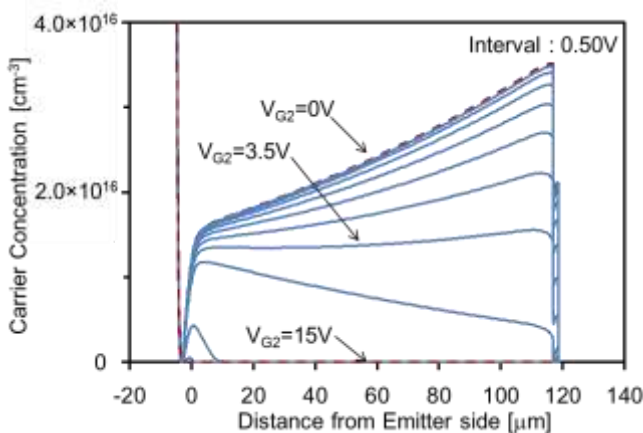
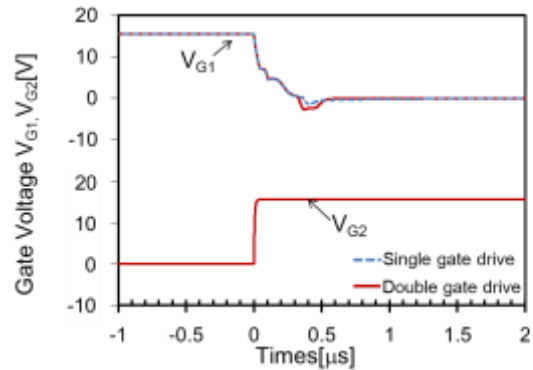


図 4 各コレクタゲート電圧におけるキャリア分布

Fig. 4 Carrier distributions at each collector side gate voltage

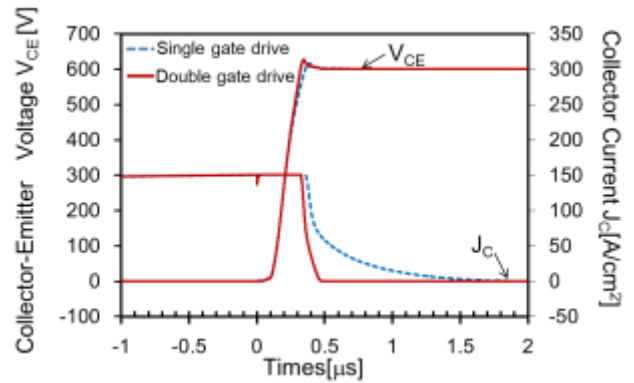
〈3・2〉 ターンオフ時のホール注入制御による損失削減

提案構造はゲート 2 の電圧を変化させることによりホール注入を瞬時に減少させターンオフ中のキャリア注入を抑制できるため、ターンオフ損失の削減が可能である。



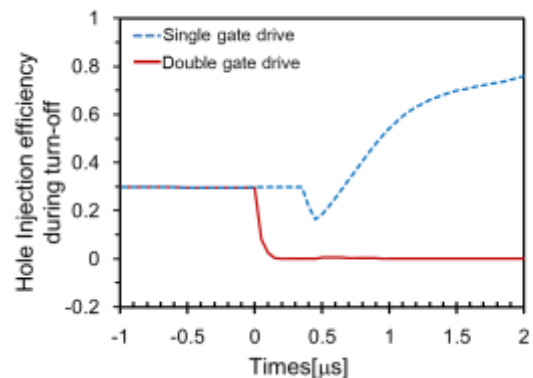
(a)ゲート電圧

(a) Gate voltage



(b)コレクタ電圧とコレクタ電流

(b) Collector voltage and current



(c)ターンオフ時のホール注入効率

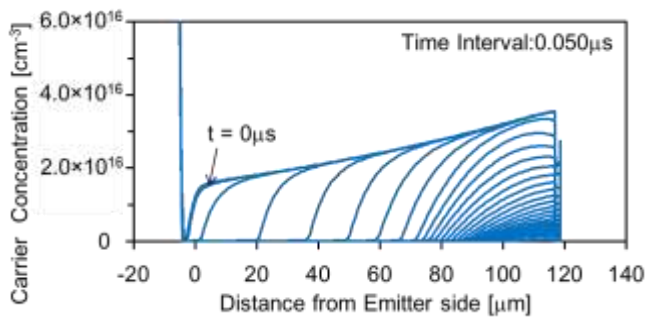
(c) Hole injection efficiency during turn-off

図 5 ダブルゲート駆動とシングルゲート駆動(従来駆動方式)のターンオフ波形

Fig. 5 Turn-off waveforms of double gate drive and single gate drive (Conventional drive method)

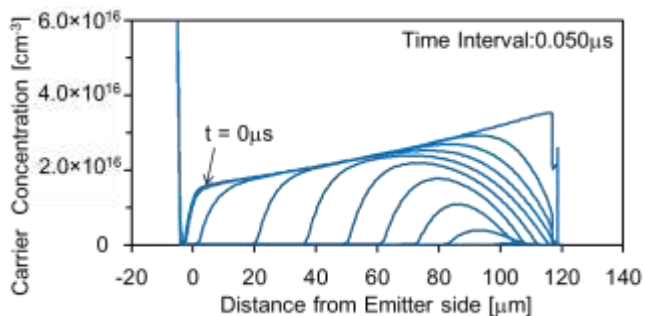
ゲート 1 のターンオフと同時にゲート 2 をターンオンするダブルゲート駆動とゲート 2 を駆動させない従来駆動方式を再現したシングルゲート駆動でターンオフ波形を比較した。ゲート 1 の電圧およびコレクタ電圧はダブルゲート駆動と従来駆動方式でほとんど変化がない。しかし、コレクタ電流はコレクタ電圧が電源電圧の 600V に到達した後、ダブルゲート駆動では電流が急峻に下降する。このことから、従来駆動方式と比較してダブルゲート駆動ではテール電流が大幅に削減されていることが分かる(図 5 参照)。ホール注入効率の面から考察すると、従来駆動方式の場合ではターンオフ期間中は基本的にホール注入効率が増加していき、最終的には 1 に到達する。ターンオフの開始である 0 μs から 0.050 μs ごとのターンオフ中の蓄積キャリアを図 6 に示す。従来駆動方式ではコレクタ側からホールが注入されるため、ターンオフ中の蓄積キャリアはエミッタ側から減少していきコレクタ側には最後までキャリアが残留している。

一方、ダブルゲート駆動の場合はゲート 2 のターンオンと同時にホール注入効率が減少し始め、0.1 μs 程度でコレクタ側からのホール注入がなくなる。コレクタ側のホール注入が抑制されることによりターンオフ時に蓄積キャリアはコレクタ側に残留せず両面からキャリアが減少する。ターンオフ時に注入されるキャリアが少ないため、ターンオフ中に排出するキャリアも少なくテール電流が削減される。



(a) 従来構造の IGBT

(a) Conventional Structure

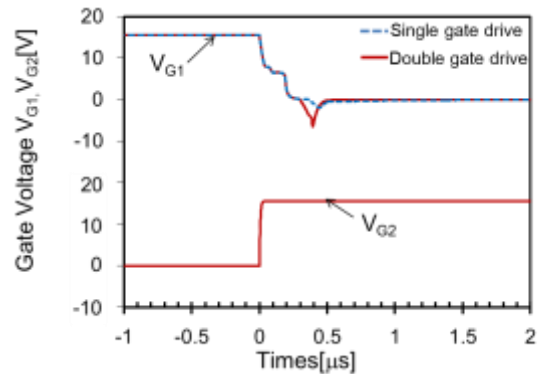


(b) ダブルゲート IGBT

(b) Double gate IGBT

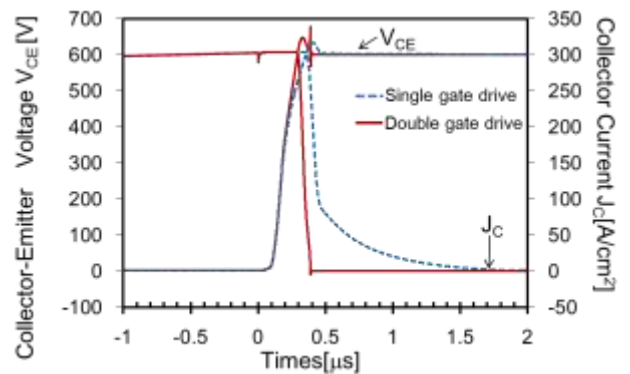
図 6 ターンオフ時のキャリア分布(150A/cm²)

Fig. 6 Carrier distributions during turn-off (150A/cm²)



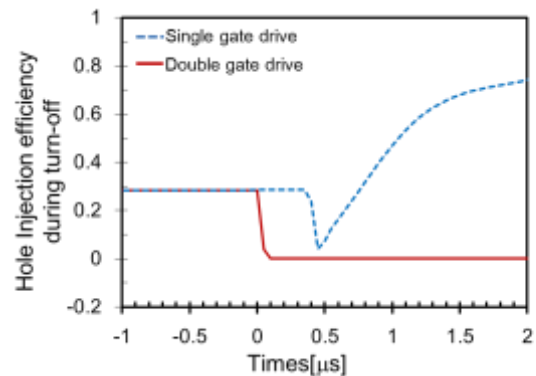
(a)ゲート電圧

(a) Gate voltage



(b)コレクタ電圧とコレクタ電流

(b) Collector voltage and current



(c)ターンオフ時のホール注入効率

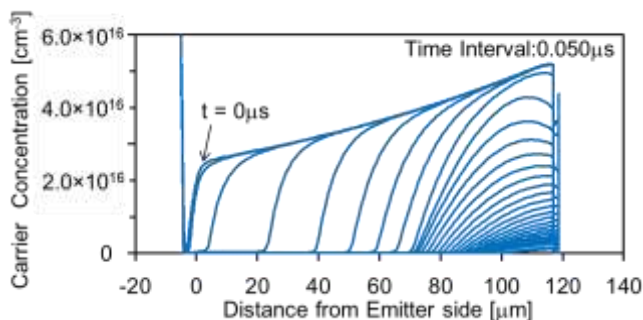
(c) Hole injection efficiency during turn-off

図 7 高電流密度でのダブルゲート駆動とシングルゲート駆動(従来駆動方式)のターンオフ波形

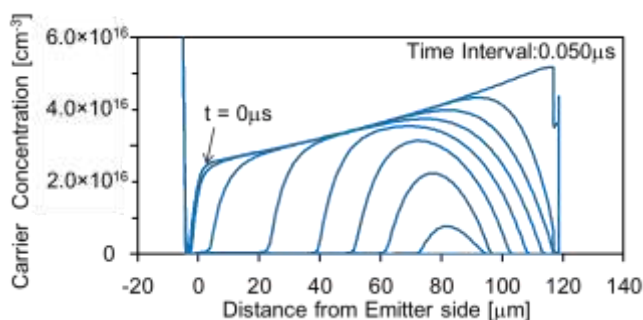
Fig. 7 Turn-off waveforms of double gate drive and single gate drive (Conventional drive method) at high current density

150A/cm² に対してより高電流密度である 300A/cm² の場合も同様にテール電流の削減が確認できており、図 7 に示されるように、ゲート 2 のターンオンによりホール注入効率が減少している。

ダブルゲート駆動でターンオフ中の蓄積キャリアは $150\text{A}/\text{cm}^2$ と同様にホール注入が抑制されるためコレクタ側に残留せず両面からキャリアが減少している(図 8 参照)。このことから、提案する IGBT 構造は高電流密度化に対しても一定の効果を持つ非常に有力な構造であることが判明した。



(a) 従来構造の IGBT
(a) Conventional Structure



(b) ダブルゲート IGBT
(b) Double gate IGBT

図 8 高電流密度でのターンオフ時のキャリア分布 ($300\text{A}/\text{cm}^2$)

Fig. 8 Carrier distributions during turn-off at high current density ($300\text{A}/\text{cm}^2$)

そして、両面ゲート IGBT と従来の IGBT をコレクタ飽和電圧とターンオフ損失のトレードオフと比較した。図 5 で示すようにテール電流の大幅な削減により $V_{\text{CE(sat)}}$ の広い範囲でターンオフ損失が半分近く改善される(図 9 参照)。

さらに、 $150\text{A}/\text{cm}^2$ に対し $300\text{A}/\text{cm}^2$ と高電流密度化した場合でも同様に半分近くのトレードの改善が可能である。つまり、キャリアが多く蓄積される高電流密度においてもダブルゲート IGBT は効果があることをターンオフ損失の面からも確認した。

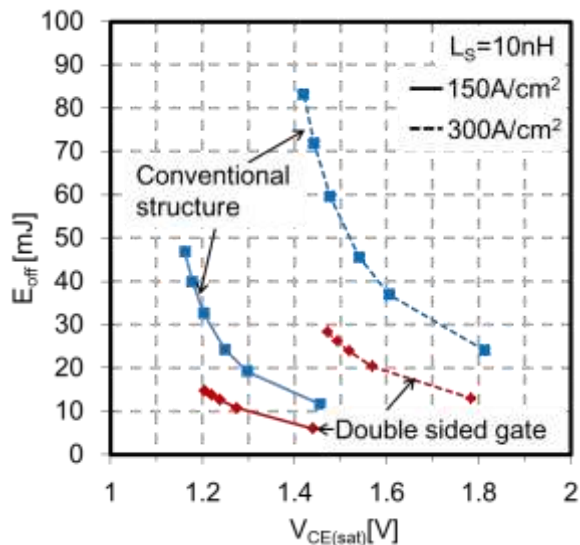


図 9 両面ゲート構造と従来構造のトレードオフ曲線
Fig. 9 Trade off curve for double sided gate IGBT and conventional IGBT

4. 結論

本研究では、ダブルゲート構造の IGBT を提案し、その低損失化の原理についてホール注入効率の観点から解析した。このデバイスは電流密度に依存せずコレクタ側のゲートにより動的にホール注入を変調させ、ターンオフ時のテール電流の大幅な削減が可能である。その結果、従来構造に比べ、ターンオフ損失の大幅な改善を確認できた。

文 献

- (1) J. Shen and I. Omura : "Power Semiconductor Devices for Hybrid, Electric, and Fuel Cell Vehicles", Proc. of the IEEE, Vol.95, No.4 pp. 778-789 (2007)
- (2) A.Nakagawa : "Numerical experiment for 2500 V double gate bipolar-mode MOSFETs (DGIGBT) and analysis for large safe operating area (SOA)", Proc. of PESC, Vol.1, pp.84-90 (1988)
- (3) Q. Hung and G.A.J Amaratunga : "Analysis of double trench insulated gate bipolar transistor", Solid-State Electronics, Vol.38, pp.829-838 (1995)
- (4) Y. Bai and Alex Q. Huang : "Comprehensive investigations of high voltage non-punch-through double gate-injection enhanced gate transistor", Solid-State Electronics, Vol.44, pp. 1783-1787 (2000)
- (5) S. Huang, K. Sheng, F. Udrea and G.A.J Amaratunga : "A dynamic n-buffer insulated gate bipolar transistor", Solid-State Electronics, Vol.45, pp.173-182 (2001)
- (6) K.D. Hobart, F.J. Kub, M. Ancona, J.M. Neilson, and P.R. Waind : "Transient Analysis of 3.3kV Double-Side Double-Gate IGBTs", Proc. of ISPSD, pp.273-276 (2004)