

論文

ニューラルコンピュータ用基本素子 Folthret によるパターン認識

正員 横井 博一[†] 非会員 吉野 慶一[†]

Pattern Recognition by Folthret as Fundamental Element for Neural Computer

Hirokazu YOKOI[†], *Member and* Keiichi YOSHINO[†], *Nonmember*

あらまし ニューラルコンピュータのハードウェア化における問題点の一つは、配線が複雑になることである。筆者の1人が提案した Folthret は、神経細胞の離散時間学習しきい素子モデルをフーリエ級数信号により実現したニューラルコンピュータ用基本素子で、配線の複雑化の問題をかなり解決できる。本論文は、この Folthret の学習能力を調べることを目的としている。そのためまず、Folthret をアナログ回路とデジタル回路両方が混在した形で電子回路化した。その結果、基板サイズが 15 cm×15 cm、IC の数が 26 個の回路規模となった。基板面積の半分は結合荷重用メモリ部が占めた。次に、電子回路化した Folthret を用いて、10 個の数字および 26 個の英文字のパターン認識に関する学習実験を行った。これと同時に、離散時間-離散情報学習しきい素子による計算機シミュレーションも行った。その結果、電子回路化した Folthret は、離散時間-離散情報学習しきい素子と同様、実験で用いたどのパターンも認識も学習できることが示された。また、学習完了までの学習サイクル数と出力を調べたところ、離散時間-離散情報学習しきい素子に大体近い動作をしていることが確認できた。

キーワード ニューラルネット、ニューラルコンピュータ、ニューロデバイス、フーリエ級数、パターン認識

1. まえがき

ニューラルコンピュータは、生物の神経系の情報処理様式をヒントに、神経細胞に似た素子で回路網を構成し、これを CPU としている。そのハードウェア化は、現在のところ電子回路を用いる方法が一番進んでいる。しかし、この場合、回路網をその構造どおりに実現しようとする、配線の複雑化というハードウェア化には不利な問題が発生する。この主要な原因は、各素子の入力線が極めて多くなることにある。

筆者の1人は、この問題を解決するため、ニューラルコンピュータのための基本素子として、Foulethret⁽¹⁾ (Fourier series-type learning threshold element) を提案した。この素子は、ベクトルの各成分をフーリエ係数とするフーリエ級数信号^{(2)~(5)}を用いて、神経細胞の離散時間学習しきい素子モデルを実現したもので、アナログ回路で構成することを基本とする。利点としては、(1)入力荷重和の計算や結合荷重の変更が簡単に

行える、(2)どのような複雑な回路網も簡単な配線で実現できると同時に、回路網構造の変更も容易に行える等が挙げられる。

ただ、Foulethret は、入力荷重和計算部と教師信号計算部において積分計算に低域フィルタを用いている。また、結合荷重用メモリに遅延器が直列接続され、変更された結合荷重は遅延器を経た後、結合荷重用メモリに書き込まれる。そのため、スループットが低下する。更に、Foulethret ではメモリ部が素子の外部にあるため、入力線が5本とやや多くなる。そこで、以上述べた点について改良を施し、これを新たに Folthret⁽⁶⁾ (Fourier series-type learning threshold element) と名づけた。Folthret では、積分計算に1周期間の積分を行う本来の積分器を用いている。また、2個の結合荷重用メモリを並列接続し、一方を读出し用、他方を書込み用としている。メモリ部は素子の内部にあるため、入力線は2本である。

さて、Folthret を実際に電子回路化する場合、用いる回路部品の特性や雑音等により、理想的な学習しきい素子に比べて性能が低下することが予想される。この点は、どのような素子についても一般的に言えるこ

[†]九州工業大学工学部電気工学科, 北九州市
Faculty of Engineering, Kyushu Institute of Technology,
Kitakyushu-shi, 804 Japan

とで、避けることはできない。ただ、その低下の程度をできるだけ小さく抑えることが望ましい。ニューラルコンピュータ用基本素子においては、性能の中でも特に学習能力が重要であるが、これに大きな影響を与えるのは結合荷重の記憶と変更に関係した部分である。従って、この部分の動作が理想的な学習しきい素子にできるだけ近づくようにする必要がある。

そこで本論文では、結合荷重用メモリ部と結合荷重変更部を中心に Folthret を電子回路化し⁽⁷⁾、その学習能力を調べることを目的とする⁽⁸⁾。そのため、電子回路化に際しては、結合荷重に直接関係しない部分はできるだけ簡単化する。また、学習能力が調べやすいように、まずは離散情報型とする。学習能力は、電子回路化した Folthret 1 個を用いて、数字および英文字のパターン認識に関する学習実験を行うことにより調べ、理想的な離散時間-離散情報学習しきい素子に関して計算機シミュレーションを行ったときの結果と比較する。

2. Folthret

2.1 離散時間学習しきい素子モデル

神経細胞の最も簡単でかつ代表的な数理モデルはしきい素子である。これは、時間に関して離散時間型と連続時間型に分けられ、更に、信号に関して離散情報型と連続情報型の 2 種類に分けられる。本論文では、このようなしきい素子が特に学習機能をもつ場合には、これを学習しきい素子と呼ぶ。

図 1 は、神経細胞の離散時間学習しきい素子モデルで、離散情報型と連続情報型の両方の場合を含んでいる。但し、ここでは固定結合は考えず、可変結合のみが n 個存在するとする。この図の中の x_i は第 i 入力信号、 w_i は第 i 結合荷重、 h はしきい値、 z は出力信号、 y は教師信号である。 τ は離散時間で、 $0, 1, 2, \dots$ の整数値をとる。 h は、時間に関係なく一定であるので τ が付

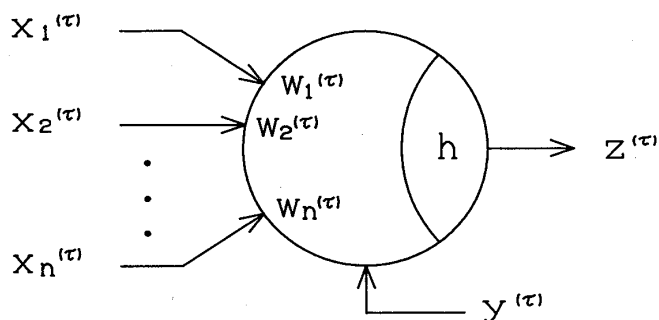


図 1 神経細胞の離散時間学習しきい素子モデル

Fig. 1 Time-discrete learning threshold-element model of neuron.

いていない。

このモデルの入出力関係は、式(1)に示す入力荷重和 u を用いて、式(2)のように表される。

$$u^{(\tau)} = \sum_{i=1}^n w_i^{(\tau)} x_i^{(\tau)} \quad (1)$$

$$z^{(\tau)} = f(u^{(\tau)} - h)g(u^{(\tau)}) \quad (2)$$

ここで、 f は出力関数、 g は u を独立変数、 z を従属変数としたときの出力関数である。出力関数 f としては、離散情報型では単位ステップ関数、連続情報型ではランプ関数、区分線形関数、ロジスティック関数等が用いられる。

結合荷重は、式(3)のように変更される。

$$w_i^{(\tau+1)} = w_i^{(\tau)} + cr^{(\tau)} x_i^{(\tau)} \quad (i=1, 2, \dots, n) \quad (3)$$

ここで、 c は学習定数、 r は学習信号である。学習信号は、表 1 に示すように、学習法の種類によってそれぞれ異なった形の計算式で与えられる。但し、この表に挙げてある学習法は、どれも離散情報型と連続情報型の両方に適用できるものとする。

2.2 原理

Folthret は、以上述べた神経細胞の離散時間学習しきい素子モデルをフーリエ級数信号により実現したニューラルコンピュータ用基本素子で、入力荷重和計算部、出力関数実現部、出力発生部、教師信号計算部、学習信号計算部、結合荷重変更部、結合荷重用メモリ部の七つの部分から構成される。

入力荷重和計算部は、式(4)と式(5)に示すフーリエ級数信号 $F_x^{(\tau)}(t)$ 、 $F_w^{(\tau)}(t)$ を用い、式(6)のようにして入力荷重和 $u^{(\tau)}$ を求める。 $F_x^{(\tau)}(t)$ と $F_w^{(\tau)}(t)$ の持続時間は 2 周期で、これを 1 単位時間とする。

$$F_x^{(\tau)}(t) = \sum_{i=1}^n x_i^{(\tau)} \sin\left[\left(\frac{k+i}{2}\right)\omega t + \sigma_A \frac{\pi}{2}\right] \quad (\lambda^{(\tau)} \leq t < \lambda^{(\tau+1)}) \quad (4)$$

$$F_w^{(\tau)}(t) = \sum_{i=1}^n w_i^{(\tau)} \sin\left[\left(\frac{k+i}{2}\right)\omega t + \sigma_A \frac{\pi}{2}\right] \quad (\lambda^{(\tau)} \leq t < \lambda^{(\tau+1)}) \quad (5)$$

表 1 学習法と学習信号

学習法の種類	学習信号 $r^{(\tau)}$ の計算式
Hebb 学習法	$z^{(\tau)}$
膜電位学習法	$u^{(\tau)}$
相関学習法	$y^{(\tau)}$
誤り訂正学習法	$y^{(\tau)} - z^{(\tau)}$
直交学習法	$y^{(\tau)} - u^{(\tau)}$

$$A = k + i - 1$$

$$\sigma_A = \begin{cases} 0: A \text{ が奇数} \\ 1: A \text{ が偶数} \end{cases}$$

$$u^{(\tau)} = \frac{2}{T} \int_{\lambda^{(\tau)}}^{\lambda^{(\tau)}+T} F_w^{(\tau)}(t) F_x^{(\tau)}(t) dt \quad (\lambda^{(\tau)} \leq t < \lambda^{(\tau)} + T) \quad (6)$$

ここで、 k は任意の自然数である。 ω はフーリエ級数信号の基本角周波数である。 T はフーリエ級数信号の周期で、 $2\pi/\omega$ に等しい。 $[\]$ はガウス記号である。 $\lambda^{(\tau)}$ は $F_x^{(\tau)}(t)$ の入力時刻を連続時間で表したものである。 $\lambda^{(0)}$ は 0 である。

出力関数実現部は出力関数 g を実現する部分で、 $u^{(\tau)}$ を $z^{(\tau)}$ に変換する。出力発生部は、 $z^{(\tau)}$ を式(7)に示す直流信号 $p^{(\tau+1)}(t)$ として次の 1 単位時間の間出力する。回路網を実現するときには、式(8)に示す交流信号 $P^{(\tau+1)}(t)$ も出力する。この信号は、 $F_x^{(\tau+1)}(t)$ の一部として、他の Folthret に入力される。

$$p^{(\tau+1)}(t) = z^{(\tau)} \quad (\lambda^{(\tau+1)} \leq t < \lambda^{(\tau+2)}) \quad (7)$$

$$P^{(\tau+1)}(t) = z^{(\tau)} \zeta(t) \quad (\lambda^{(\tau+1)} \leq t < \lambda^{(\tau+2)}) \quad (8)$$

ここで、 $\zeta(t)$ は交流信号で、出力用メモリに保持されている。この信号は相互結合型回路網や階層型回路網では振幅 1 の正弦波信号、混合型回路網では一般に係数がすべて 1 のフーリエ級数信号となる。

教師信号計算部は、各 Folthret の教師信号をフーリエ係数としたフーリエ級数信号 $F_y^{(\tau)}(t)$ を用い、式(9)のようにして教師信号 $y^{(\tau)}$ を求める。 $F_y^{(\tau)}(t)$ は $F_x^{(\tau)}(t)$ と同時に Folthret に入力され、1 周期間供給される。

$$y^{(\tau)} = \frac{2}{T} \int_{\lambda^{(\tau)}}^{\lambda^{(\tau)}+T} \xi(t) F_y^{(\tau)}(t) dt \quad (\lambda^{(\tau)} \leq t < \lambda^{(\tau)} + T) \quad (9)$$

ここで、 $\xi(t)$ は振幅 1 の正弦波信号で、教師信号用メモリに保持されており、 $F_y^{(\tau)}(t)$ の入力と同時に読み出される。

学習信号計算部は、 $u^{(\tau)}$ 、 $z^{(\tau)}$ 、 $y^{(\tau)}$ に基づいて学習信号 $r^{(\tau)}$ を求める。結合荷重変更部は、この $r^{(\tau)}$ を用いて式(10)のように $F_w^{(\tau)}(t)$ を変更することにより、 n 個の結合荷重 $w_i^{(\tau)}$ ($i=1, 2, \dots, n$) の変更を一度に実現する。

$$\Phi_w^{(\tau)}(t) = F_w^{(\tau)}(t) + cr^{(\tau)} F_x^{(\tau)}(t) \quad (\lambda^{(\tau)} + T \leq t < \lambda^{(\tau+1)}) \quad (10)$$

結合荷重用メモリ部は 2 個のメモリが並列に接続され、一方のメモリからは $F_w^{(\tau)}(t)$ が読み出され、他方のメモリには $\Phi_w^{(\tau)}(t)$ が書き込まれる。書込みが完了

すると、読出しと書込みの役割が逆転し、式(11)のように $\Phi_w^{(\tau)}(t)$ が読み出され、次の 1 単位時間 $F_w^{(\tau+1)}(t)$ として使用される。学習期間中二つのメモリの役割はこのように交互に切り換わるが、学習期間後は切替えはいっさい行われず、一つのメモリ内の信号が常に読み出される。但し、 $r^{(\tau)}$ が 0 のときは $F_w^{(\tau)}(t)$ の変更は必要ないので、二つのメモリの役割は切り換えず、 $F_w^{(\tau)}(t)$ をそのまま $F_w^{(\tau+1)}(t)$ として用いる。というのは、この場合 $\Phi_w^{(\tau)}(t)$ は $F_w^{(\tau)}(t)$ に正確に等しくはならず、わずかながら雑音が混入する可能性があるからである。

$$F_w^{(\tau+1)}(t) = \begin{cases} \Phi_w^{(\tau)}(t-T) & (\lambda^{(\tau+1)} \leq t < \lambda^{(\tau+1)} + T) \\ \Phi_w^{(\tau)}(t-2T) & (\lambda^{(\tau+1)} + T \leq t < \lambda^{(\tau+2)}) \end{cases} \quad (11)$$

以上まとめると、Folthret では 1 単位時間は $2T$ で、はじめの 1 周期間すなわち $\lambda^{(\tau)}$ から $\lambda^{(\tau)} + T$ においては、 $u^{(\tau)}$ 、 $z^{(\tau)}$ 、 $y^{(\tau)}$ 、 $r^{(\tau)}$ が求められる。次の 1 周期間すなわち $\lambda^{(\tau)} + T$ から $\lambda^{(\tau+1)}$ においては、 $F_w^{(\tau)}(t)$ が変更されて $\Phi_w^{(\tau)}(t)$ が得られる。 $p^{(\tau+1)}(t)$ と $P^{(\tau+1)}(t)$ は、次の 1 単位時間すなわち時刻 $\lambda^{(\tau+1)}$ から時刻 $\lambda^{(\tau+2)}$ までの間出力される。

2.3 回路網の実現法

Folthret では 2 本の入力線を通して二つのフーリエ級数信号 $F_x^{(\tau)}(t)$ 、 $F_y^{(\tau)}(t)$ を入力する。従って、1 本の入力線は $F_x^{(\tau)}(t)$ を伝送する X 信号線に接続し、他の 1 本は $F_y^{(\tau)}(t)$ を伝送する Y 信号線に接続する。

文献(6)で詳しく述べたように、周波数分割多重方式を採用すれば X 信号線で複数個の $F_x^{(\tau)}(t)$ を伝送することが可能となるので、X 信号線と Y 信号線に沿って Folthret を 1 列に並べていくだけでどのような回路網も実現でき、配線は相当簡単化する。このとき、 $P^{(\tau+1)}(t)$ のための出力線は X 信号線に接続する。但し、このような配線で学習が行えるのは、相互結合型回路網を実現した場合だけである。階層型および混合型回路網を実現した場合には、帯域フィルタを各層に 1 個ずつ配置し、その層で入力すべき $F_x^{(\tau)}(t)$ を選択することにより、回路網の学習が可能となる。もちろん、X 信号線を複数本用いれば帯域フィルタは不用となる。

しかし、大規模な回路網を実現する場合には、以上述べたいずれの方法でも、使用する周波数は非常に低いところから高いところまで相当広範囲にわたる。そのため、ハードウェア化する上でさまざまな問題が出てくる。例えば、加算器や乗算器あるいは積分器の高

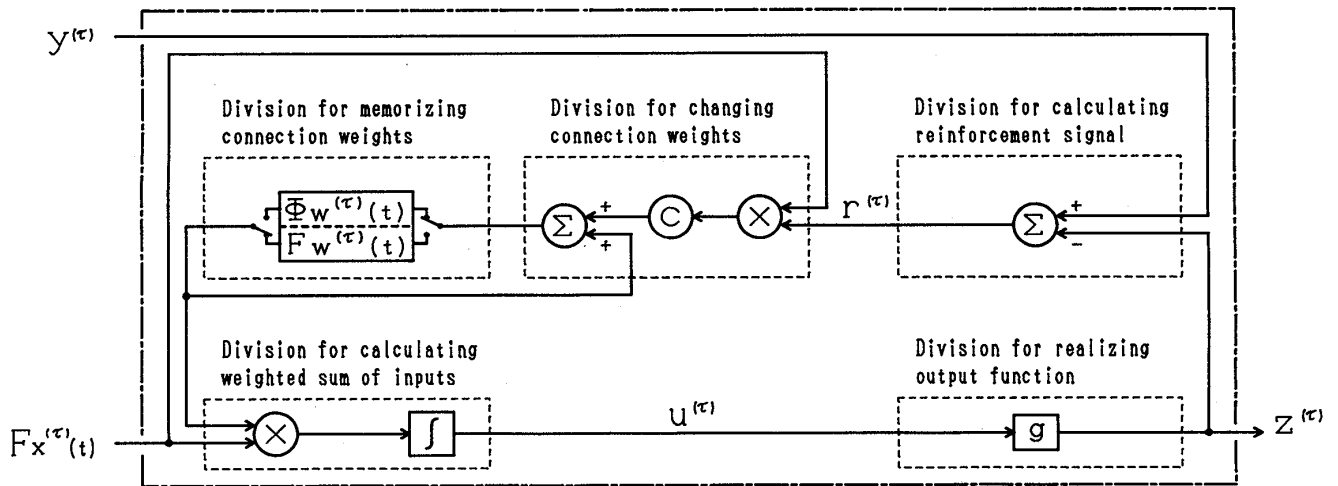


図2 Folthretのブロック図
Fig. 2 Block diagram of Folthret.

域遮断周波数をかなり高くしなければならないし、X信号線やY信号線についても伝送帯域を低い方から高い方まで相当広くしなければならない。これらの問題に対しては、変調方式が一つの解決になるであろう。すなわち、極めて高い周波数の搬送波を多く用意し、それらを別々のフーリエ級数信号で変調する。このような被変調信号をX信号線とY信号線を通して各Folthretに供給する。Folthret内部には同調器と復調器の組を一般に複数個設け、これらにより得られたフーリエ級数信号から出力を求める。

3. 電子回路化

3.1 方法

既に1.で述べたように、本論文は結合荷重変更部と結合荷重用メモリ部を中心にFolthretを電子回路化し、その学習能力を調べることを目的とする。従って、電子回路化に際しては、結合荷重に直接関係しない部分はできるだけ簡単化する。そこで、入力荷重和計算部と全く同じ回路構成になる教師信号計算部については省略し、フーリエ級数信号 $F_y^{(\tau)}(t)$ ではなく、教師信号 $y^{(\tau)}$ を直接入力する。また、Folthret単体の学習能力を調べることが目的であるので、出力発生部についても省略し、 $z^{(\tau)}$ のみをそのまま出力する。更に、学習能力が調べやすいように、まずは離散情報型とし、結合荷重の変更が何度も行われる誤り訂正学習法を採用する。図2は電子回路化するFolthretのブロック図である。

図3は電子回路化の方法を示す。入力荷重和計算部は乗算器と1周期間にわたる積分を実行する積分器を

必要とするが、積分器については、回路が簡単になり、低コストでもあるのでCR回路で代用する。但し、CR回路を用いると出力が定常状態に達するまで待たなければならない、入力荷重和 $u^{(\tau)}$ を求めるのに必要な時間はフーリエ級数信号の周期 T よりも長くなる。この場合、定常状態に達するまでの時間を s とすると、入力荷重和計算期間は $\lambda^{(\tau)}$ から $\lambda^{(\tau)}+s$ となる。従って、Folthretの1単位時間は $s+T$ となる。なお、 s はフーリエ級数信号の周期 T の整数倍とする。

出力関数実現部は、離散情報型に限定しているので、コンパレータを用いる。基準電圧はしきい値 h である。コンパレータの出力は時刻 $\lambda^{(\tau)}+s$ において $z^{(\tau)}$ に等しくなる。

学習信号計算部は、図2に示されているように、本来は $y^{(\tau)}-z^{(\tau)}$ を学習信号 $r^{(\tau)}$ として出力する部分である。しかし、離散情報型Folthretでは、 $r^{(\tau)}$ は1,0,-1のいずれかとなり、結合荷重変更部は $F_w^{(\tau)}(t) \pm cF_x^{(\tau)}(t)$ を実行すればよい。従って、乗算器により $r^{(\tau)}$ と $F_x^{(\tau)}(t)$ の乗算を行う必要はなくなる。

そこで、学習信号計算部はTTLICを用いて構成し、式(12)、式(13)に示す $r_1^{(\tau)}$ 、 $r_2^{(\tau)}$ を出力させることにする。次に、結合荷重変更部では、 $r_1^{(\tau)}$ と $r_2^{(\tau)}$ によりアナログスイッチの開閉を行い、 $F_x^{(\tau)}(t)$ を $r_1^{(\tau)}F_x^{(\tau)}(t)$ と $r_2^{(\tau)}F_x^{(\tau)}(t)$ に変換する。更に、これらの信号をそれぞれゲイン c の差動増幅器の+端子と-端子に入力する。 $r_1^{(\tau)}$ と $r_2^{(\tau)}$ の差は式(14)に示すように $r^{(\tau)}$ に等しくなるので、差動増幅器の出力は $cr^{(\tau)}F_x^{(\tau)}(t)$ となる。最後に、この出力は $\lambda^{(\tau)}+s$ から $\lambda^{(\tau)}+s+T(=\lambda^{(\tau+1)})$ までの間、加算器で $F_w^{(\tau)}(t)$ と加算され、 $\Phi_w^{(\tau)}(t)$ とし

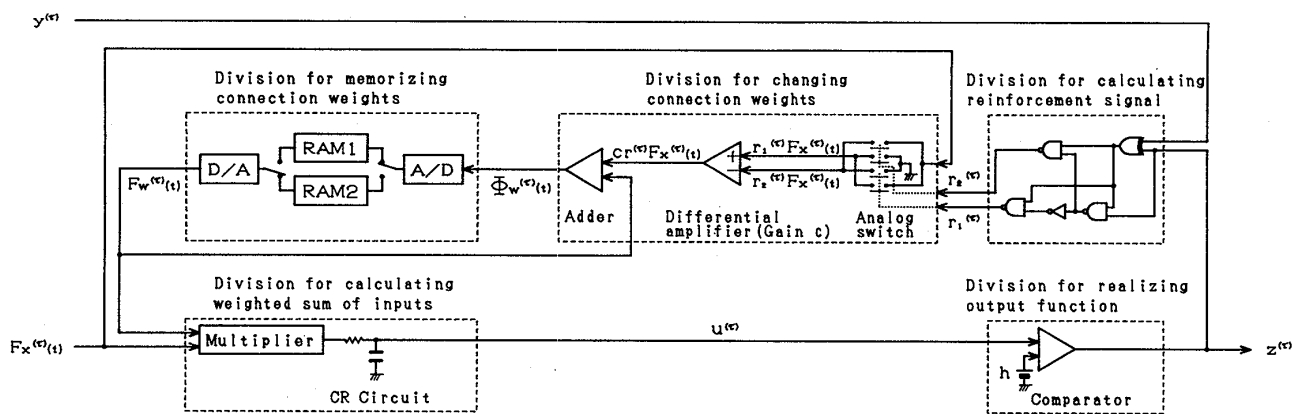


図3 Folthret の電子回路化の方法
Fig. 3 A method for electronic implementation of Folthret.

て結合荷重用メモリに書き込まれる。

$$r_1^{(\tau)} = \begin{cases} 1 & y^{(\tau)} > z^{(\tau)} \\ 0 & y^{(\tau)} \leq z^{(\tau)} \end{cases} \quad (12)$$

$$r_2^{(\tau)} = \begin{cases} 0 & y^{(\tau)} \geq z^{(\tau)} \\ 1 & y^{(\tau)} < z^{(\tau)} \end{cases} \quad (13)$$

$$r_1^{(\tau)} - r_2^{(\tau)} = y^{(\tau)} - z^{(\tau)} = r^{(\tau)} \quad (14)$$

結合荷重用メモリ部は、適当なアナログメモリが現在のところまだ開発されていないので、2個のRAMとA-D変換器およびD-A変換器で構成する。RAMには最初の番地から順番にフーリエ級数信号の1周期分を保持させる。一方のRAMは $F_w^{(r)}(t)$ の読出し用、他方は書込み用である。書込みは常時なされ、時刻 $\lambda^{(r)} + s + T$ には $\Phi_w^{(r)}(t)$ の書込みが完了する。従って、 $r^{(\tau)}$ が0でなければ、この時刻にタイミングパルスによって二つのRAMの役割を切り換える。

3.2 結果

以上述べた方法に従い、アナログ回路とデジタル回路の両方を用いてFolthretの電子回路化を行った。乗算器の周波数帯域幅はDC~1MHz、差動増幅器と加算器の周波数帯域幅はDC~100kHzである。しきい値 h は25.3mVになった。フーリエ級数信号の基本周波数は125Hzとし、積分用CR回路については、リップルをできるだけ小さく抑えるため、時定数をフーリエ級数信号の周期の50倍すなわち0.4sとした。A-D変換器とD-A変換器は変換速度が30MSPSで、8ビットのものを使用した。従って、RAMも8ビットである。結局、ICの数はアナログとデジタル両方合わせて26個となった。

基板は15cm×15cmの大きさのものを使用した。結合荷重用メモリ部が基板の半分を占有した。これはデジタルメモリを使用したためと、A-D変換器や

D-A変換器等の回路部品が必要になったためである。

3.3 考察

本論文では、結合荷重に直接関係ない部分ではできるだけ単純化する方針でFolthretの電子回路化を行ったので、積分器についてはCR回路で代用した。しかし、CR回路の出力にはわずかながらリプルが乗り、この出力がコンパレータの基準電圧に極めて近い場合、Folthretの出力は不安定になる。もちろん、1周期間にわたる積分を実行する本来の積分器を用いても、ドリフトがあるので、Folthretの出力が不安定になることはある。

このような出力の不安定は、誤り訂正学習法を適用する場合には結合荷重の変更に混乱をもたらす、学習能力の低下の原因となる。すなわち、結合荷重に直接関係しない部分が学習能力に大きな影響を与えてしまうことになる。従って、電子回路化したFolthretを用いて学習実験を行い、その学習能力を調べる場合、出力が不安定になったときは、正しい出力を出したとして $F_w^{(r)}(t)$ の変更を行わない方がよい。ただ、出力の不安定の問題は、コンパレータにヒステリシスをもたせることにより解決できるので、今後検討する必要がある。

なお、今回のFolthretの電子回路化においては回路規模にあまり注意を払わなかったため、やや大きな基板が必要になった。もし基板の半分を占有するデジタルメモリを小型のアナログメモリに置き換えることができればかなり小規模化するであろう。このための一つの候補としてはCCDが挙げられる。CCDには画像用CCDと遅延回路用CCDがあるが、後者の記憶容量を更に増し、また転送部をループにするなどの変更を行えば、Folthretへの使用が可能となろう。

4. 学習実験

4.1 方法

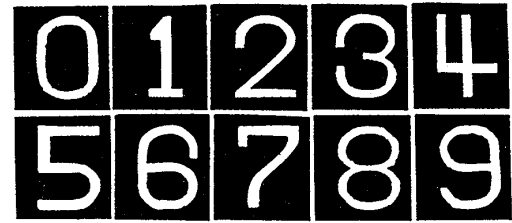
Folthret が電子回路化できたので、次に、これを用いてパターン認識に関する学習実験を行い、第1に、数字および英文字のパターン認識をどの程度学習できるか、第2に、学習完了までの学習サイクル数と出力について調べる。更に、これらの結果を離散時間-離散情報学習しきい素子でのシミュレーション結果と比較し、学習能力に関連して電子回路化した Folthret の検討を行うことにする。

さて、Folthret を用いてパターン認識に関する学習実験を行う場合、本来は認識すべきパターンの数だけ Folthret を用意し、それらをまず並列に並べなければならない。このとき、各 Folthret はそれぞれある特定のパターンに対応づけられる。次に、一つのパターンを提示したとき、そのパターンに対応する Folthret において出力信号 z が 1 となり、その他の Folthret では z が 0 になるよう学習させる。これは、一つの Folthret について言えば、それに対応したある特定のパターンに対して z が 1 となり、その他のパターンに対しては z が 0 となるように学習させることになる。しかし、本論文では電子回路化した Folthret の学習能力を調べることを目的としているので、1個の Folthret を用いて、 z が 1 となるべき特定のパターンをパターン数だけ変化させて実験を行うことにする。

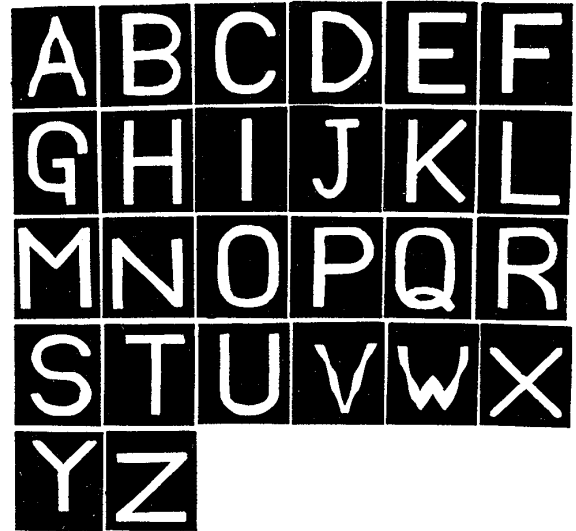
そこで、数字に関する実験では 10 個の数字を教師信号と共に 0, 1, ..., 9 の順に提示し、英文字に関する実験では 26 個の英文字を教師信号と共に A, B, ..., Z の順に提示する。これを 1 学習サイクルとする。教師信号は認識すべき特定のパターンに対しては 1、その他のパターンに対しては 0 となる。従って、 y の与え方は、数字に関しては 0 を認識する場合から 9 を認識する場合まで合計 10 通り、英文字に関しては A を認識する場合から Z を認識する場合まで合計 26 通りになる。どの場合も、原則としてすべての入力パターンに対して出力信号 z が教師信号 y に一致するようになるまで学習サイクルを繰り返す。但し、学習サイクル数が 50 を超えても z と y が一致しないときは、学習不能と判断する。

図 4 は実験に用いる 10 個の数字と 26 個の英文字で、これらが入力パターンとなる。どのパターンも黒色の紙を切り抜いて作っており、切り抜いた部分が光を通す。

図 5 は実験装置で、入力インタフェース、フーリエ



(a) Digit



(b) English letter

図 4 入力パターン
Fig. 4 Input patterns.

級数信号発生器、Folthret の三つの部分から構成される。図の中の I/V は電流/電圧変換器、LED G は緑色の LED、LED R は赤色の LED を示している。

入力インタフェースは、42 個の光検出用ホトトランジスタが縦 7、横 6 のマトリクス状に並べてある。入力パターンはそれらの上の正しい位置に置かれ、光が照射される。光源には白熱電球を用い、照度の安定化のため直流電源を使用する。光が入射したホトトランジスタには電流が流れ、抵抗を通して直流電圧が発生する。こうして、入力パターンは入力インタフェースにより電気信号の形で 7×6 ピクセルの 2 値パターンに変換される。

フーリエ級数信号発生器は入力インタフェースの 2 値出力パターンをフーリエ級数信号 $F_x(t)$ に変換する。そのため、42 個の正弦波発振器と乗算器の組よりなっている。但し、発振器は ROM と乗算型 D-A 変換器で構成されているため、乗算器の機能も兼ねる。発振器の周波数の値は、式(4)に従えば 21 個でよいが、周波数範囲をなるべく広くして実験を行いたいため、ここでは 125 Hz から 125 Hz 間隔で 5.25 kHz まで全部で

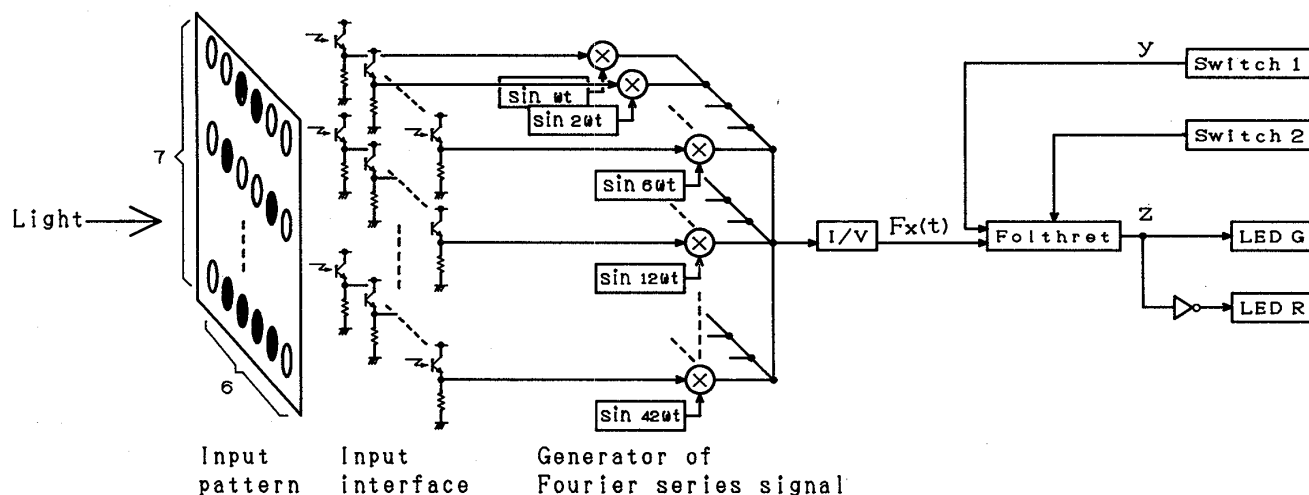


図5 実験装置
Fig. 5 Experimental apparatus.

42個としている。乗算結果は電流の形で出力され、これらは加算されて $F_x(t)$ となる。図6は入力パターンとして数字を用いたときの $F_x(t)$ である。 $F_x(t)$ は、電流/電圧変換器を通して電圧に変換されてから Folthret に入力される。

Folthret は、入力された $F_x(t)$ をもとに式(6)と式(2)に従って z を求め、出力する。但し、 $F_x^{(r)}(t)$ と $F_w^{(r)}(t)$ の二つのフーリエ級数信号において、同じ周波数の成分は同位相にならなければならない。そのため、フーリエ級数信号発生器のROMと結合荷重用メモリ部のRAMそれぞれに書き込まれたデータは、同じタイミングでしかも順番にD-A変換されるようになっている。 z はLEDで表示され、 z が1のとき緑色のLEDが、0のとき赤色のLEDが発光する。教師信号 y は入力パターンの提示と同時にスイッチ1により直流電圧の形で与えられる。なお、 $F_w^{(0)}(t)$ は0、学習定数 c は1とする。

実験者は入力パターン提示後5sの時点で z の正誤を判定する。Folthretの出力が不安定となり、緑色と赤色のLEDが交互に発光するような場合は、既に述べたように正と判定する。従って、 z が誤の場合だけ、スイッチ2によりタイミングパルスが発生させ、RAM1とRAM2の役割を切り換える。

一方、計算機シミュレーションにより離散時間-離散情報学習しきい素子で以上述べたのと全く同じことを行い、電子回路化したFolthretの場合と同様、第1に、数字および英文字のパターン認識をどの程度学習できるか、第2に、学習完了までの学習サイクル数と出力について調べる。実験結果とシミュレーション結果を

数字	$F_x(t)$
0	
1	
2	
3	
4	
5	
6	
7	
8	
9	

図6 各数字パターンに対するフーリエ級数信号 $F_x(t)$
Fig. 6 Fourier series signal $F_x(t)$ for each digit pattern.

比較するため、出力については一緻度を求める。ここで、一緻度とは出力信号 z が実験とシミュレーションで同じ値になった場合の数を、学習完了までの出力回数で割って百分率で表したものである。但し、両者の出力回数が異なるときは、回数の少ない方に学習完了後の正しい出力信号を加え、出力回数を合わせる。なお、どちらかが学習不能のときは、一緻度は求めない。

更に、以上述べた計算機シミュレーションにおいて、パラメータであるしきい値 h を電子回路化した Folthret のしきい値 h_0 を中心に変化させ、各しきい値ごとに学習完了までの学習サイクル数と出力を求める。これは、このようなシミュレーション結果に対する実験結果の誤差 2 乗和が、 h が h_0 に等しいとき最も小さくなり、 h_0 から遠ざかるに従って大きくなるかどうかを調べるためである。但し、出力の誤差 2 乗和は、数字に関しては 0 を認識する場合から 9 を認識する場合まで 10 種類の場合それぞれの誤差 2 乗和の合計、英文字に関しては A を認識する場合から Z を認識する場合まで 26 種類の場合それぞれの誤差 2 乗和の合計である。なお、学習完了までの出力回数が実験とシミュレーションで異なるときは、一緻度を求めるときと同様に出力回数を合わせる。

4.2 結 果

以上述べたパターン認識に関する学習実験を行った結果、電子回路化した Folthret は、離散時間-離散情報学習しきい素子でシミュレーションを行った場合と同様、実験で用いた 10 個の数字および 26 個の英文字のいずれについてもパターン認識の学習ができることが示された。

表 2 数字の場合の学習サイクル数と出力の一緻度

認識する数字	学 習 サ イ ク ル 数		出力の一緻度 [%]
	実 験	シミュレーション	
0	8	4	94
1	11	5	95
2	8	3	94
3	8	7	90
4	6	3	95
5	6	3	95
6	7	11	89
7	5	4	88
8	16	14	85
9	8	8	91

表 2 と表 3 はそれぞれ数字と英文字の場合における学習完了までの学習サイクル数と出力の一緻度を示したものである。学習サイクル数については、ほとんどの場合実験の方がシミュレーションより少し多くなっている。しかし、両者の差はそれほど大きくはない。出力の一緻度については、数字の場合最低 88%，平均では 93%，英文字の場合最低 97%，平均では 99% で、実験結果とシミュレーション結果は比較的よい一緻を示している。従って、電子回路化した Folthret は、本実験に関しては離散時間-離散情報学習しきい素子と大体近い動作をしていると言えよう。

図 7 と図 8 はそれぞれ数字の場合における学習完了

表 3 英文字の場合の学習サイクル数と出力の一緻度

認識する英文字	学 習 サ イ ク ル 数		出力の一緻度 [%]
	実 験	シミュレーション	
A	10	4	98
B	5	4	98
C	9	8	97
D	7	3	98
E	5	4	98
F	7	8	96
G	6	3	98
H	5	3	99
I	17	8	97
J	8	5	98
K	6	4	99
L	10	7	98
M	4	3	99
N	7	3	97
O	8	3	97
P	12	12	97
Q	8	3	98
R	7	4	98
S	10	7	97
T	6	5	99
U	7	5	98
V	13	7	98
W	8	4	98
X	10	4	98
Y	8	6	99
Z	4	3	99

までの学習サイクル数と出力について、実験結果のシミュレーション結果に対する誤差 2 乗和をしきい値 h の関数として表したものである。図 9 と図 10 はそれぞれ英文字の場合における学習完了までの学習サイクル数と出力について、同様の誤差 2 乗和をしきい値 h の関数として表したものである。

図 7 から図 10 までのいずれの図においても誤差 2 乗和はしきい値 h が h_0 から遠ざかるに従って大きくなる傾向を示しており、このことから電子回路化した Folthret は本実験に関しては離散時間-離散情報学習しきい素子と大体近い動作をしていると言える。但し、誤差 2 乗和が最小になる h は h_0 よりも大きく、両者は

それほど近い値にはなっていない。数字の場合、誤差 2 乗和が最も小さくなるのは、学習サイクル数に関しては h が 52.9 mV のとき、出力に関しては h が 62.5 mV のときである。英文字の場合、誤差 2 乗和が最も小さくなるのは、学習サイクル数に関しては h が 54.6 mV のとき、出力に関しては h が 46.7 mV のときである。なお、数字の場合、誤差 2 乗和の変動が大きいのは、3, 6, 8, 9 のように入力パターンの中に互いにハミング距離が非常に小さいものがあるためである。

4.3 考 察

電子回路化した Folthret を用いた実験の方が離散時間-離散情報学習しきい素子でシミュレーションを行っ

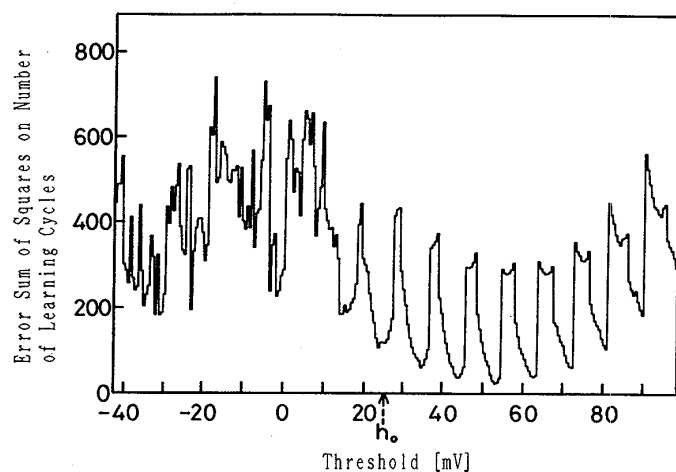


図 7 しきい値の関数として表された数字の場合の学習サイクル数の誤差 2 乗和

Fig. 7 Error sum of squares on number of learning cycles as a function of threshold in case of digit.

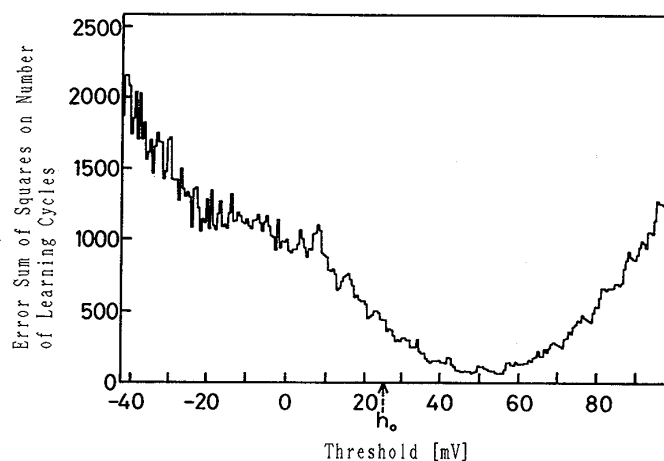


図 9 しきい値の関数として表された英文字の場合の学習サイクル数の誤差 2 乗和

Fig. 9 Error sum of squares on number of learning cycles as a function of threshold in case of English letter.

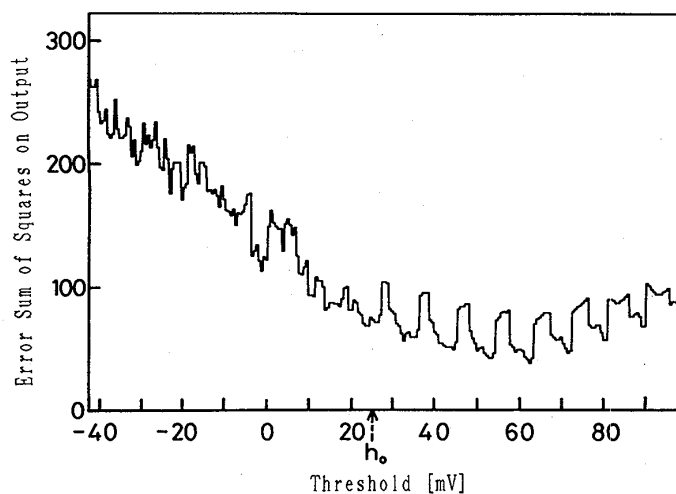


図 8 しきい値の関数として表された数字の場合の出力の誤差 2 乗和

Fig. 8 Error sum of squares on output as a function of threshold in case of digit.

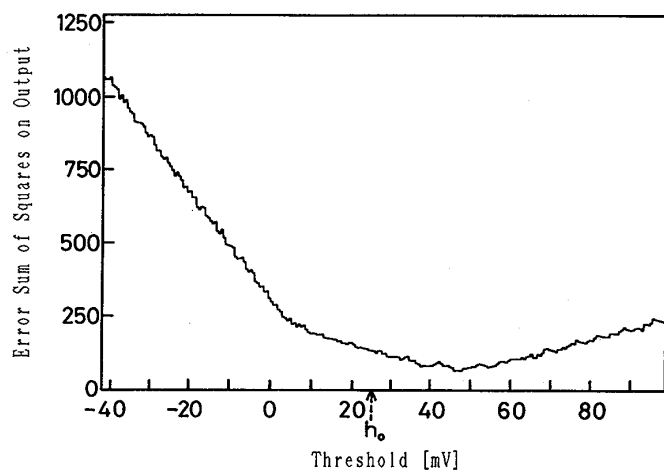


図 10 しきい値の関数として表された英文字の場合の出力の誤差 2 乗和

Fig. 10 Error sum of squares on output as a function of threshold in case of English letter.

た場合よりも学習完了までの学習サイクル数が少し多くなったのは、主として $F_w(t)$ の読出し、変更、書込みのたびに $F_w(t)$ の中に雑音が入るためであろう。特に、A-D変換器とD-A変換器での変換に伴う雑音の影響が大きい。これは、量子化ビット数が8ビットと少ないためである。従って、A-D変換器とD-A変換器の量子化ビット数を更に上げれば、 $F_w(t)$ への雑音の混入が少なくなり、学習能力を理想的な離散時間-離散情報学習しきい素子にもっと近づけられるものと思われる。

誤差2乗和が最小になるしきい値 h が h_0 よりも大きくなったのは、電子回路化した Folthret で求められる入力荷重和の値が理想的な離散時間-離散情報学習しきい素子の場合に比べて少し小さくなり、その結果電子回路化した Folthret のしきい値が等価的に実測値 h_0 よりも高くなっているためであろう。この原因としては、 $F_w(t)$ の読出し、変更、書込みの過程において、 $F_w(t)$ の各成分の位相がほんのわずかずつれていることが一つ考えられる。すなわち、この過程を繰り返しているうちに、位相のずれが無視できないほどになり、式(6)に従って求められる入力荷重和の値を低下させているのかもしれない。この点については今後更に検討する必要がある。

5. むすび

本論文では Folthret の学習能力を調べることを目的として、Folthret をまず結合荷重用メモリ部と結合荷重変更部を中心にアナログ回路とデジタル回路の両方を用いて電子回路化した。ICの数は26個、基板サイズは15cm×15cmになった。基板面積の半分は結合荷重用メモリ部が占めた。これはデジタルメモリを使用したためと、A-D変換器やD-A変換器等の回路部品が必要になったためである。

次に、電子回路化した Folthret を用いて、0から9までの10個の数字およびAからZまでの26個の英文字のパターン認識に関する学習実験を行い、離散時間-離散情報学習しきい素子で計算機シミュレーションを行った場合と比較した。その結果、電子回路化した Folthret は、離散時間-離散情報学習しきい素子と同様、学習実験で用いたどの入力パターンについてもパターン認識の学習ができることが示された。また、学習完了までの学習サイクル数と出力について調べたところ、電子回路化した Folthret は、本実験に関しては離散時間-離散情報学習しきい素子と大体近い動作をし

ていることが確認できた。ただ、電子回路化した Folthret を用いた実験の方が離散時間-離散情報学習しきい素子でシミュレーションを行った場合よりも学習完了までの学習サイクル数が少し多くなった。これは、主として結合荷重を表すフーリエ級数信号の中に雑音が入るためであると思われる。

最後に、離散時間-離散情報学習しきい素子による計算機シミュレーションにおいて、パラメータであるしきい値を電子回路化した Folthret のしきい値を中心に变化させ、各しきい値ごとに学習完了までの学習サイクル数と出力を求めた。このようなシミュレーション結果に対する実験結果の誤差2乗和を調べたところ、誤差2乗和はしきい値が電子回路化した Folthret のしきい値から遠ざかるに従って大きくなる傾向を示し、電子回路化した Folthret が本実験に関しては離散時間-離散情報学習しきい素子に大体近い動作をしていることが再度確認された。しかし、誤差2乗和が最小になるしきい値は電子回路化した Folthret のしきい値よりも大きく、両者はそれほど近い値にはなっていない。この原因としては、結合荷重を表すフーリエ級数信号の各成分の位相がほんのわずかずつれることが一つ考えられる。

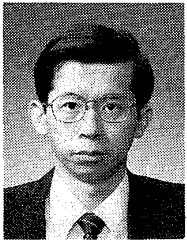
今後の課題は、電子回路化した Folthret の結合荷重用メモリ部と結合荷重変更部に関して更に改良を施し、その学習能力を理想的な離散時間-離散情報学習しきい素子に近づけていくことである。もちろん、結合荷重に直接関係していない部分についても簡単化せず、原理どおり電子回路化し、離散情報にも連続情報にも使用でき、しかも種々の回路網が実現できるようにしなければならない。また、学習実験において入力パターンの種類、数、次元等を幅広く変化させて Folthret の学習能力を評価し、Folthret がどのような場合にも有効に機能するかどうかについても検討する必要がある。更に、出力の安定性や処理速度等の学習能力以外の性能の評価とそれらに関する改良、小規模化が今後の課題として挙げられる。

文 献

- (1) 横井博一, 斎藤正男: “新しい学習しきい素子-Folthret”, 信学論(A), J69-A, 9, pp. 1173-1175 (1986-09).
- (2) 横井博一, 日比野省三: “フーリエ級数信号による情報の物理的表現”, 1978 信学総全大, 1216.
- (3) 横井博一, 日比野省三: “フーリエ級数信号による情報処理”, 1978 電学会全大, 1112.
- (4) 横井博一: “情報のフーリエ級数化とその処理”, 東邦学誌, 9, pp. 1-11 (1978).

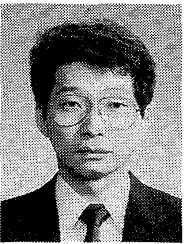
- (5) 横井博一, 日比野省三: “フーリエ級数信号の情報処理への応用”, 電学会情報処理研資, **IP-78-20**, pp. 1-10 (1978).
- (6) 横井博一: “フーリエ級数型学習しきい素子—Folthret”, 信学論(D-II), **J75-D-II**, 1, pp. 146-151 (1992-01).
- (7) 吉野慶一, 横井博一: “Folthretの回路的実現”, ME誌, **26-特別号**, p. 190 (1988).
- (8) 寺西信也, 白山昌一, 横井博一, 吉野慶一: “Folthretコンピュータによるパターン認識”, 信学技報, **MBE88-109** (1989).

(平成4年3月26日受付, 10月1日再受付)



横井 博一

昭47名大・工・電気卒。昭49同大大学院修士課程了。昭60東大大学院博士課程了。現在、九工大・工・講師。神経回路網、ニューロコンピュータ、ザリガニの学習、人間の情報処理、ヒューマンインタフェースに関する研究に従事。医博、工博、日本ME学会、日本動物学会、日本動物心理学会、日本人間工学会各会員。



吉野 慶一

昭55佐賀大・理工・電気卒。同年シャープ(株)入社。昭59九工大・工・文部技官。平4北九州工専・助手。現在、ニューロコンピュータの研究に従事。日本ME学会、電気学会各会員。