

平成 17 年度 博士学位論文

ホログラムを用いた
差分型光再構成ゲートアレイ

九州工業大学大学院 情報工学研究科 情報科学専攻

宮野 元嗣

指導教員 小林 史典 教授

九州工業大学附属図書館



0010689768

目次

第 1 章	はじめに	4
1.1	背景	4
1.2	既存の再構成デバイスの問題点	6
1.3	本研究の視点	7
1.4	本論文の構成	8
第 2 章	ODRGA	9
2.1	ORGA の概要	9
2.2	ODRGA の概要	9
2.3	差分再構成手法	11
2.3.1	原理	11
2.3.2	照射 bit 効率	13
2.3.3	差分再構成による利点	14
2.4	反転フォトダイオード	15
2.4.1	原理	16
2.4.2	照射 bit 削減率	16
第 3 章	VLSI 設計	18
3.1	VLSI 部の概要	18
3.2	各ブロックの設計	19
3.2.1	論理ブロック	19
3.2.2	スイッチングマトリクス	21
3.2.3	I/O ブロック	23
3.3	カスタム設計	24
3.3.1	トランスミッションゲート	24

3.3.2	フォトダイオードセル	25
3.4	VHDL シミュレーション	27
3.4.1	フォトダイオードの VHDL モデル	28
3.4.2	シミュレーション結果	28
3.5	レイアウト	30
3.6	HSPICE によるシミュレーション	31
3.7	VLSI の試作・実装評価	32
第 4 章	光バス制御のための照射環境開発	34
4.1	照射光学系	34
4.2	照射位置合わせ支援環境	35
4.2.1	液晶による照射パターン制御	35
4.2.2	光バス検出のためのソフト/ハード	37
4.3	回路実装	40
4.3.1	実装評価	40
4.3.2	差分再構成検証	41
4.4	レーザー・スイッチングによる連続再構成	44
4.4.1	液晶 2 枚を用いた連続再構成	44
4.4.2	液晶 3 枚を用いた連続再構成	46
第 5 章	高速再構成検証	49
5.1	VLSI 全体の高速再構成	49
5.1.1	光学系	49
5.1.2	実装結果	50
5.2	連続再構成	52
5.2.1	光学系	52
5.2.2	実装結果	53
5.3	再構成速度限界	54
5.3.1	レーザー直接照射による測定	54
5.3.2	全体の再構成速度	57
5.4	65k ゲート規模の ODRGA	59
第 6 章	実用化に向けた大容量化と小型化	60
6.1	ホログラムによる大容量化	60

6.1.1	差分再構成とホログラムを組み合わせるメリット	60
6.1.2	レンズを組み合わせた実装	61
6.1.3	直接再生実装	64
6.2	VCSEL によるコンパクト化	69
6.2.1	レーザースイッチングによる再構成	69
6.2.2	消費電力評価	71
6.2.3	部分再構成による高速化	72
6.2.4	多重照射による高速化	75
第 7 章	まとめ	77
	参考文献	79
付録 A	LSI の設計方式	83
付録 B	ホログラムの記録	84
B.1	ホログラムの記録手順	84
B.2	記録条件	85

第 1 章

はじめに

1.1 背景

近年の半導体プロセス技術の目覚ましい進歩により, 全ての家電や電子機器にコンピュータが組み込まれ, ネットワーク網によって通信が行われる, いわゆるユビキタスネットワーク時代の到来を迎えつつある [1]. このような時代の到来を受けて, 個々のコンピュータに求められる情報処理能力がますます高まってきている. 例えば, 音声や動画などのマルチメディア処理, 通信におけるセキュリティを考慮した暗号化・復号化処理など, 要求される処理はますます高度化・複雑化している. このような多数のデータを扱う処理においては, ソフトウェアでのリアルタイム処理は非常に困難であり, 専用ハードウェア (ASIC: Application Specific Integrated Circuit) での処理を行うのが現実である [2].

近年では, チップ面積削減による低コスト化を目的として SoC(System on a Chip) や SiP(System in Package) が導入される例が増えている. SoC では, 上記の専用ハードウェアに CPU やメモリ, I/O インターフェース等を統合し, 1 チップ化を行い, SiP では複数のチップを 1 つにパッケージ化することで, 低コスト化を実現する [3]. しかし, ASIC またはそれを含む SoC や SiP での実現においては, 様々な通信規格やアルゴリズムを実装するには限界があり, また今後新たなアルゴリズムを実装する場合, 容易に機能変更ができないといった, 柔軟性に欠ける問題点を抱えている. 結果として, チップ面積削減の恩恵以上に, 開発の工数が増加し, 全体としてのコスト高を招く [4]. これらの問題の解決策として, 動的にプログラム可能な再構成デバイスに注目が集まっている [5].

動的な再構成を積極的に活用することで, 以下の利点が生まれる.

1. プロセス・機能変更に伴う設計コストの低減

2. チップ面積削減によるコストの低減
3. 仮想的な大規模回路の実現
4. 不要な回路排除による低消費電力化
5. 演算の高速化

1 は再構成デバイスの柔軟性を活かした利点である。機能変更にはハードウェア自体の変更は不要であり、転送する再構成情報のみの変更で対応が可能となる。また、プロセスを変更する場合、演算処理を実現するチップ毎に再設計の必要性が発生するが、再構成デバイスの場合、そのデバイスのみを設計するだけでよく、設計にかかるコストは大幅に削減される。つまり、短期間の開発で様々な要求に応じた、しかも高機能な製品を投入できる。

2 は、再構成デバイスに、必要なときに必要な回路のみを実装することで得られる利点である。通常のハードウェアでは、様々な機能を実現する場合、全ての機能を同一チップ上、または複数のチップに実装するため、高機能にすればするほどチップ面積は増大する。しかし、全ての機能が同時利用される頻度が低いことも多い。しかし、再構成デバイスでは、必要な機能を必要なときに実装できるため、小面積で多数の処理を実現できる。また、削減したチップ面積を利用し、再構成デバイスを複数並列に実装することで、更なる多機能化・高速化を実現可能になる。

3 の利点は 2 で述べた場合と同様、必要なときに必要な機能を実装することで得られる。動的に再構成を行うことができれば、再構成パターンを増やすことで、実際の回路規模以上の回路を仮想的に実現できる。例えば、同一チップ面積という条件下で、専用のハードウェアでは 1000 万ゲート、再構成デバイスでは 100 万ゲートを実現できたと仮定する。この時、固定のハードウェアは 1000 万ゲート以上の機能は実現できないが、再構成デバイスでは 1 万パターン用意すれば、仮想的に 100 億ゲートの機能を実装できる。したがって、既存のデバイスでは得られない大規模回路が実現できる [6]。

4 の利点は、駆動する必要のない回路を実装しないことで得られる。ソニー社の VME(Virtual Mobile Engine)[7][8] では、電力効率の悪い処理を、動的再構成デバイスに割り当てることで低消費電力化を実現している。その結果、VME を用いたウォークマンの再生時間を、飛躍的に伸ばすことに成功している。

5 の利点は、頻繁かつ高速に回路を切り替えることで得られる。動的再構成デバイスを利用することで、高速フーリエ変換 (FFT) の処理を Pentium IV よりも約 13 倍高速に実行できた例が報告されている [9]。この時の回路の切り替え時間は 21[μsec] であり、より高速な切り替えが実現できれば、さらに演算性能が上がることを示唆している。

以上の利点を得るためにも、再構成デバイスに求められる最も重要な要素は

- 高速演算のために再構成のオーバーヘッドのない高速再構成
- チップ面積削減・仮想大規模回路実現のための大容量再構成パターン

の2点であると言える。

1.2 既存の再構成デバイスの問題点

■電気デバイスの問題点

再構成デバイスの1つとして、Field Programmable Gate Array (FPGA) が良く知られている。FPGA も LSI の高集積化・高速化に伴い、普及が急速に進んでいる [10] [11]。一般的な FPGA では、内部に RAM セルを持ち、この RAM セル内に回路情報を記憶する。ユーザは、この RAM セルに自ら設計した回路情報をダウンロードすることで、所望の回路を実装することができる。しかし、そのダウンロードは限られた配線リソースを使用するため、低速なシリアル転送を行わざるを得ず、ミリ秒オーダーの時間が必要となる。このプログラムに要する時間は、プログラムを数度行う程度の運用では問題とはならないが、再構成を頻繁に行いつつ演算を実行する場合にはこの再構成時間がボトルネックとなり、全体の処理速度を低下させてしまう [12][13]。

この再構成時間を短縮するために、これまでに新しい再構成デバイスである DRP(Dynamically Reconfigurable Processor)[14] や DAP/DNA[15] 等の開発が行われている。これらのデバイスは、ALU(Arithmetic Logic Unit) やレジスタを含む Processing Element(PE) をタイル状に配置し、各 PE 間の配線を切替えることで、1クロックでの再構成を実現している。そして、これらのデバイスを使用した、様々な応用例が示されている [9][16][17]。しかし、1クロックでの再構成を実現するためには、全ての再構成情報をチップ上のメモリに保持しておかなければならない。このメモリの bit 数の制約から、再構成の粒度を FPGA ほど細かくできず、柔軟な演算回路を実装できない上、再構成可能なパターンは 4~16 程度と少なくなる問題がある。したがって、今後要求される多種多様な演算処理に十分対応できるとは言い難い。また、仮想的な大規模回路の実現には不十分な再構成パターン数である。

■光再構成ゲートアレイの現状と課題

一方で、光コンピューティング分野における光技術と、電子デバイス技術を融合させた新しいデバイスの研究が行われている。この種のデバイスは、配線・記憶を得意とする光技術と、演算を得意とする電子技術を組み合わせることで、これまで電気配線では不可能であった、高速データ転送を可能にしている。これらのデバイスの中では、高速な回路再構成

を目的とした OPGA(Optically Programmable Gate Array) が有名である [18][19]. OPGA はフォトダイオードによる受光部を持ち, 再構成情報を光照射によってパラレルに与えることで, 再構成速度を μsec オーダーにまで改善している. このような光を用いた転送を行う場合, 再構成情報を保存するメモリを外部に退避させることが可能となり, さらに大容量の光メモリを用いることで, 多数の再構成パターンが実現できる. しかし, OPGA は光で再構成可能なものの, 動的再構成については考慮されておらず, 依然として再構成時間によるボトルネックが大きかった.

本研究室では, OPGA の再構成時間のボトルネックを解消するために, 動的再構成が可能な光再構成ゲートアレイ (ORGA: Optically Reconfigurable Gate Array) の開発を行っている. これにより, 動的再構成を考慮した, かつ FPGA のゲート規模に匹敵する世界最大規模の光再構成ゲートアレイを実現した [20]. しかし, 高速再構成が実現可能であることは示されたが, 光学部の消費電力の問題を抱えており, 今後更なる高速再構成の実現と, 実用化は難しい段階にあった.

1.3 本研究の視点

本研究では, 高速再構成の実現を目指すべく, 今後障壁となる消費電力にも着目した. 現在, マイクロプロセッサの分野においても, 今後の高速化に伴う消費電力の問題を抱えており, 低消費電力化と処理性能向上の両立を目指した動きが活発化している [21]. また FPGA も同様に, クロックゲーティング, 動的な電圧制御等の技術の導入により, 低消費電力化が行われている [22]. ゲートアレイの低消費電力化が進む一方, 光再構成ゲートアレイでは, 光学部の低消費電力化は考慮されておらず, 今後光学部の消費電力が支配的となってしまう. したがって, 光再構成ゲートアレイにおいて, 光学部の低消費電力化は重要な問題と言える. そこで, その解決法として, 新しい差分光再構成アーキテクチャを用いた差分型光再構成ゲートアレイ (ODRGA:Optically Differential Reconfigurable Gate Array:) を提案する [23]-[31].

実際に動的再構成を行う際, ほとんどの場合, 全体の再構成よりも, 部分的な再構成を行うことが多く, 全体再構成を行うことは無駄な照射を行うことになる. 従来の光再構成デバイスでは, 部分再構成が考慮されておらず, 無駄な電力を消費していた. この問題点に着目し, 部分再構成が可能な差分型アーキテクチャを開発した. 部分再構成により, 不要な照射に使用されていたエネルギーを必要な箇所に集中させることが可能になり, 低消費電力化・再構成速度の高速化を行うことができる. また, 光バスを用いることで, FPGA では不可能な, bit 単位での柔軟な再構成と, 高速再構成を両立できる.

1.4 本論文の構成

本論文の構成を以下に述べる。

まず2章では、従来の光再構成ゲートアレイについて述べ、比較を交えて、提案するODRGAの概要および差分型光再構成手法の詳細について述べる。差分型アーキテクチャの導入によって、照射bit数を2割程度に削減できることを示し、さらなる照射bit数削減手法についても言及する。

次の3章では、試作したODRGAのVLSIゲートアレイ部の設計及び構造について示す。まず、VLSI部の概要について触れ、各ブロックの詳細、受光部等のカスタム設計について述べる。そして設計したVLSIのVHDLシミュレーション、レイアウト後のHSPICEシミュレーション実施結果、および実装評価を示す。

4章では、ODRGA-VLSIに光照射を行うための照射環境開発について述べる。ODRGAでは、光学部とVLSI部の位置合わせにミクロンオーダーの精度を要するが、その技術の確立に必要な光学系、および支援ソフトウェア/ハードウェア開発について述べる。そして、構築した環境による、VLSIへの光照射による実装検証を行った結果を示す。

5章では、構築した照射環境を基に、動的再構成デバイスに求められる、再構成の高速化の検証を行った結果を示す。光源としてパルスレーザーを用い、ODRGAシステム全体での世界最高速の光再構成の実証結果を示し、今後さらに高速な再構成を実現できることを示す。

そして6章では、ホログラムとVCSEL(Vertical Cavity Surface Emitting Laser)を導入した結果について述べ、今後の実用化について言及する。大容量光メモリとしてホログラムを用いた実装検証、VCSELを用いたODRGAシステム全体のコンパクト化と照射試験結果について述べ、差分型光再構成による利点を実証する。

最後に、7章で結論と今後の展望について述べる。

第 2 章

ODRGA

本章では、まず従来の光再構成ゲートアレイ (ORGA) の概要について示し、次に、提案する差分型光再構成ゲートアレイ (ODRGA) の概要及び差分再構成手法について述べる。そして従来の光再構成ゲートアレイと比較し、照射 bit 数を約 20% に低減でき、低消費電力化・高速化可能であることを示す。

2.1 ORGA の概要

ORGA の概略図を図 2.1 に示す。ORGA は、レーザー生成部、光メモリ部、ゲートアレイ VLSI 部から構成される。まずレーザーを点灯させ、その光を光メモリに照射することで、再構成情報となる照射パターンを得る。その照射パターンをゲートアレイ VLSI に照射することで再構成を行おうとする。この為、VLSI 上には多数のフォトダイオードが並列的に実装されており、光メモリを介して得られた照射パターンを並列的に受光することで高速な再構成が可能になる。また、上部の光学部を多重化することで、再構成パターンを増やすことが可能である。

2.2 ODRGA の概要

ODRGA は、ORGA に部分再構成の機能を付加したもので、図 2.2 のように照射する領域を選択することで部分的な再構成が可能である。部分再構成が可能になると、照射領域を分割することができる。分割された各照射領域の広さは、再構成を行う bit 数に対応する。各照射領域の広さは、それぞれ一定にする必要はなく、各々の領域に照射光学部を配置することで、様々な範囲に照射領域を分割できる。したがって、有限なレーザーパワーを有効に

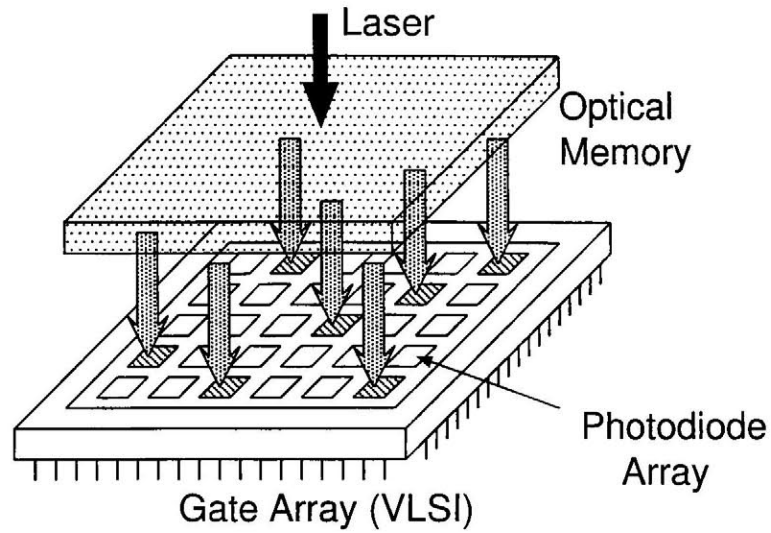


図 2.1 ORGA の概略図

利用することもできる。また、各領域に出力の異なるレーザーを配置することもできる。したがって、求められる再構成速度に応じて、照射領域の範囲や分割数を設定、さらに異なるレーザーを組み合わせる等、柔軟に光学部を構成することが可能になる。

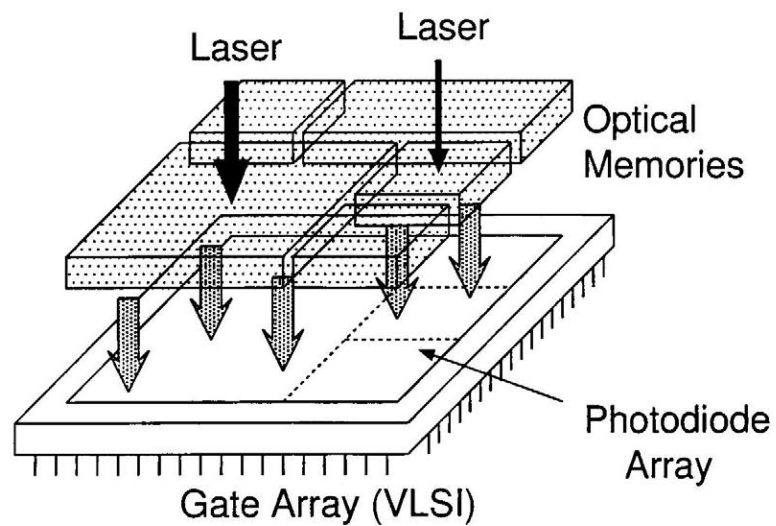


図 2.2 部分再構成の概要

これまで部分再構成を実現するには、まず VLSI 側には、各再構成ブロック毎に再構成を行うかどうか決定する機構が必要になること、そして光学側では照射する領域を分割するための複雑な光学系が必要になるなど、オーバーヘッドが大きく、導入が難しかった。

ODRGA ではビット単位で選択的な再構成を可能としており、何も照射しない場合は、再構成情報は維持される。このことから、再構成ブロック毎に必要な機構を不要としている。一方、光学系では、レーザーをアレイ状に配置し、光メモリとしてホログラムメモリを導入する。ホログラムを導入することで、照射領域を分割する複雑な光学系を必要とせず、部分再構成が可能となる。また、レーザーを発光させ、ホログラムを介してゲートアレイ VLSI に照射するが、発光するレーザーを切り替えることで、照射する光のパターンを変えることができ、これにより高速な動的再構成を実現する。この概略図を図 2.3 に示す。

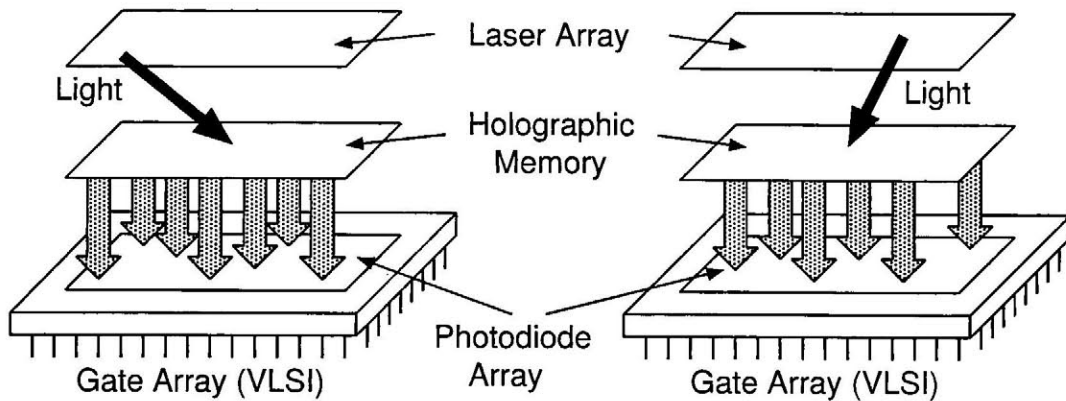


図 2.3 ODRGA の動的再構成の概要

2.3 差分再構成手法

2.3.1 原理

従来の光再構成ゲートアレイでは、再構成を行う場合、全てのデータを照射する必要があった。そのため、部分再構成でよい場合にも回路全体を再構成していたため、光エネルギーを浪費していた。実応用ではゲートアレイ全体を再構成する場合よりも部分的に再構成する場合の方が多いため、部分再構成を意識したアーキテクチャを導入することは重要である。そこで ODRGA では、光が照射された場合には前状態の反転をとり、照射されない場合は前状態を保持する手法、すなわち差分再構成手法を導入した。その手法を実現

する回路を図 2.4 に示す。

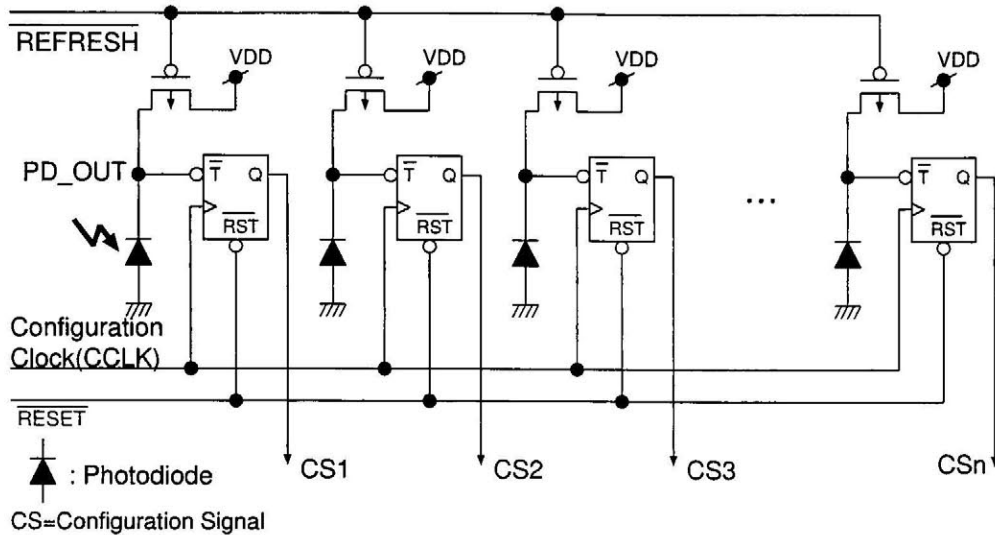


図 2.4 差分光再構成回路

この回路は、受光部となるフォトダイオードとトグルフリップフロップから構成され、照射された部分のみが前状態から反転する仕組みである。照射されなければ、前状態が保持されることから、ビット単位で選択的な再構成が可能である。

差分再構成回路の動作

フォトダイオードに逆方向電圧を印加し、接合容量に電荷を蓄積すると、しばらくの間、フォトダイオードの出力をハイレベルに保つことができる。その状態で、フォトダイオードに光を照射すると、フォトダイオードの接合容量の電荷が放電し、照射の有無によって電圧レベルの差を生成することができる。次に、後段のトグルフリップフロップのクロックである再構成クロック (CCLK) を立ち上げることで、照射された部分のフリップフロップの値は反転し、照射されない部分のフリップフロップの値は保持される。そして、フリップフロップからの出力が再構成信号 (CS1, CS2, ..., CSn) となる。再構成信号は、ゲートアレイ全体に供給される。ODRGA の再構成のタイミングを図 2.5 に示す。

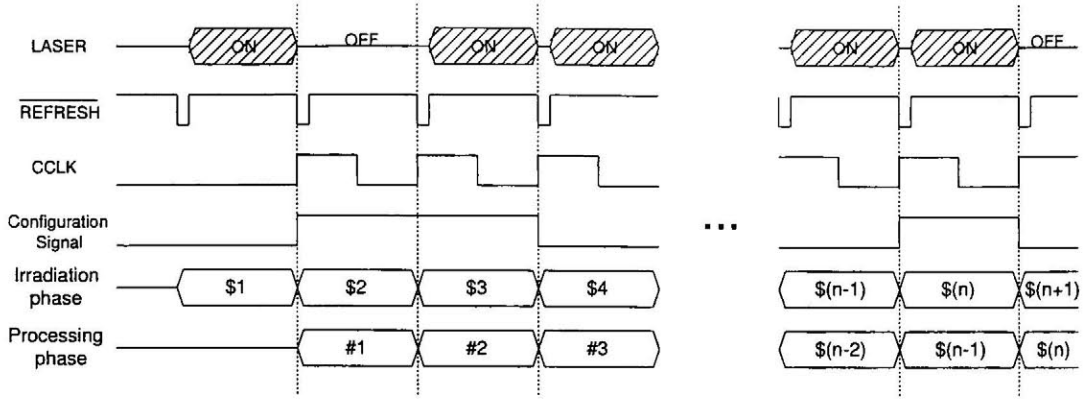


図 2.5 ODRGA の動的再構成タイミング

2.3.2 照射 bit 効率

差分型アーキテクチャを用いて部分再構成を行う場合と、従来の全体再構成を行う場合において、照射 bit 数の比較を行う。

ゲートアレイ全体に実装された再構成要素 (フォトダイオード) 数を 2^N 、ゲートアレイ部の分割ブロック数を 2^M とする。また、あるフォトダイオードの値が現状態から他の値に変化するまでのクロック数を、平均生存クロック数 k と定義する。

まず、ブロック内で書き換えが不要となる確率 P_B を考える。このとき、生存クロック数 k に依存した再構成不要な確率は $(k-1)/k$ となる。また、1つのブロックに存在するフォトダイオードの数は 2^{N-M} 個となるが、これらのフォトダイオードの値が次状態も全く同じパターンになる確率は $1/(2^{2^{N-M}})$ である。したがって、 P_B は以下の式で求められる。

$$P_B = \frac{k-1}{k} + \frac{1}{k} \cdot \frac{1}{2^{2^{N-M}}} \quad (2.1)$$

非差分型における照射 bit 数を E_{all} とすると、 2^M 個全てのブロックのうち、1つでも書き換えが発生する場合となるので、以下のように求まる。

$$E_{all} = 2^N \{1 - (P_B)^{2^M}\} + 1 \quad (2.2)$$

ここで最後の 1 は書き換えを行うか否かを決定する bit を意味する。整理すると以下の式になる。

$$E_{all} = 2^N \left\{ 1 - \left(\frac{k-1}{k} + \frac{1}{k \cdot 2^{2^{N-M}}} \right)^{2^M} \right\} + 1 \quad (2.3)$$

一方, 差分型では各ブロックについて書き換えが発生するかどうかを考慮するので, 差分型における照射 bit 数 $E_{partial}$ は以下の式で表される.

$$E_{partial} = 2^M \cdot 2^{N-M} (1 - P_B) + 2^M \quad (2.4)$$

ここで最後の 2^M はブロック毎の書き換えを行うか否かを決定する bit を意味する. 整理すると以下の式になる.

$$E_{partial} = \frac{1}{k} \{ 2^N - 2^{(N-2^{N-M})} \} + 2^M \quad (2.5)$$

したがって, 非差分型に対する差分型の照射 bit 効率 $E_{partial}/E_{all}$ は以下に示す式となる.

$$\frac{E_{partial}}{E_{all}} = \frac{\frac{1}{k} \{ 2^N - 2^{(N-2^{N-M})} \} + 2^M}{2^N \left\{ 1 - \left(\frac{k-1}{k} + \frac{1}{k \cdot 2^{2^{N-M}}} \right)^{2^M} \right\} + 1} \quad (2.6)$$

$N=16$ の場合の照射 bit 効率を図 2.6 に示す. ゲートアレイ分割数 2^M , 平均生存クロック数 k に依存するが, 概ね照射 bit 数は差分でない場合の 20% 程度にまで削減できる.

2.3.3 差分再構成による利点

前述した照射 bit 数の削減により, 照射が必要な部分のみにエネルギーを集中させることで, 効率の悪い空間光変調素子を用いた場合の低消費電力化・再構成速度の高速化が期待できる. 以下に, 差分再構成による利点を述べる.

■再構成速度の高速化

照射 bit 削減効果により, 照射が必要な部分が限定され, そのみにエネルギーを集中させることができる. フォトダイオードの応答は照射光量に反比例するので, 従来の光再構成ゲートアレイと比較し, 再構成速度の高速化が可能である.

■省電力化

高速化とのトレードオフであるが, 照射 bit 数削減効果によって, 再構成が必要なエリアが減少し, 必要とする光エネルギーは少なくて済む. したがって, 従来の光再構成ゲートアレイと比較して省電力化が期待できる.

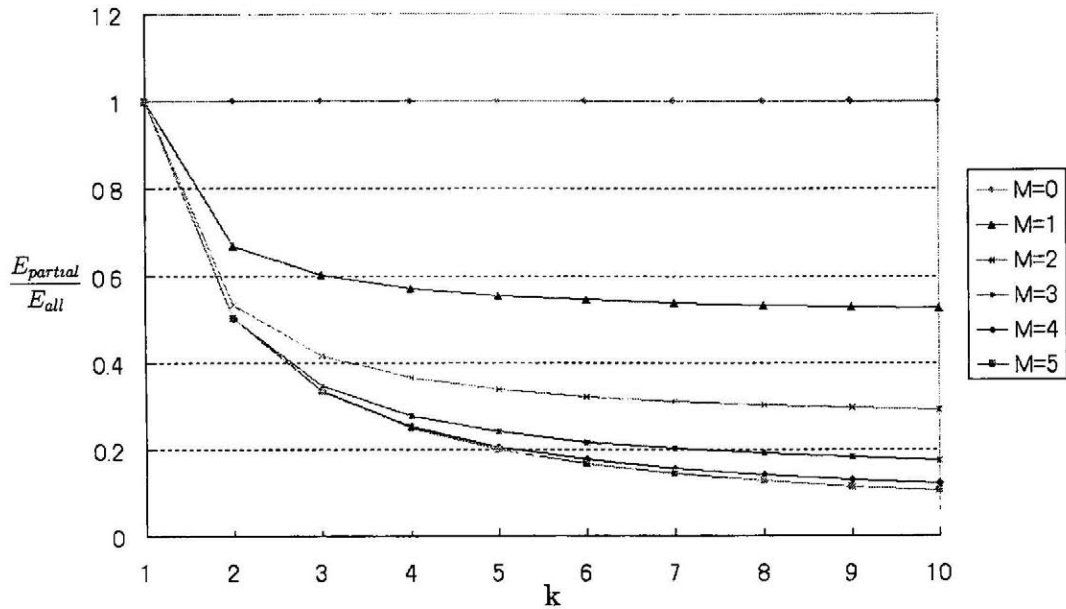


図 2.6 差分再構成による照射 bit 効率

■メモリ効率の向上

光メモリに記録すべき bit 数が削減されることにより, 使用する光メモリ効率が向上する.

■再構成によるオーバーヘッドの低減

フリップフロップから再構成情報を供給することにより, 回路がフリップフロップで分離され, 照射フェーズと処理フェーズを並列的に実行可能になるため, 再構成にかかるオーバーヘッドを限りなく 0 にまで削減できる.

2.4 反転フォトダイオード

ODRGA には, 照射すべきフォトダイオードの数をさらに減らすために, 反転フォトダイオードを実装した. これにより, さらに照射 bit 数を約 20% 削減できる.

2.4.1 原理

ここでは、反転フォトダイオードを用いた照射 bit 数削減手法について述べる。

この手法では、複数 bit の差分光再構成回路を 1 つのグループとし、そのグループに反転用のフォトダイオードを 1 つずつ付加する。その付加したフォトダイオードを反転フォトダイオードと呼ぶ。例として 4bit の差分光再構成回路に反転フォトダイオードを付加した回路図を図 2.7 に示す。

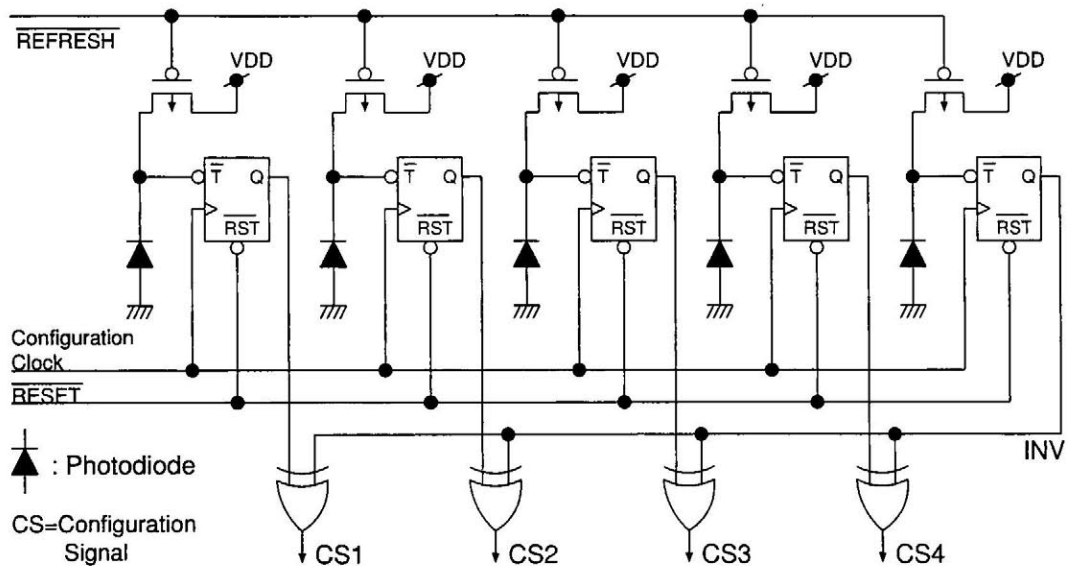


図 2.7 反転フォトダイオードの追加

反転フォトダイオードは、その値を格納するフリップフロップ (図 2.7 の一番右) からの出力 INV と、新たに 4 つ設けた排他的論理和によって、再構成信号 CS1~CS4 を一度に反転するためのものである。INV='0' のとき、CS1~CS4 はフリップフロップに格納されている値をそのまま出力し、INV='1' のとき、CS1~CS4 は全てフリップフロップの値を反転して出力する。この INV の値は、反転フォトダイオードへの光照射によって決まる。

2.4.2 照射 bit 削減率

反転フォトダイオードを用いない場合、 n 個のフォトダイオードの平均照射 bit 数 X は、

$$X = \frac{1}{2^n} \sum_{k=0}^n k_n C_k = \frac{n}{2} \quad (2.7)$$

であることは明らかである。一方、 n 個のフォトダイオードに反転フォトダイオードを付加したときの平均照射 bit 数 X' は、

$$X' = \begin{cases} \frac{1}{2^n} \left\{ \sum_{k=0}^{\frac{n-1}{2}} k_n C_k + \sum_{k=\frac{n+1}{2}}^n (n-k+1)_n C_k \right\} & (n = 1, 3, 5, \dots) \\ \frac{1}{2^n} \left\{ \sum_{k=0}^{\frac{n}{2}} k_n C_k + \sum_{k=\frac{n}{2}+1}^n (n-k+1)_n C_k \right\} & (n = 2, 4, 6, \dots) \end{cases} \quad (2.8)$$

となる。 X' が X に比べてどのくらい削減できるかをグラフにしたものを図 2.8 に示す。

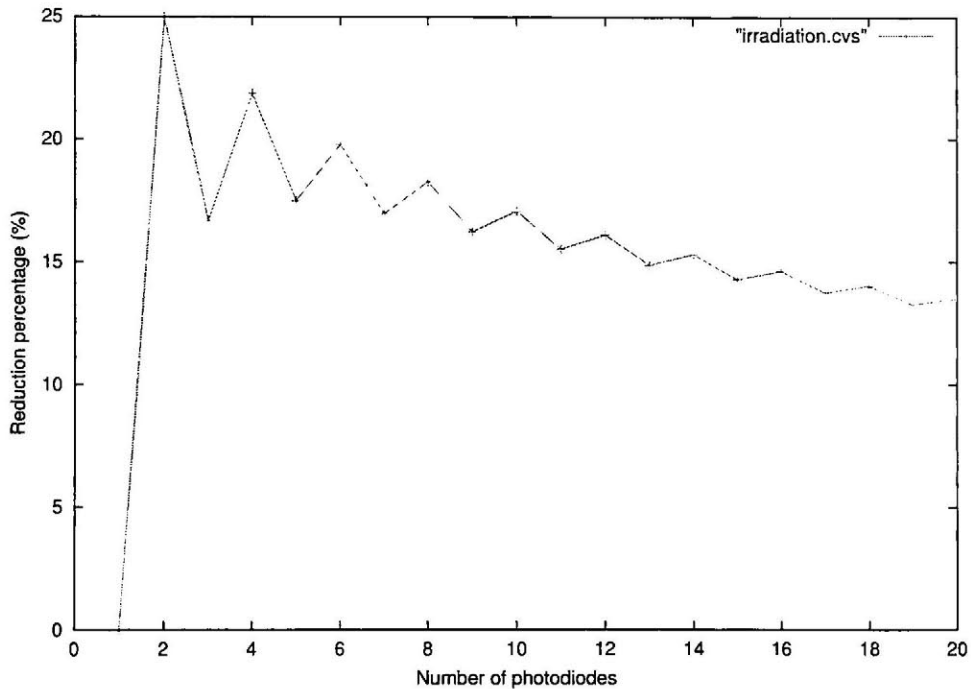


図 2.8 反転フォトダイオードによる照射 bit 数の削減率

この手法を導入することにより、照射 bit 数を約 15-20% 削減できる。しかし、反転フォトダイオードを多く実装すると面積が増える問題があるので、頻繁に照射パターンが変化する可能性が高い、主に論理ブロック (後述) に、その実装を限定している。

第3章

VLSI 設計

本章では, 設計した ODRGA-VLSI ゲートアレイ部について述べる. まず概要を示した後に, 各ブロックの詳細を述べる. 設計方式は, セミカスタム設計方式*¹とし, フォトダイオードセル等のカスタム設計を行っている. そして, ゲートアレイ全体の VHDL シミュレーション結果, レイアウトならびに SPICE シミュレーションを行った結果を示す. 最後に, 試作した VLSI の仕様を示し, 実装評価を行う.

3.1 VLSI 部の概要

ODRGA のゲートアレイ VLSI 部は主に 3 つのブロックによって構成される. 1 つ目は論理ブロック, 2 つ目はスイッチングマトリクス, そして 3 つ目は I/O ブロックである. 論理ブロックは主に論理ゲートを実現する部分, スwitchingマトリクスは配線領域とともに各ブロック間を接続する部分, I/O ブロックは外部のピンと内部の配線領域とを接続する部分である. 各ブロックの各プログラム要素毎にフォトダイオードを 1 つずつ割り付けることで, 光によって演算や回路を決定でき, それらの再構成を行うことができる.

今回設計を行った ODRGA の VLSI 部の全体図を図 3.1 に示す.

VLSI 部全体で図 3.1 のように, 論理ブロックを 4 個, スwitchingマトリクスを 5 個, I/O ブロックを 12 個配置した. ただし, 中心にあるスイッチングマトリクスは 4 方向の信号の流れを制御するもので, 残りの 4 つのスイッチングマトリクスは 3 方向の信号の流れを制御するものである. また, 配線領域は 4bit 幅とした.

*¹ 付録 A 参照.

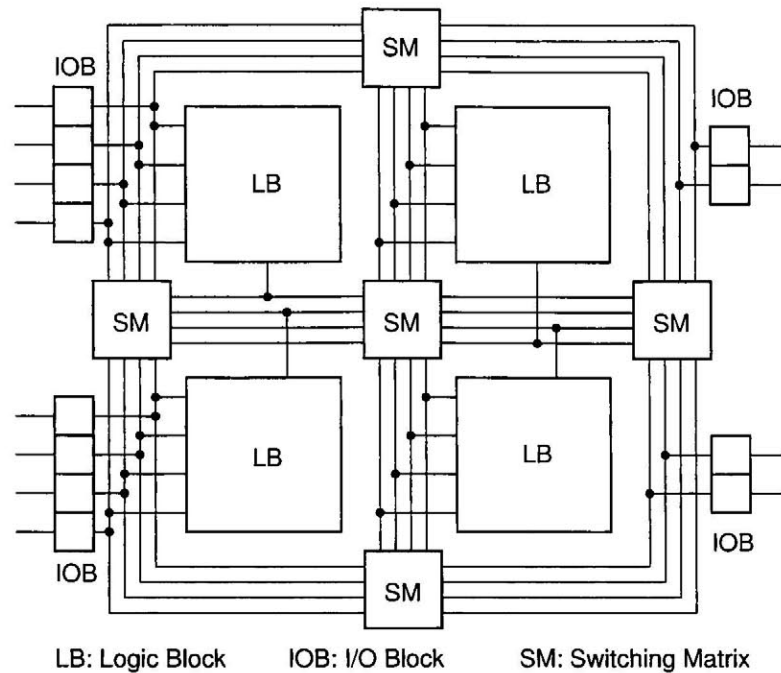


図 3.1 ODRGA の VLSI 全体図

3.2 各ブロックの設計

3.2.1 論理ブロック

設計した論理ブロックの全体図を図 3.2 に示す。論理ブロックは主に論理ゲートを実装する部分であるが、その論理演算を実装する部分は LUT(Look-Up Table) 方式を用いた(図 3.2 中の LUT)。これにより 4 入力 1 出力の任意の論理関数を実現できる。

LUT

LUT においては 4 つの入力 (LUT_SIG) があり、これらの入力は配線領域から取り込まれる。どの配線から取り込むかは、配線領域と LUT の間にあるマルチプレクサによって選択されるが、このマルチプレクサに接続されるフォトダイオードに照射する光によって決まる。1 つの入力に対して 2bit のフォトダイオードを用意することで、4 つの信号を LUT への入力として選択できる。1 つは VDD, 2 つ目は GND であり、'0' と '1' を固定入力できる。3 つ目と 4 つ目は配線領域の信号で、これを選

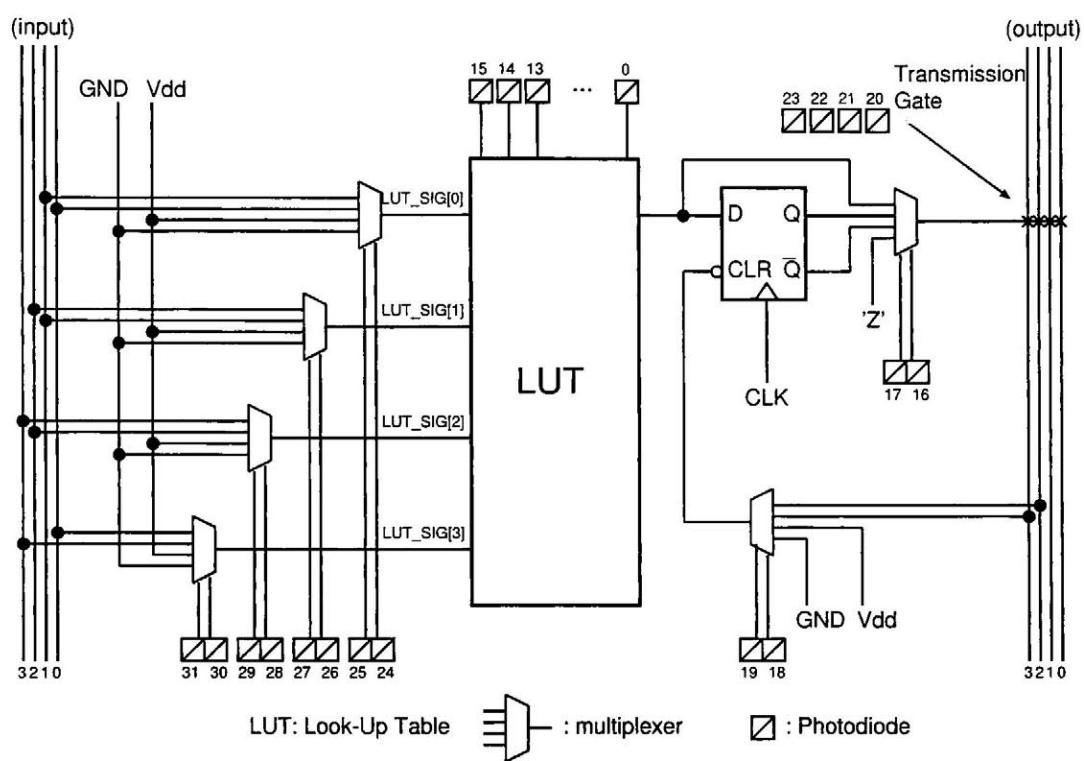


図 3.2 論理ブロックの全体図

択することで配線領域からの信号を入力とすることができる。

次に、実装する論理演算は LUT 内に含まれるフォトダイオードの状態、つまり照射する光のパターンによって決定される。LUT の構造を図 3.3 に示す。

Look-Up Table は 4 入力 1 出力であるが、言い換えると 16 入力・1 出力のマルチプレクサに相当する。4 つの入力に対する任意の論理関数の実現には、 $2^4 = 16$ 通りの出力パターンを全て操作できる必要がある。そこでフォトダイオードを 16 個実装している。これにより全ての入力パターンに対する出力を、照射する光によって設定できる。

D-FF

LUT からの出力は後段の D-FF(ディレイフリップフロップ) に直結されており、この D-FF の出力は順序回路を実現するために使用する。D-FF のリセット信号は、配線領域から取り込むことも、常時リセットにすることも、または無効にすることも、全て光によって決定することができる。

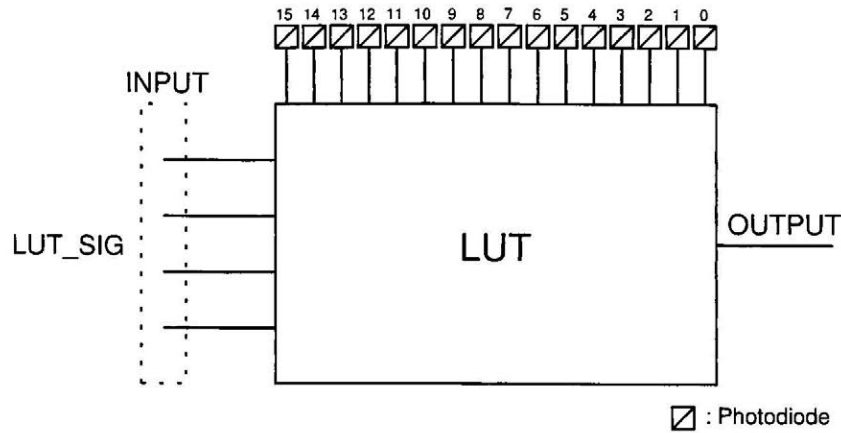


図 3.3 Look-Up Table の構造

マルチプレクサ

D-FF の後段のマルチプレクサによって、D-FF の出力と、LUT からの出力を選択することができる。LUT からの出力を選ぶことで、組合せ回路の実装が可能となる。このマルチプレクサにもフォトダイオードが含まれ、その状態は照射する光によって決定できる。最終的に、このマルチプレクサからの出力と配線領域の接続には、スイッチの役割を果たすトランスミッションゲートが用いられる。トランスミッションゲートの ON/OFF もまた、フォトダイオードに照射する光によって決まる。

フォトダイオード数

論理ブロック 1 個に必要なフォトダイオード数は、図 3.2 からわかるように 32 個である。しかし、それぞれ 4 個を 1 つのグループとして 8 個の反転フォトダイオードを追加していることから、論理ブロック 1 個あたりに実装しているフォトダイオードは合計 40 個になる。全体として論理ブロックを 4 個実装しているので、論理ブロック全体で実装しているフォトダイオードは 160 個である。

3.2.2 スイッチングマトリクス

設計したスイッチングマトリクスの全体図を図 3.4 に示す。

図 3.1 を見るとスイッチングマトリクスは 2 種類必要であることが分かる。1 つは 3 方向の信号の流れを制御するスイッチングマトリクス (図 3.4 左)、もう 1 つは 4 方向のスイッチングマトリクス (図 3.4 右) である。

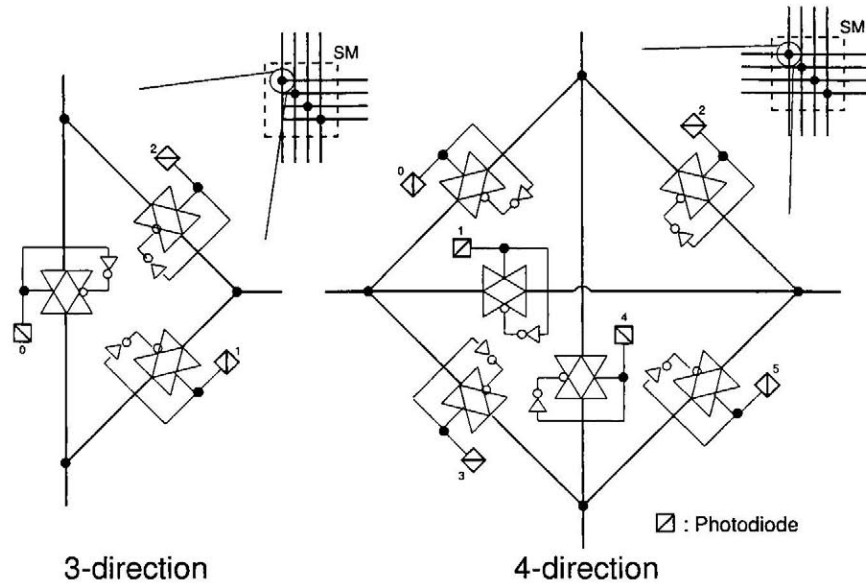


図 3.4 スイッチングマトリクス全体の図

3 方向のスイッチングマトリクス

3 方向のスイッチングマトリクスでは、それぞれ 2 つの方向の接続・非接続を考慮して ${}_3C_2 = 3$ 個のトランスミッションゲートを配置している。そして全てのトランスミッションゲートにフォトダイオードを接続することで、光による配線の制御が可能である。

4 方向のスイッチングマトリクス

3 方向のスイッチングマトリクスと同様に考慮して、4 方向のスイッチングマトリクスでは ${}_4C_2 = 6$ 個のトランスミッションゲートを配置している。3 方向と同様、全てのトランスミッションゲートにフォトダイオードを接続している。

フォトダイオード数

実装したフォトダイオードの数は、まず 3 方向のスイッチングマトリクス 1 個あたり、1bit の配線について 3 個 \times 4bit 配線なので、12 個となる。そして 4 方向のスイッチングマトリクス 1 個あたり、1bit の配線について 6 個 \times 4bit 配線なので、24 個となる。全体としてスイッチングマトリクス 3 方向タイプを 4 個、4 方向タイプを 1 個実装していることから、スイッチングマトリクス全体で実装しているフォトダイオードの数は 72 個である。

3.2.3 I/O ブロック

設計した I/O ブロックの全体図を図 3.5 に示す。

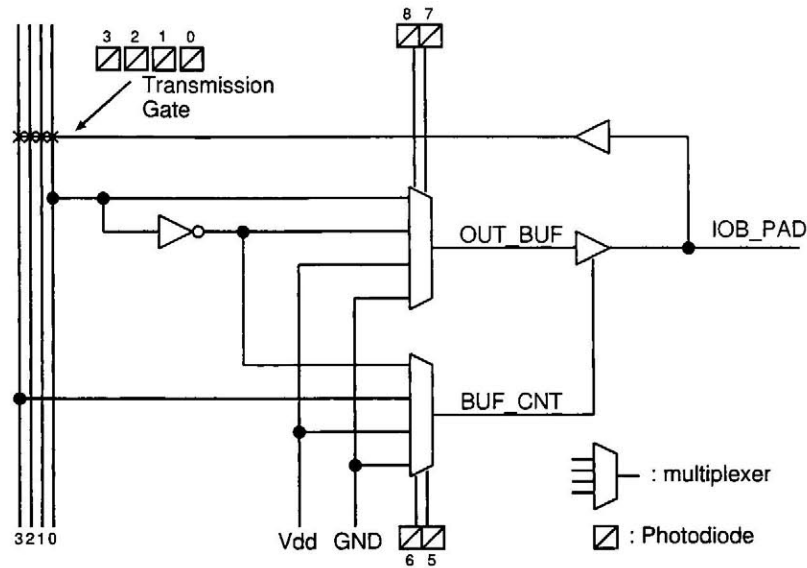


図 3.5 I/O ブロックの全体図

I/O ブロックは、入出力どちらも行える必要がある。入出力等の配線は照射する光によって決定することができる。

入力

外部のピンから入力する場合、図中の IOB_PAD から信号が入力される。この信号を内部の配線領域に接続するために、トランスミッションゲートを用いる。このトランスミッションゲートにはフォトダイオードが接続され、照射する光によって、外部からの信号の配線領域への接続状態を決定できる。

出力

配線領域からの信号を外部のピンへ出力する場合、OUT_BUF を IOB_PAD に接続すればよい。IOB_PAD と OUT_BUF の間にスリーステートバッファを挿入しているが、これはドライブ電流を高める目的と、上述の入力時に出力を切るために用いられる。ある I/O ブロックを入力として使用する場合、スリーステートバッファのイネーブル信号である BUF_CNT をディセーブルにしておく必要がある。出力として

使用する場合は BUF_CNT をイネーブルにすればよい。イネーブル/ディセーブルの選択は BUF_CNT に接続されているフォトダイオードに与える光の照射パターンによって決まる。また、配線領域の信号を BUF_CNT に利用することもできる。

そして出力信号 OUT_BUF は、配線領域から取り出す、あるいは'0'や'1'の固定の出力を選択することができる。この選択は OUT_BUF の前段にあるマルチプレクサに接続されているフォトダイオードに照射する光によって決定する。

フォトダイオード数

実装したフォトダイオードの数は、図 3.5 からは 8 個であるが、配線領域と接続するトランスマッションゲート 4 つを 1 グループとして反転フォトダイオードを 1 個付加しているため、I/O ブロック 1 つあたり合計 9 個のフォトダイオードを用いている。全体として I/O ブロックを 12 個実装しているため、I/O ブロック全体で搭載しているフォトダイオードの数は 108 個である。

3.3 カスタム設計

スイッチの役割を果たすトランスマッションゲート、受光部であるフォトダイオードの 2 つについてはスタンダードセル・ライブラリにないため、カスタム設計を行った。

3.3.1 トランスマッションゲート

CMOS プロセスでは、スイッチとしてトランスマッションゲートを用いる。トランスマッションゲートは各ブロックに配置され、スイッチの役割を果たす。トランスマッションゲートの回路図を図 3.6 に示す。左は回路記号、右はトランジスタレベルの回路図である。

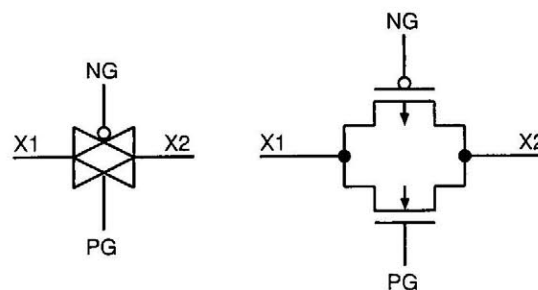


図 3.6 トランスマッションゲートの回路図

PG と NG は互いに反転した信号を与える。PG='0', NG='1' のときはどちらのトランジスタも OFF となり, X1 と X2 は接続されない。一方, PG='1', NG='0' のときはどちらのトランジスタも ON となり, X1 と X2 は接続される。

このトランスミッションゲートは提供されたライブラリになかったため, カスタム設計を行った。トランスミッションゲートのレイアウトを図 3.7 に示す。

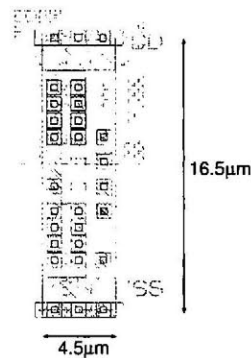


図 3.7 トランスミッションゲートのレイアウト

トランスミッションゲートを簡単に自動配置できるようにスタンダードセルで規定される幅や高さに合わせている。トランスミッションゲートのサイズは $4.5 \times 16.5 [\mu\text{m}^2]$ となった。

3.3.2 フォトダイオードセル

今回の設計では, 受光部であるフォトダイオードに加えて光学部との融合の際におけるデバッグの容易性を考慮し, フォトダイオードの出力を観測, あるいはフォトダイオードの値を電氣的に書き込むための機構を組み込んでいる。これらを合わせた部分をフォトダイオードセルとして設計した。これにより, 全てのフォトダイオードに対して, 電氣的な書き込みによる動作検証ならびに光照射による反応動作検証を行うことができる。フォトダイオードセルの回路図を図 3.8 に示す。

フォトダイオードセルの動作

まず, REFRESH 信号を有効にしフォトダイオードの接合容量に電荷を蓄積したあと, REFRESH 信号をネゲートする。次に, フォトダイオードに光が照射されると, フォトダイオードに蓄積されていた電荷が放出され, フォトダイオードの出力が '0'

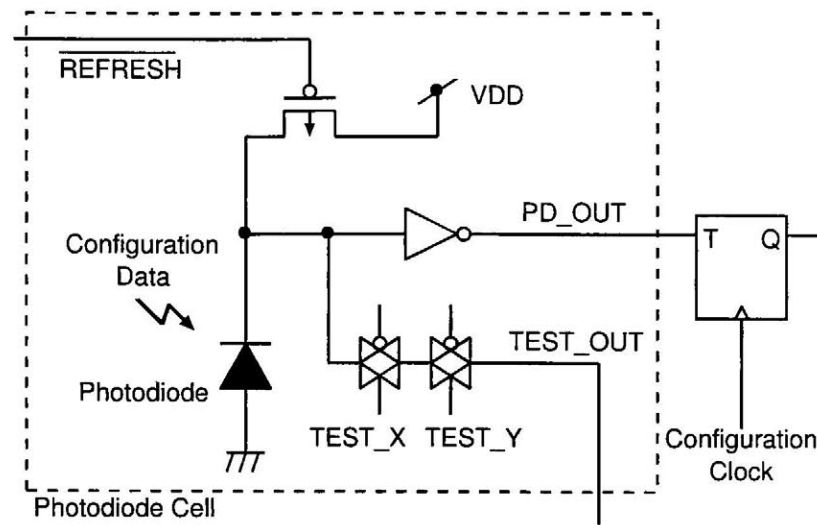


図 3.8 フォトダイオードセルの回路図

となる。その結果、バッファの役割を果たすインバータを通して PD_OUT は '1' となる。他方で、光が照射されないフォトダイオードには電荷が残り、PD_OUT は '0' を保つ。

以上のことをまとめると、フォトダイオードに光を照射しない場合は '0'、光を照射した場合は '1' が出力されることになる。そしてフォトダイオードセルの後段に配置されるトグルフリップフロップの値は照射された部分のみ反転する。

テスト回路

光学系との融合を容易にするために、フォトダイオードの出力先にトランスミッションゲートを 2 つ接続することで、指定したフォトダイオードの出力モニタ、あるいは電気的な書き込みを可能としている。

各トランスミッションゲートは、それぞれ TEST_X・TEST_Y がどちらも有効になったときに、対象となるフォトダイオードと TEST_OUT が接続される。TEST_X・TEST_Y 両方ともに 5bit の値であり、それぞれ 0~31 の値を指定することで、そのうちの 1 つのみが有効となる。言い換えると、X・Y を 32×32 の 2 次元座標で指定し、それと一意に対応するフォトダイオードのみが TEST_OUT に接続されるということが出来る。TEST_OUT に接続されたフォトダイオードは、その値を読み込むことができ、また TEST_OUT を入力端子として使用すれば、フォトダイオードに直接値を書き込むことも可能である。

これにより、全てのフォトダイオードに対して電氣的に値を書き込むことができ、光を照射する前に回路が正常に動作するかどうか確認することができる。そして、光を照射する際には、全てのフォトダイオードの値を観測し、光が指定したフォトダイオードに当たっているかどうか確認するために使用する。さらにフォトダイオードの値の変化する時間を観測することで、再構成クロックを立ち上げる時間の目安とすることができる。

フォトダイオードセルについてカスタム設計を行ったレイアウト図を図 3.9 に示す。

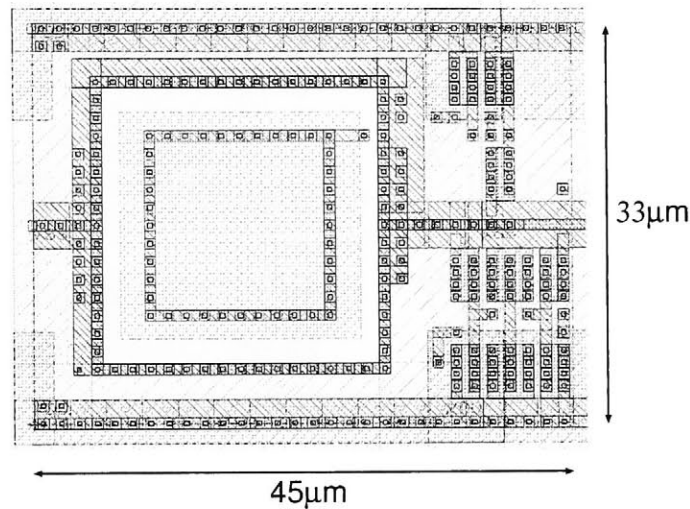


図 3.9 フォトダイオードセルのレイアウト

受光部であるフォトダイオードのサイズは $25.5 \times 25.5 [\mu\text{m}^2]$ 、フォトダイオードセル全体のサイズは $45 \times 33 [\mu\text{m}^2]$ である。

3.4 VHDL シミュレーション

設計した VLSI について VHDL シミュレーションを行った。シミュレーションは、組合せ回路・順序回路の 2 つの場合について行った。また、照射パターンに相当するプログラムは VHDL のテストベンチ上で記述した。シミュレーションには Model Sim(Mentor Graphics 社) を用いた。

3.4.1 フォトダイオードの VHDL モデル

3.3.2 節で述べたフォトダイオードを VHDL レベルでシミュレーションを行うためには VHDL 用のデジタル回路としてのモデルが必要となる。そこで、フォトダイオードの電荷を D-FF として模擬したモデルを構築した。フォトダイオードセルのデジタル回路モデルを図 3.10 に示す。

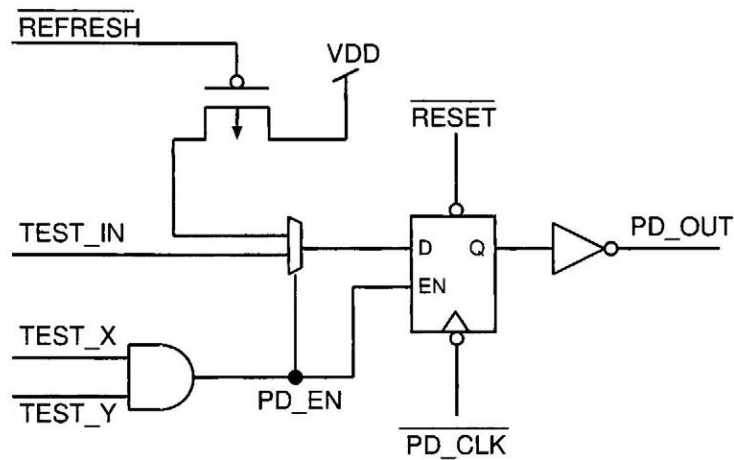


図 3.10 フォトダイオードセルのデジタル回路モデル

TEST_X, TEST_Y とともにアクティブとなったときに、PD_CLK の立ち下がりによって TEST_IN の値が D-FF に保存されるしくみとなっている。つまり、TEST_X, TEST_Y によって指定されたフォトダイオードに TEST_IN の値が書き込まれることになる。この TEST_IN の値を D-FF に書き込むことは、光を照射してフォトダイオードに値を書き込むのと同義となる。TEST_IN が光による再構成データであると考えると、TEST_IN='0' で光を照射することを意味し、TEST_IN='1' は光を照射しないことを意味する。そして D-FF に保存されている値がフォトダイオードの値であり、PD_OUT がフォトダイオードセルの出力となる。

3.4.2 シミュレーション結果

3.4.1 節で述べたフォトダイオードのデジタル回路モデルを用いて VLSI 部全体のシミュレーションを行った。

■ 組合せ回路

組合せ回路として 2bit 加算器を実装するシミュレーションを行った. シミュレーション波形を図 3.11 に示す.

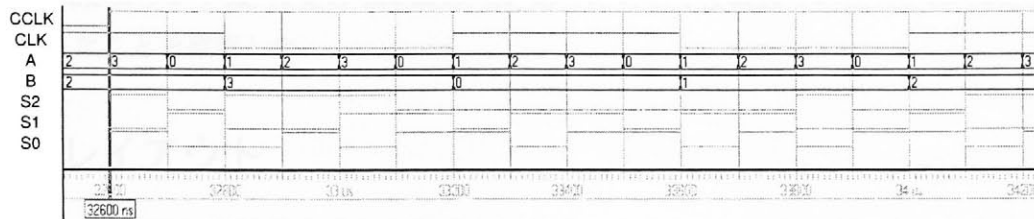


図 3.11 2bit 加算器 (組合せ回路) のシミュレーション

各フォトダイオードを模擬したフリップフロップに値を設定したのちに, 再構成クロック CCLK を立ち上げて再構成を行っている. 図 3.11 には CCLK が立ち上がった後の波形を示している.

実装した 2bit 加算器は, それぞれ 2bit の入力 A,B を持つ. 図 3.11 には 10 進数で表現した波形を示している. そして出力 S, つまり $A+B$ の結果は, (S2, S1, S0) の 2 進数 3bit で示している. 2bit 加算器が, 入力パターン $2^4 = 16$ 通りに対して, 正しく動作したことを確認した.

■ 順序回路

順序回路として 2bit のカウンタを実装し, シミュレーションを行った. シミュレーション波形を図 3.12 に示す. 2bit 加算器を実装したシミュレーションと同様に, 各フォトダイオードにプログラムした後に再構成クロック CCLK を立ち上げている. 図 3.12 に, CCLK が立ち上がった後の波形を示す.

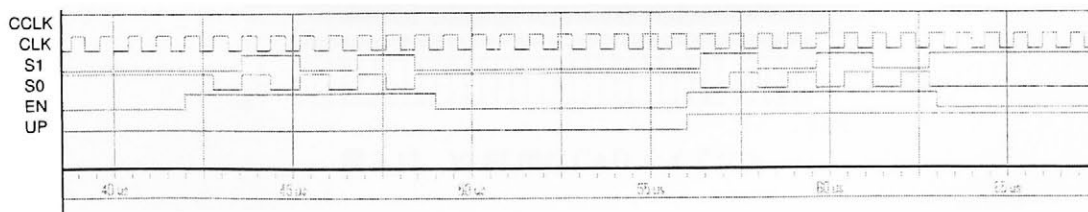


図 3.12 2bit カウンタ (順序回路) のシミュレーション

実装したカウンタは2つの入力を持ち、立ち上がりのクロック (CLK) で動作する。入力の1つはイネーブル信号 (EN) で、EN='1' のときにはカウントし、EN='0' のときはカウントせずに現在の状態を保持する。もう1つの入力は up/down 切替信号 (UP) で、UP='1' のときはアップカウンタ、UP='0' のときはダウンカウンタとして動作する。

上記 2bit カウンタは、任意の EN 信号、UP 信号に対して仕様通りの出力が得られ、正しく動作したことを確認した。

3.5 レイアウト

記述した VHDL を論理合成して生成されたネットリスト、スタンダードセルおよびカスタムセルを用いて、自動配置配線を行った。カスタムセルは 3.3 節にて述べたトランスマッションゲート、フォトダイオードセルの2つのセルである。VLSI 部全体のレイアウトを図 3.13 に示す。論理合成には Design Compiler(Synopsys 社)、配置配線ツールには Apollo(Synopsys 社)、デザインルールチェックには Dracula(Cadence 社) を用いた。

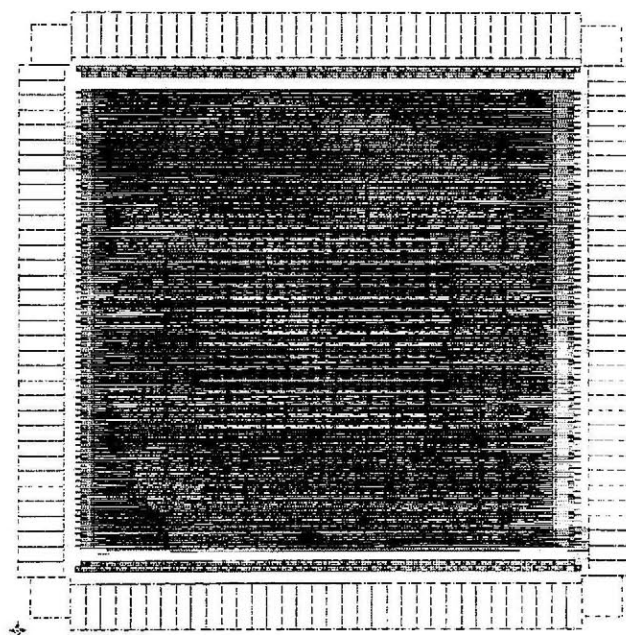


図 3.13 VLSI 部の CAD レイアウト

中心部にフォトダイオードセルを配置し、その数は、論理ブロック 4 個で 160 個、I/O ブロック 12 個で 108 個、スイッチングマトリクス 5 個で 72 個、計 340 個になる。フォトダ

イオードセルは 20×17 個の正方格子状に配置している。また、各フォトダイオードの間隔は縦横共に $90[\mu\text{m}]$ としている。これは初期の実験で、光学部との位置合わせを容易にするためであり、将来的に縮小することが可能である。

このフォトダイオードセルの配置は、再構成速度を重視して分散レイアウト方式とした [20]。また配線を行う際、メタルの 1 層目と 2 層目のみを用い、配線を行っている。一番上層であるメタル 3 層目は光をシールドする目的のみに使用している。

以上のようにレイアウトを行ったあとに、使用したプロセスに従った設計規則に基づいてデザインルールチェックを行い、設計違反がないことを確認した。

3.6 HSPICE によるシミュレーション

前節で示したレイアウトが正しく行われているかどうか検証するために、レイアウトから回路情報を抽出し、HSPICE(Synopsys 社)シミュレーションを行った。なお、フォトダイオードはコンデンサと電流源の等価回路モデルとし、光照射は電流を流すことで実現した。

組合せ回路の 1 つとして 2bit 加算器、順序回路の 1 つとして 4bit アップカウンタの実装シミュレーションを行った。その波形を図 3.14 と図 3.15 にそれぞれ示す。

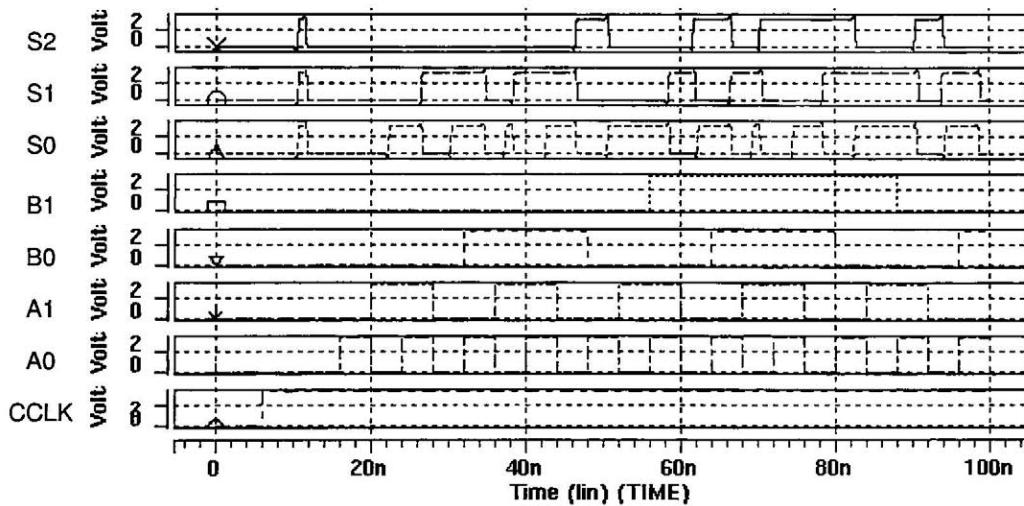


図 3.14 2bit 加算器の SPICE シミュレーション結果

結果より、正常に動作したことを確認した。2bit 加算器の最大遅延時間は $6.9[\text{nsec}]$ 、4bit アップカウンタの最大遅延時間は $5.1[\text{nsec}]$ であった。

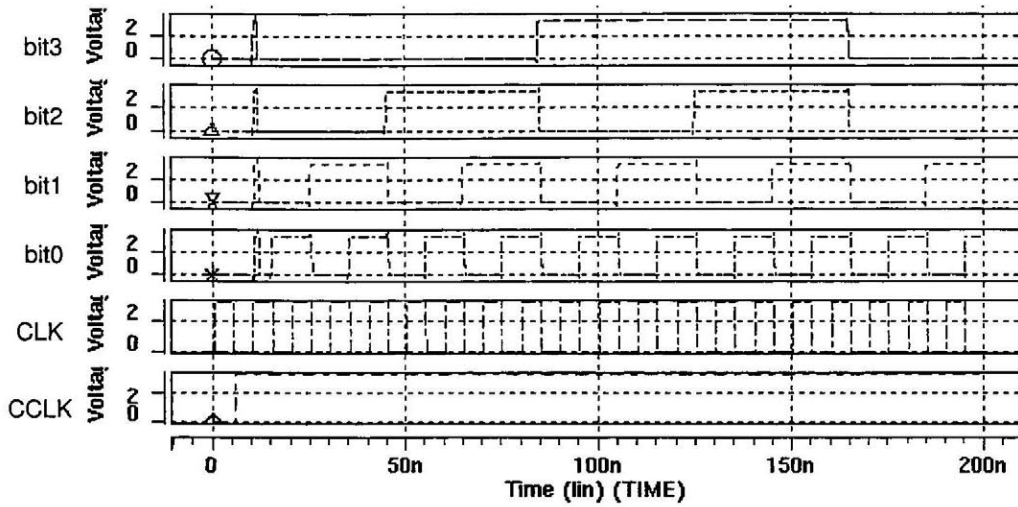


図 3.15 4bit アップカウンタの SPICE シミュレーション結果

3.7 VLSI の試作・実装評価

VLSI の試作には $0.35[\mu\text{m}]$, 3-Metal CMOS プロセスを用いた. チップサイズは $4.9 \times 4.9[\text{mm}]$ である. 試作した VLSI では, 3.5 節で述べたように, 光学位置合わせを容易にする目的で, 各フォトダイオードの間隔を $90[\mu\text{m}]$, 受光部の大きさを $25.5[\mu\text{m}]$ 角としている. また前述のように, フォトダイオードは論理ブロックで 160 個, I/O ブロックで 108 個, スイッチングマトリクスで 72 個, 全体で 340 個実装している. なお, チップの面積に対して, 受光部の占める割合は 1.8% となった. また, テスト回路を含めたフォトダイオードセルの占める割合は 3.6%, フォトダイオードセルを含む差分再構成回路の占める割合は 5.3% となった.

試作した VLSI の主な仕様と実装評価を表 3.1 に, チップ写真を図 3.16 にそれぞれ示す.

表 3.1 VLSI の仕様

Technology	0.35[μm] double-poly triple-metal CMOS process
Chip Size	4.9 × 4.9 [mm^2]
Photodiode Size	25.5 × 25.5 [μm^2]
Number of Photodiodes	340
Implementation Area of Photodiodes	221,085[μm^2] 1.8%
Implementation Area of Photodiode Cells	448,800[μm^2] 3.6%
Implementation Area of Reconfiguration Circuits	659,175[μm^2] 5.3%

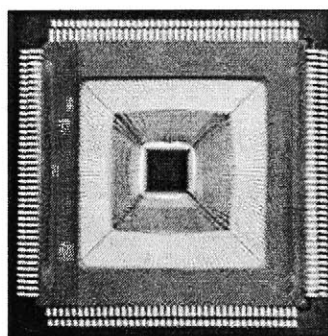


図 3.16 VLSI のチップ写真

第 4 章

光バス制御のための照射環境開発

本章では, ODRGA-VLSI に照射するために開発した照射環境について示す. その結果 ODRGA の光学部と VLSI 部の位置合わせに必要な, ミクロンオーダーの光バス制御を可能とした. また, 開発した照射環境を用いて, VLSI に照射を行い, VLSI 部の実装検証を行った結果について示す. この環境により, 微小な再構成パターンが VLSI に照射・実装可能となり, 5 章で述べる高速再構成, 6 章で述べるホログラムや VCSEL による再構成を実現している.

4.1 照射光学系

ODRGA-VLSI 部の動作検証ならびに評価を行うために照射光学系を設計した. その光学系を図 4.1 に示す.

まず, レーザー光はコリメータによってビーム径が広げられ, このビームをレンズに通すことによって平行光が作られる. その後, 平行光は液晶 (LC:Liquid Crystal) と偏光板を通過することで, 出射ビームに任意の強度分布を与える. この出射ビームは 4 つのレンズを通して段階的に 1/10 のサイズに縮小され, VLSI に照射される. まず, 焦点距離 250[mm]・50[mm] のレンズで 1/5 に, さらに 200[mm]・100[mm] のレンズで 1/2 にすることで, 全体として液晶の 1/10 のサイズで VLSI に照射をした.

偏光ビームスプリッタは偏光方向によって光を反射・透過するもので, 今回構築した光学系ではミラーの役割りを担っている. 偏光板を通過する照射パターンは偏光ビームスプリッタで反射する偏光方向の光である.

また, 光路の途中にピンホールによるローパスフィルタを設けている. この結果, 液晶の格子等による高周波領域のノイズを低減している.

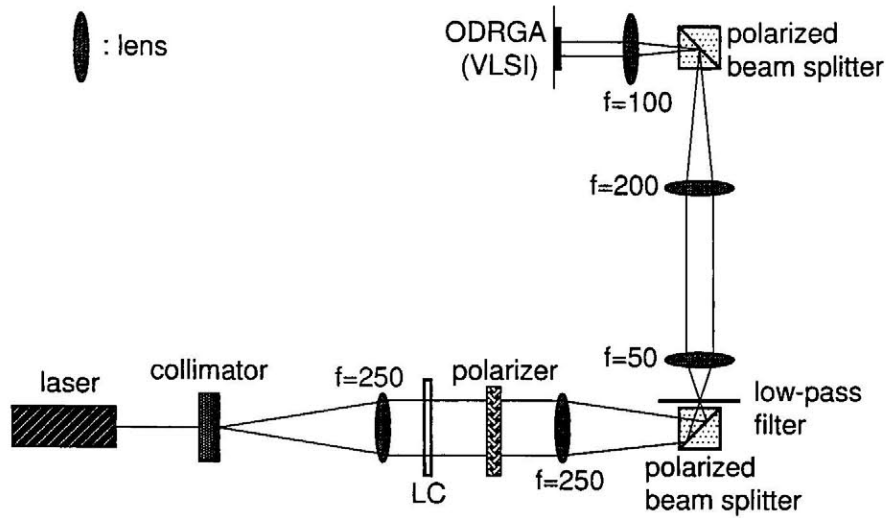


図 4.1 照射光学系

このように照射パターンを縮小した光学系を構築した理由は、フォトダイオードのサイズが $25.5 \times 25.5 [\mu\text{m}]$ に対して、液晶の1画素のサイズが $45 \times 34 [\mu\text{m}]$ であり、液晶のサイズがフォトダイオードに比べて大きいためである。また、縮小光学系を作ることにより精度の高い照射を行うことができる。照射パターンを縮小しない場合、液晶の1画素の大きさがそのまま照射パターンの大きさの分解能となるが、 $1/10$ に縮小することで複数の画素による表現が可能となり、画素サイズ、縦横の位置等、補正の操作性が増す。その結果、ミクロンオーダーでの光バス制御が可能となる。

図 4.1 の設計に基づいて構築した光学実験環境を図 4.2 に示す。

使用したレーザーは He-Ne レーザーで、波長は約 $633 [\text{nm}]$ 、光強度は $20 [\text{mW}]$ のものを使用した。

4.2 照射位置合わせ支援環境

4.2.1 液晶による照射パターン制御

VLSI に照射を行う前に、構築した光学系で確実に照射できるかどうか確認を行うため、液晶に表示したパターンを CCD カメラで撮影した。その概略図を図 4.3 に示す。

液晶への画像表示は、PC 上に実装した画像ボードを介して行う。したがって、PC 上で画像ボードへのデータ転送プログラムを実行することで液晶にパターンを表示することがで

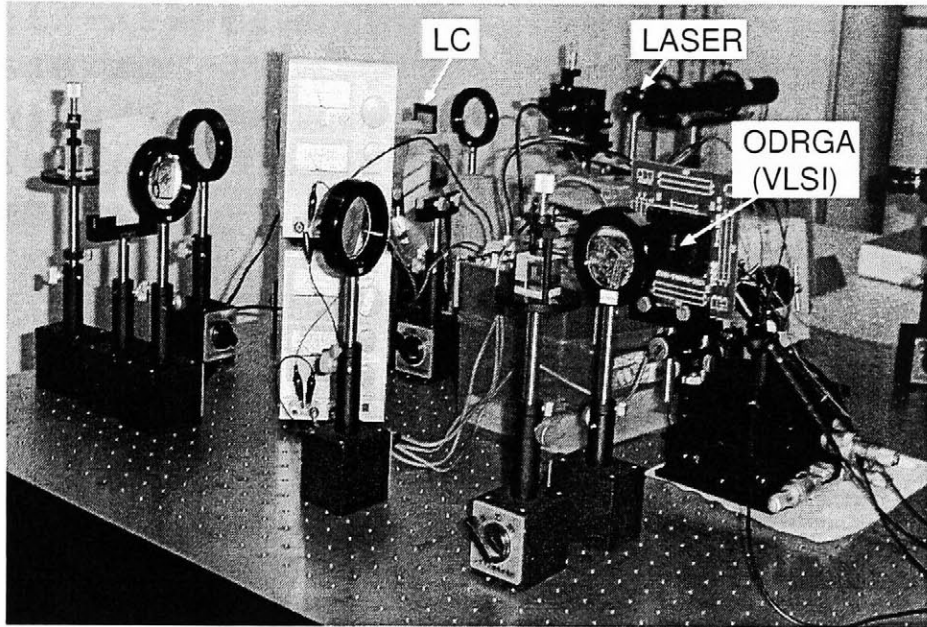


図 4.2 光学実験環境

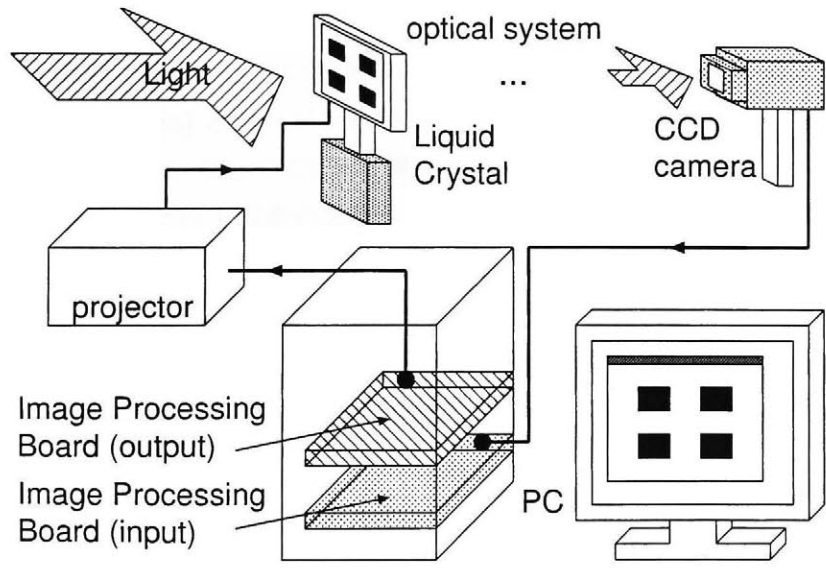


図 4.3 液晶表示および CCD 撮影環境

きる。一方, CCD で撮影した画像は別の画像ボードに転送する。画像ボード上のメモリに格納されるデータを適時取り込むことで PC 上に連続表示される。

これら 2 枚の画像ボードには CT-3001(サイバーテック社) を用いた。また画像ボードの制御を行うプログラムの開発には Visual C++(Microsoft 社) を用いた。

図 4.3 に示した環境の下, CCD カメラを用いて照射パターンを撮影した。撮影したパターンを図 4.4 に示す。

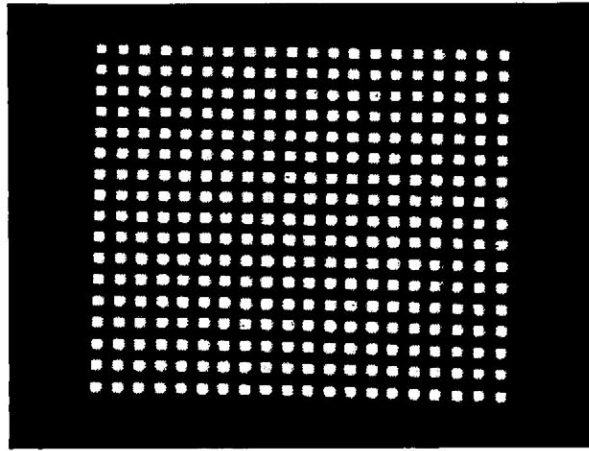


図 4.4 CCD で撮影した照射パターン

図 4.4 は全 340 個の照射パターンであるが, 受光部 $25.5 \times 25.5 [\mu\text{m}]$ に対して各フォトダイオードの間隔が $90 [\mu\text{m}]$ とマージンを持たせているため, 各照射パターンが約 $40 [\mu\text{m}]$ 角となるように作成した。そして CCD で撮影したパターンから各照射パターンの大きさを測定した。CCD カメラの 1 画素の大きさは $7.4 \times 7.4 [\mu\text{m}]$ であり, 画像ボードには CCD カメラで撮影した 1 画素ずつの情報が蓄えられる。したがって, 例えば 5×5 画素の大きさの画像が表示された場合, 実際のパターンの大きさは $37 \times 37 [\mu\text{m}]$ となる。

表示されたパターンの大きさを測定したところ, 約 $40 \sim 50 [\mu\text{m}]$ の範囲の大きさのパターンであり, 各フォトダイオードの間隔の制約を満たしていることが確認できた。

4.2.2 光バス検出のためのソフト/ハード

生成した照射パターンを VLSI に照射するためには, 光学系と VLSI の位置合わせが必要となる。そこで, フォトダイオードに光が当たっているかどうか検出するためのソフトウェア/ハードウェア開発を行った。これにより, 3.3.2 節で述べたテスト回路を利用し, 全

フォトダイオードの値を検出できる。

ODRGA の制御信号生成には FPGA を利用し、USB I/F を介して PC で自動的に全フォトダイオードの値を読み込むための環境開発を行った。図 4.5 にその概略を示す。

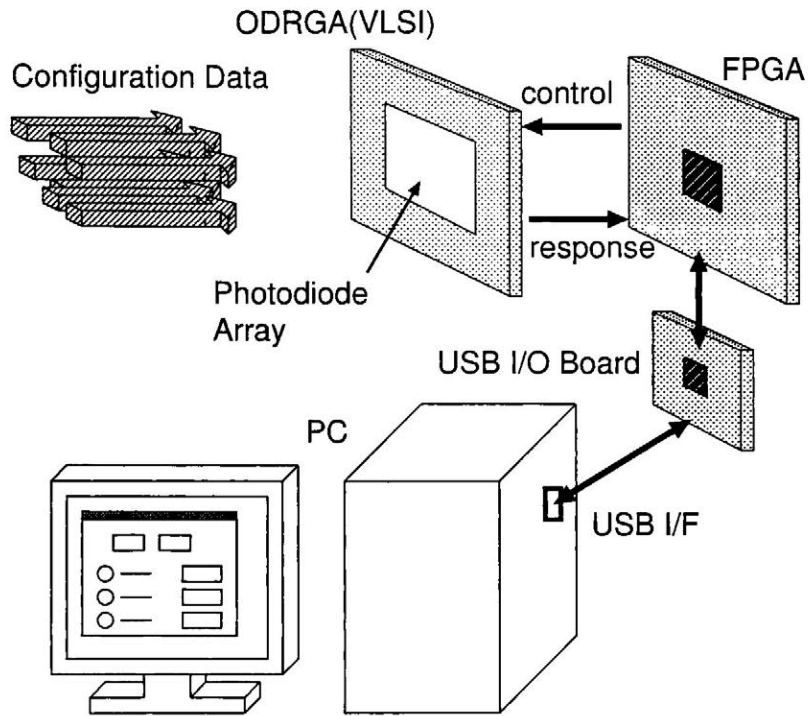


図 4.5 USB I/F を用いた光バス自動検出の概要

■位置合わせ

VLSI の位置を調整するには図 4.6 に示すように、XYZ 軸の 3 方向に加えて、XYZ 軸を軸とした 3 回転方向の位置を調整する必要がある。

位置調整には以下の 2 つの方法を組み合わせる。

- ステージによる調整
- 液晶による調整

XYZ 軸の位置調整は、あらかじめステージを使用し、概ねの位置を合わせる。さらに微調整を行う場合には、液晶に表示させるパターンの位置調整を行う。これにより、PC 側からの制御でミクロンオーダーの位置調整を行うことができる。位置調整の際には、フォトダ

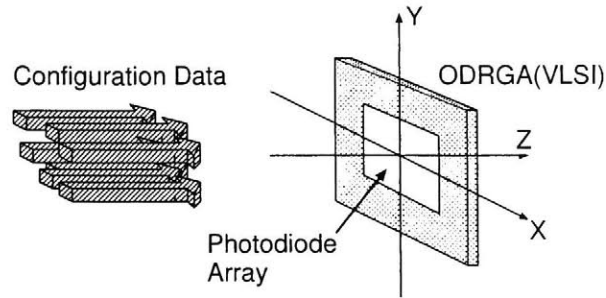


図 4.6 光学系と VLSI の位置合わせ

イオードの出力の反応時間を観測し、一番速く反応する場所を探し出すことによって位置調整を行った。

■FPGA での制御信号生成

ODRGA の制御信号生成には FPGA を用いた。基板に設けたスイッチによって、リフレッシュ信号 (REFRESH) と再構成クロック (CCLK) の間隔, すなわち再構成時間を設定できる。また, 後述する USB I/O ボードから与えられる信号によって, ODRGA のテスト回路を介して, 指定したフォトダイオードのアドレッシングを行い, そのフォトダイオードの反応時間情報を USB I/O ボードに返す。

■USB I/F 開発

Prime Systems 社の USB1.1-I/O ボードを用いて, 開発を行った。開発したソフトウェアの GUI を図 4.7 に示す。

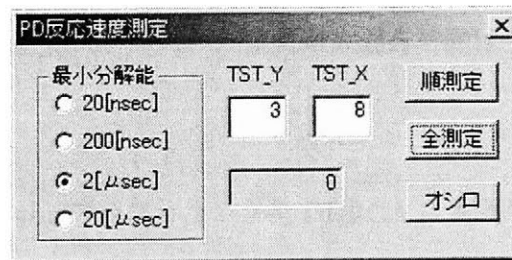


図 4.7 USB I/F を用いた光バス検出ソフト

“全測定” ボタンを押すことで, 全てのフォトダイオードの反応時間を測定する。また個

別にフォトダイオードの反応時間を測定する場合は、“順測定” ボタンを押すことで可能である。最小分解能は 20[nsec]~20[μsec] の 4 段階で設定でき、最大 1.3[sec] まで反応時間を観測できる。ソフトウェアの指示により送られた信号は、一度レジスタに保存され、その情報をもとに、FPGA と通信を行う。そして FPGA から所望のフォトダイオードの反応時間情報を受け取る。受け取った信号はレジスタに保存され、ソフトウェアの指示に従って、随時読み取りを行う。

これにより、各フォトダイオードの反応時間を観測することで光バスの位置制御を可能にした。

4.3 回路実装

ODRGA-VLSI に、前節までに述べた環境を用いて実際に光を照射して回路実装を行った。その結果について示す。

4.3.1 実装評価

■ 組合せ回路の実装評価

組合せ回路の一例として、2bit 加算器を ODRGA に実装した。その結果を図 4.8 に示す。実装した 2bit 加算器の仕様は、 $S=A+B$ とし、 S は 3bit(S_2, S_1, S_0)、 A は 2bit(A_1, A_0)、 B は 2bit(B_1, B_0) としている。図 4.8 は、上から順に入力 B_1, B_0, A_1, A_0 出力 S_2, S_1, S_0, C_1 を示す。 C_1 は A_0+B_0 の桁上げの数である。入力 $2^4 = 16$ 全パターンで仕様通り動作していることを確認した。ところどころにスパイクが発生しているが、これは入力が 2 つ以上同時に変化したときに一時的に発生しているもので、問題はない。したがって、正しい照射を行うことができ、かつ正常に回路が動作したことを確認できた。

このときの照射 bit 数は 65bit であった。また最大遅延時間は 15.8[nsec]、最大周波数は約 63[MHz] であった。

■ 順序回路の実装評価

順序回路の一例として 4bit アップカウンタを ODRGA に実装した。その結果を図 4.9 に示す。

図 4.9 は、一番下の信号 CCLK は再構成クロック、下から 2 番目の信号 CLK は論理ブロック内のフリップフロップを駆動するクロック、4 つの信号 bit3~bit0 を示す。bit3 が上位、bit0 が下位 bit であり、1 ずつカウントアップしていることが確認できる。したがって正しい照射および回路動作したことを確認できた。

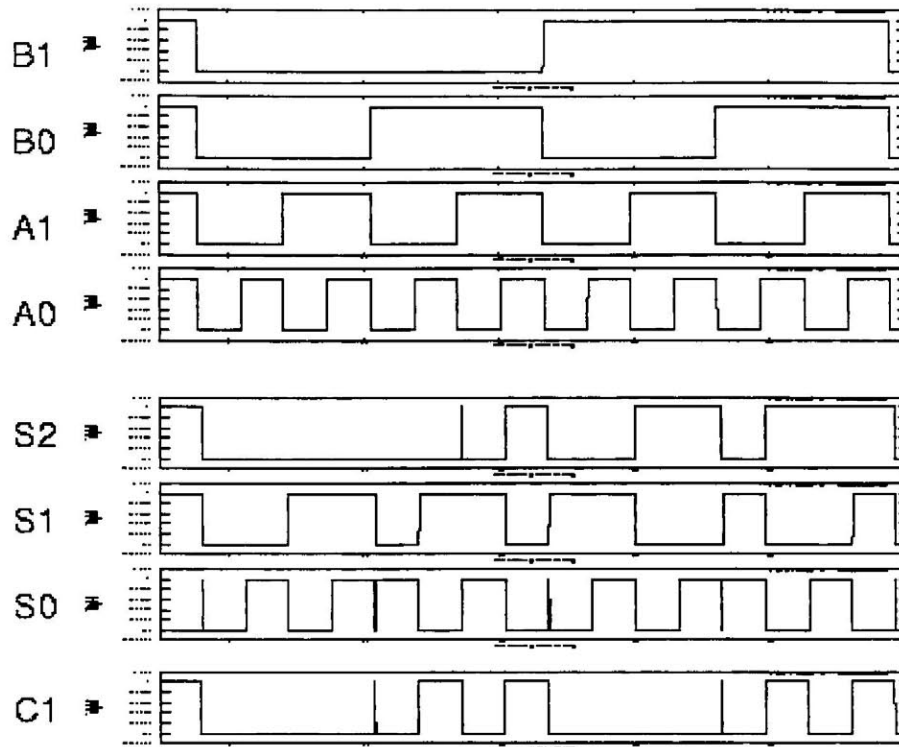


図 4.8 2bit 加算器の実装結果

このときの照射 bit 数は 56bit であった。また最大遅延時間は 10.6[nsec], 最大周波数は約 94[MHz] であった。

4.3.2 差分再構成検証

ODRGA の差分型アーキテクチャの動作を検証するために、液晶のパターンを切り替えた連続再構成を行った。

■ 組合せ回路

まず、組合せ回路の連続再構成動作を確認するために簡単な回路として、2bit AND 回路を実装している状態から 2bit OR 回路になるような照射パターンを与え、回路を再構成した。その結果を図 4.10 に示す。

CCLK が立ち上がる前には、入力 (Input1, Input2) の AND をとった結果が出力 (Output) に出ており、CCLK が立ち上がった後には入力の OR をとった結果が出力として現れてい

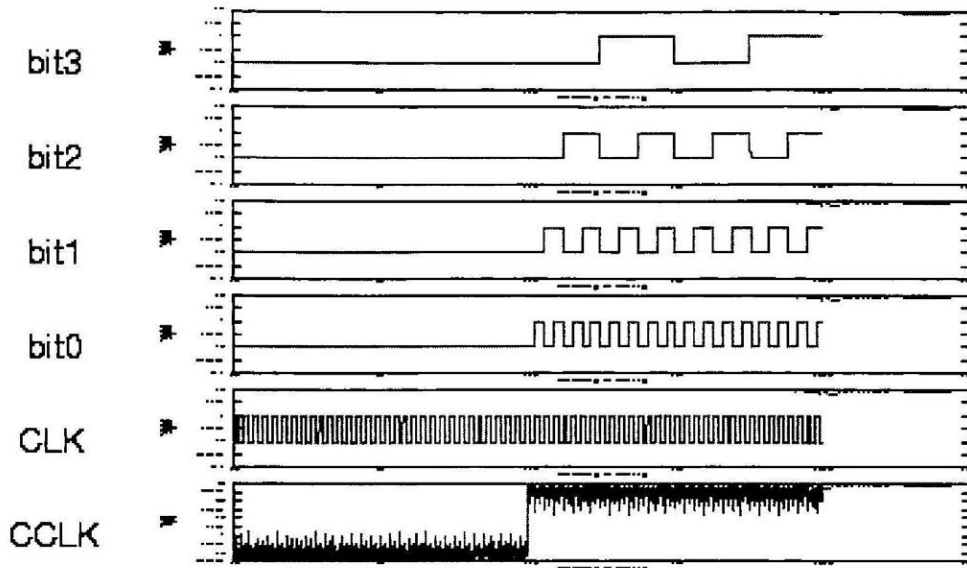


図 4.9 4bit アップカウンタの実装結果

ることが分かる。差分型アーキテクチャを利用して、組合せ回路において連続再構成が可能であることを示した。

このとき、差分型アーキテクチャを用いない場合に必要な照射 bit 数は 12bit になるが、差分型アーキテクチャを用いることで、論理ブロックの LUT の部分のみの照射に削減することができ、結果的に 2bit の照射ですんでいる。

■順序回路

論理ブロック内のフリップフロップに値を保持したままでの連続的な再構成について確認した。具体的には、4bit アップカウンタを実装している状態から 4bit ダウンカウンタに再構成する試験を行った。この結果を図 4.11 に示す。

カウンタの仕様は 4.3.1 節で示したものと同様である。CCLK が立ち上がる時点まではカウントアップしており、CCLK が立ち上がった後はカウントダウンしている。そして、CCLK が立ち上がった瞬間のフリップフロップの値を引き継いで、そこからダウンカウントしていることが確認できた。このことからフリップフロップに値を保持した状態での連続再構成が可能であることを示した。

このとき、差分型アーキテクチャを用いない場合に必要な照射 bit 数は 56bit になるが、差分型アーキテクチャを用いることで 9bit の照射ですんでいる。

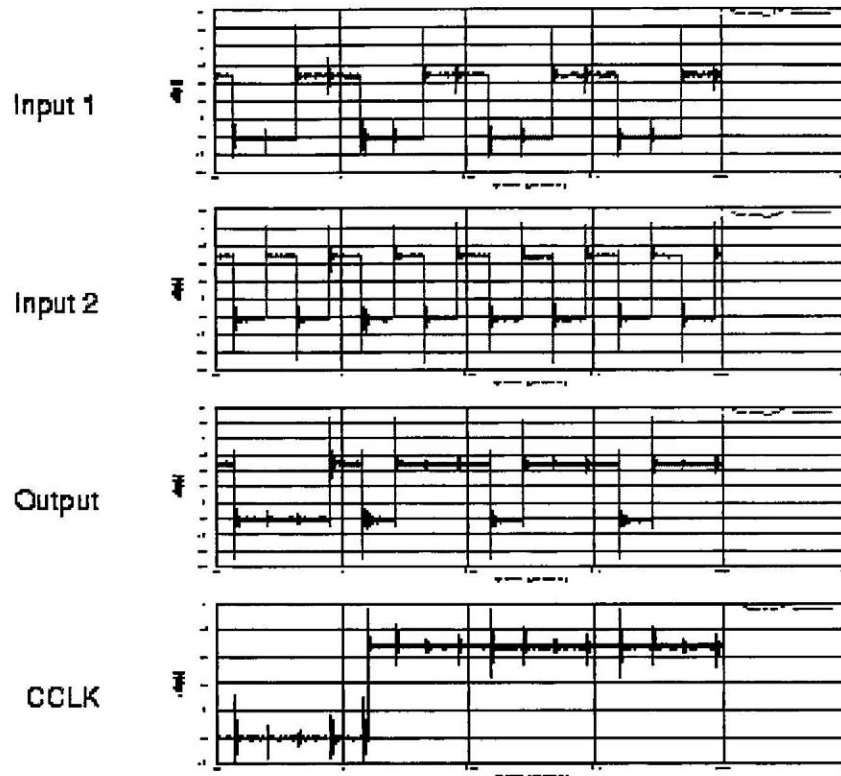


図 4.10 組合せ回路の連続再構成

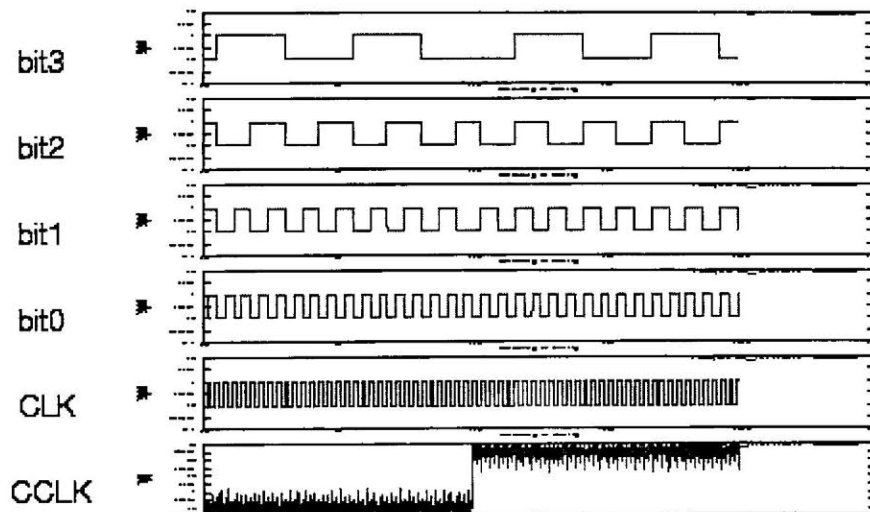


図 4.11 順序回路の連続再構成

4.4 レーザー・スイッチングによる連続再構成

前節では液晶を1枚用いて、回路を再構成する際に液晶に表示するパターンを時分割で切り替えて光照射を行った。しかし本節からは、照射光学系を複数用意し、液晶の低速な切り替えでなく、レーザーを利用した高速な切り替えが可能な光学系を設計する。

まずは試験的に、レーザー光をハーフミラーで複数に分け、擬似的に光源を分離して液晶複数枚に照射する光学系を構築し、VLSIに照射を行った。

4.4.1 液晶2枚を用いた連続再構成

■照射光学系

液晶2枚を用いてVLSIに照射するための光学系を設計・構築した。その照射光学系を図4.12に示す。

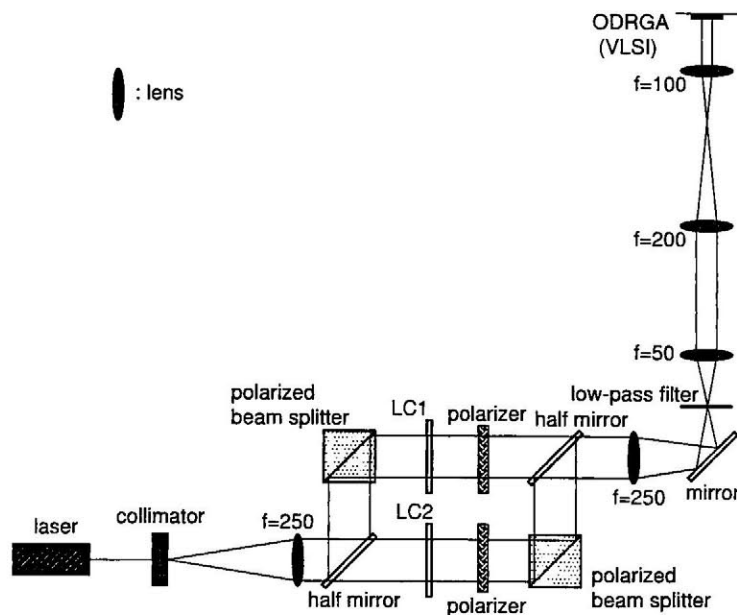


図 4.12 液晶を2枚用いる照射光学系

コリメータと後段のレンズによって平行にされた光はハーフミラーによって2系統に分光される。そして各々の光は液晶・偏光板を通り、再びハーフミラーで結合される。その後段の縮小光学系は図4.1と同様である。

照射の方法は、2つの液晶にそれぞれ別のパターンを表示させ、レーザーのスイッチを模擬して、LC2の光を遮断した状態でLC1のパターンのみを照射し、次にLC1の光を遮断してLC2のみのパターンを照射することにより、照射パターンのスイッチングを実現した。

■ 組合せ回路の連続再構成

LC1に2bit加算器を実装する照射パターンを表示させ、LC2には2bit加算器から2bit乗算器に再構成する照射パターンを表示させて照射を行った。その結果を図4.13に示す。

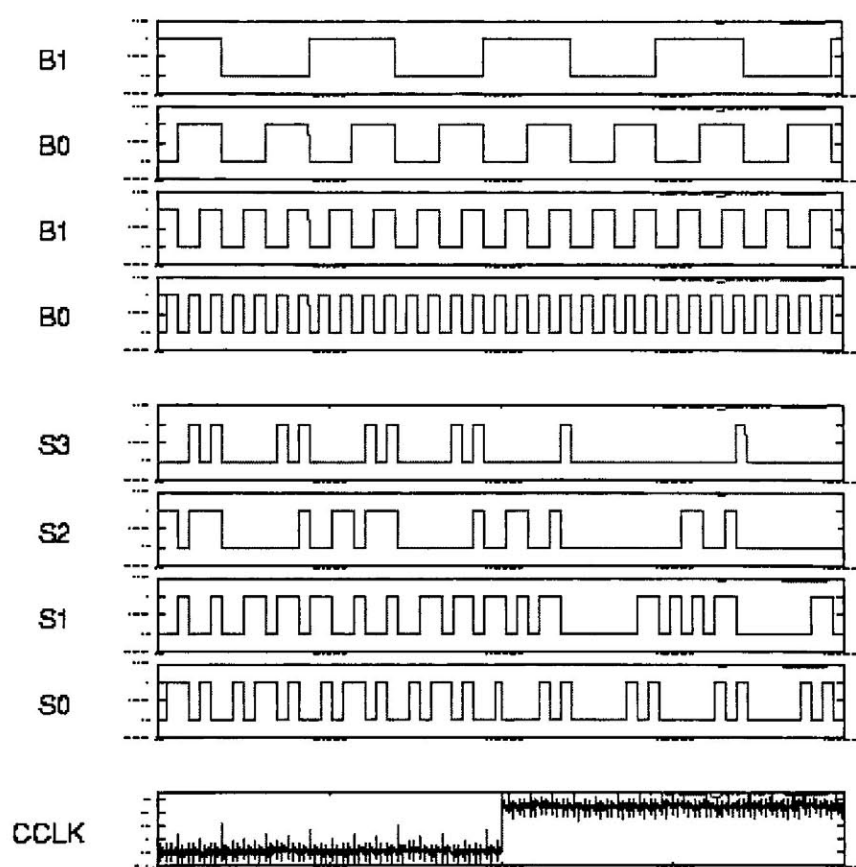


図 4.13 液晶を2枚用いた組合せ回路の連続再構成

CCLKの立ち上がる前は、すでにLC1に表示したパターンを照射しており、2bit加算器が動作している。この2bit加算器の仕様は4.3.1節で示した加算器とほぼ同様である。ただし、 A_0+B_0 の桁上りをS3として表示している。その後LC2のパターンを照射し、CCLKを立ち上げて2bit乗算器を実装した。実装した2bit乗算器の仕様は、 $S=A \times B$ で、入力A,B

各 2bit は加算器と同様で、出力 S は 2 進数 (S3, S2, S1, S0) として表現している。図 4.13 より、まず LC1 側の照射パターンで 2bit 加算器が実装できたことを確認できた。そして LC2 側の照射パターンで 2bit 加算器から 2bit 乗算器に再構成できたことを確認できた。

■順序回路の連続再構成

LC1 に 4bit アップカウンタを実装する照射パターンを表示させ、LC2 には 4bit アップカウンタから 4bit ダウンカウンタに再構成する照射パターンを表示させて照射を行った。その結果を図 4.14 に示す。

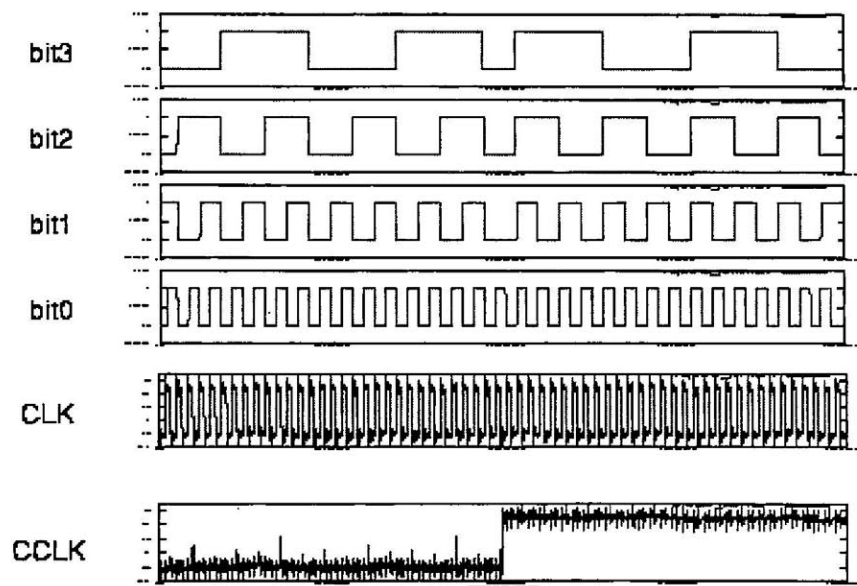


図 4.14 液晶を 2 枚用いた順序回路の連続再構成

実装したカウンタの仕様は 4.3.2 節で示したものと同様である。CCLK が立ち上がる前にすでに LC1 に表示したパターンを照射しており、4bit アップカウンタが動作している。その後 LC2 のパターンを照射して CCLK が立ち上がった後に 4bit ダウンカウンタとして動作していることを確認した。

4.4.2 液晶 3 枚を用いた連続再構成

前節では、液晶を静的光メモリとし、レーザースイッチングによって再構成可能であることを示した。さらに、光メモリを今後多重化して再構成可能かどうか検証するために、液晶 3 枚に照射する光学系を構築し、VLSI に照射を行った。

■照射光学系

液晶3枚を用いてVLSIに照射するための光学系を設計・構築した。その照射光学系を図4.15に示す。

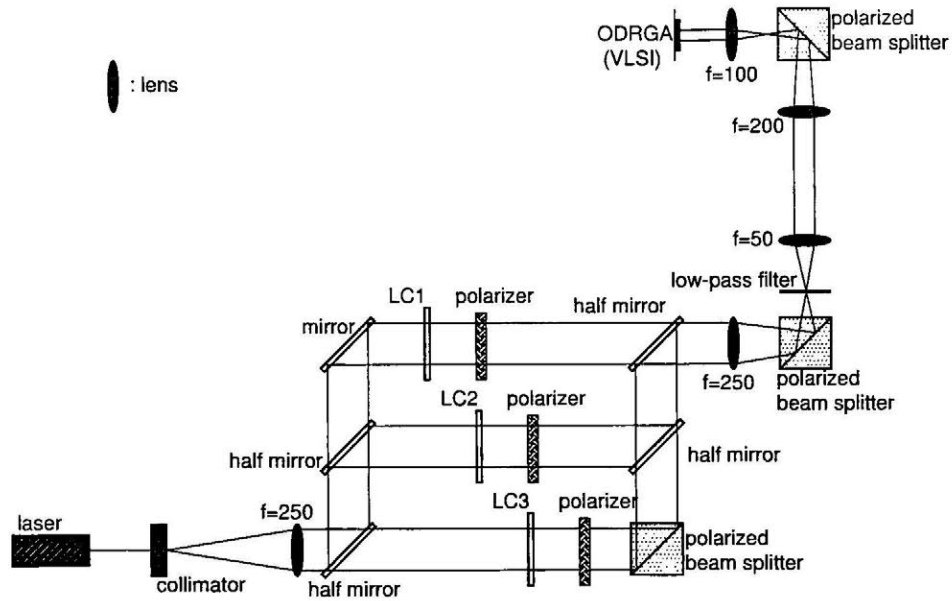


図 4.15 液晶を3枚用いる照射光学系

コリメータと後段のレンズによって平行にされた光はハーフミラーによって3系統に分光される。その後段の光学系は図4.12と同様にハーフミラーで光を結合して照射する。

照射の方法は、3つの液晶にそれぞれ別のパターンを表示させ、レーザーのスイッチを模擬して、いずれか1つの液晶の光のみを通過させて照射する、というもので、これによって照射パターンのスイッチングを実現した。

■連続再構成

LC1に2bit加算器を実装する照射パターンを、LC2に2bit加算器から4bitアップカウンタに再構成する照射パターンを、LC3に4bitアップカウンタから4bitダウンカウンタに再構成する照射パターンをそれぞれ表示させて照射を行った。

まず、2bit加算器を実装した状態から4bitアップカウンタに再構成した結果を図4.16左に示す。そして、4bitアップカウンタから4bitダウンカウンタに再構成した結果を図4.16右に示す。

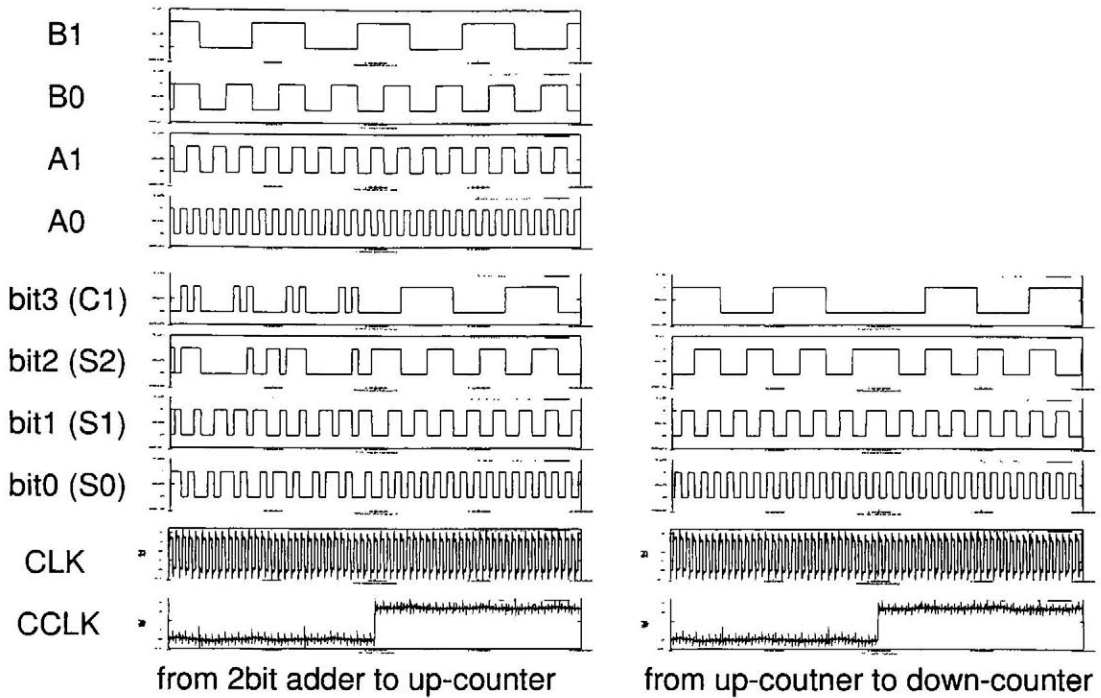


図 4.16 液晶を 3 枚用いた回路の連続再構成

実装した 2bit 加算器の仕様, およびカウンタの仕様はそれぞれ 4.3.1 節, 4.3.2 節で示したものと同様である。

CCLK が立ち上がる前にすでに LC1 に表示したパターンを照射し, 2bit 加算器が動作している。その後 LC2 のパターンを照射して CCLK が立ち上がった後に 4bit アップカウンタとして動作していることを確認した。ただし今回, 2bit 加算器を実装する際に, 加算結果を論理ブロック内のフリップフロップに蓄積し, その値を初期値として次に実装した 4bit アップカウンタを動作させている。これにより, 組合せ回路・順序回路を混在して再構成を行っても計算結果を次に再構成した回路で利用できることを示した。

そして図 4.16 右より, LC3 のパターンを照射して CCLK が立ち上がった後にアップカウンタからダウンカウンタに再構成できたことを確認した。

以上の結果から, レーザーによるスイッチングによって回路の連続再構成が可能であると言える。これは, 今後光メモリを多重化し, 実装するコンテキストが増加可能であることを示している。

第5章

高速再構成検証

動的再構成デバイスでは、高速再構成と大容量再構成パターンが重要な要素である。本章では、光源として赤外パルスレーザーダイオードを用い、ODRGA 全体の再構成速度の高速化限界検証を行った。

5.1 節では、VLSI 部全体の再構成時間の検証結果を示す。5.2 節では、レーザースイッチングによる連続再構成を行い、ODRGA の光学部・VLSI 部を統合したシステム全体の再構成速度について、照射試験を行った結果を示す。5.3 節では、これまで得られた実験結果を基に、今後 ODRGA の再構成時間の短縮限界に対する考察を行う。そして 5.4 節では、今後 65k ゲート規模の ODRGA を実現した場合の再構成時間について議論する。

5.1 VLSI 全体の高速再構成

5.1.1 光学系

図 5.1 に示す光学系を構築し、VLSI に照射を行った。レーザーには、赤外パルスレーザーダイオード(浜松フォトニクス社製 L7055-04)を用い、照射パターンは空間光変調素子の 1 つである液晶を用いて作成した。フォトダイオードのサイズが液晶の画素サイズより小さいため、レンズを用いて照射像を縮小して照射を行った。パルスレーザーの出力は約 1[W]、波長は 870[μm]である。

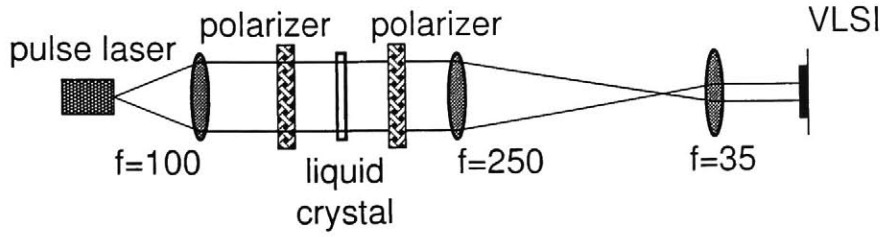


図 5.1 パルスレーザー照射光学系

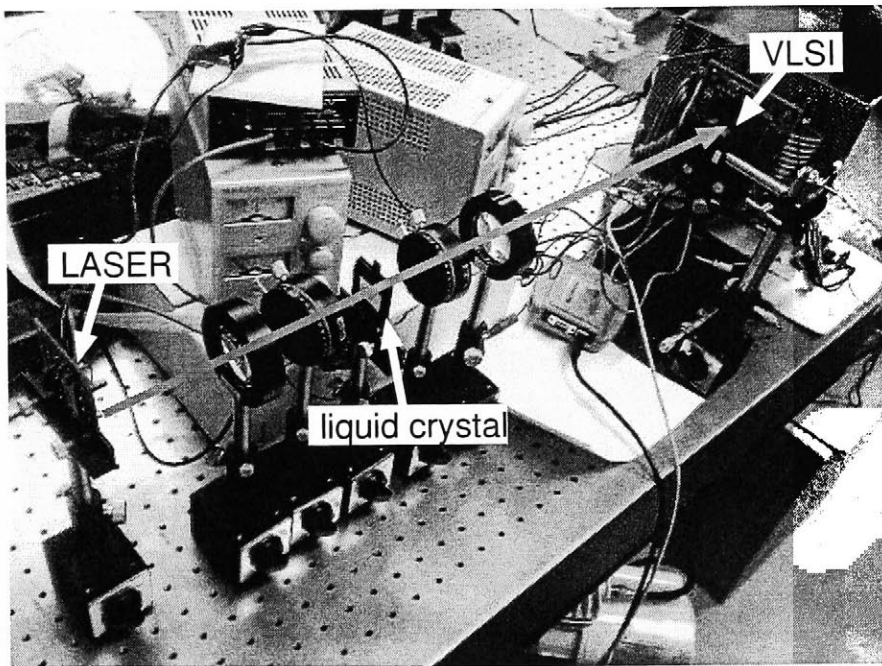


図 5.2 パルスレーザー照射光学系の写真

5.1.2 実装結果

■ 組合せ回路

組合せ回路の一例として、2bit 加算器を実装した。そのときの波形を図 5.3 に示す。実装した 2bit 加算器の仕様は、 $S=A+B$ とし、 S は 3bit(S_2, S_1, S_0)、 A は 2bit(A_1, A_0)、 B は 2bit(B_1, B_0) とした。信号 $CCLK$ は再構成クロック、 $REFRESH$ はフォトダイオードに電荷を蓄積するためのリフレッシュ信号である。

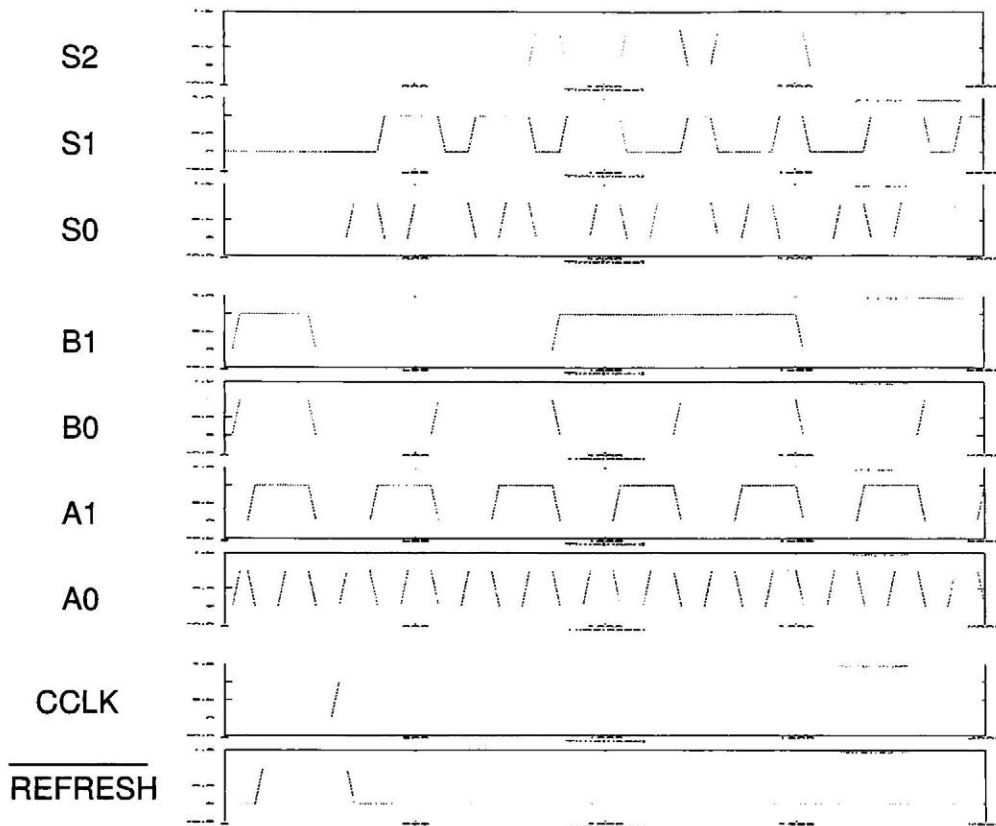


図 5.3 パルスレーザーを用いた 2bit 加算器の実装結果

照射 bit 数は 65bit, 再構成時間は 200[nsec] であった.

■順序回路

順序回路の一例として, 4bit アップカウンタを実装した. そのときの波形を図 5.4 に示す. 図 5.4 において, 信号 CLK は論理ブロック内のフリップフロップを駆動するクロック, bit3~bit0 は 4bit カウンタの出力信号を示す.

照射 bit 数は 56bit, 再構成時間は 200[nsec] であった.

■その他の回路実装

2bit 加算器, 4bit アップカウンタ以外にも, 様々な回路を実装した. その結果をまとめたものを 5.1 に示す.

いずれの回路においても, 再構成時間は 200[nsec] となった. 再構成を行い, VLSI 全体の再構成時間を μsec オーダー以下に短縮することができ, 再構成によるオーバーヘッド

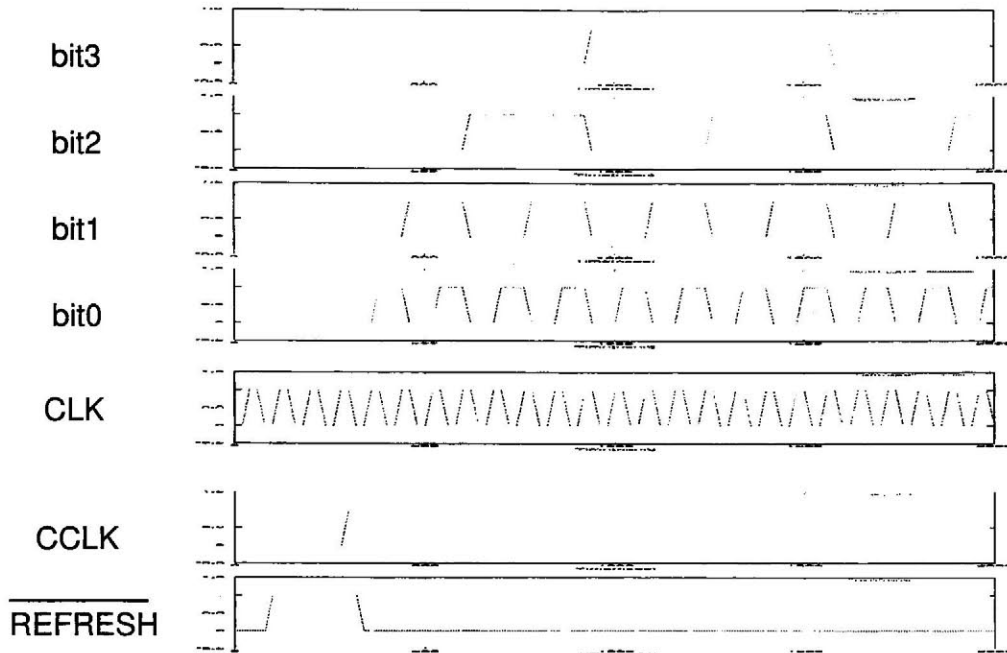


図 5.4 パルスレーザーを用いた 4bit アップカウンタの実装結果

表 5.1 パルスレーザー照射による回路実装結果

Circuit	Number of bits	Reconfiguration time[nsec]
2bit adder	65	200
2bit multiplier	69	200
4bit up-counter	56	200
4bit down-counter	56	200

を低減することができた。

5.2 連続再構成

5.2.1 光学系

ODRGA 全体のシステムが高速再構成可能か検証するために、パルスレーザーを用いて連続再構成を行った。その光学系を図 5.5 に、実際の実験環境を図 5.6 にそれぞれ示す。

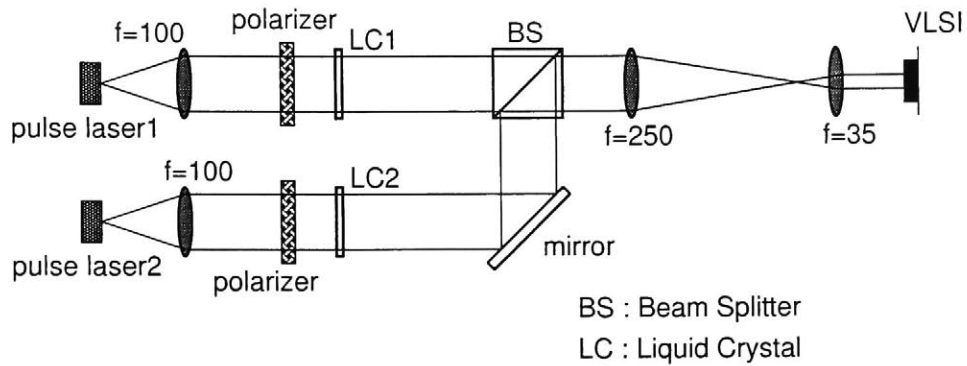


図 5.5 パルスレーザーの連続照射光学系

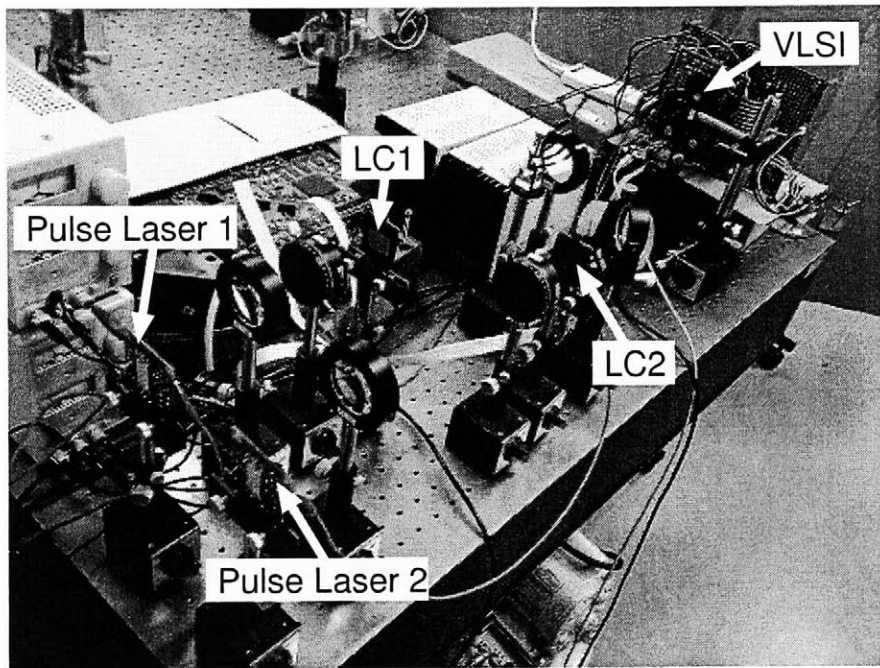


図 5.6 パルスレーザーの連続照射光学系の写真

2つの液晶に再構成パターンをそれぞれ表示し、レーザーをスイッチすることで連続再構成を行った。

5.2.2 実装結果

4bit アップカウンタから 4bit ダウンカウンタに再構成した結果を図 5.7 に示す。

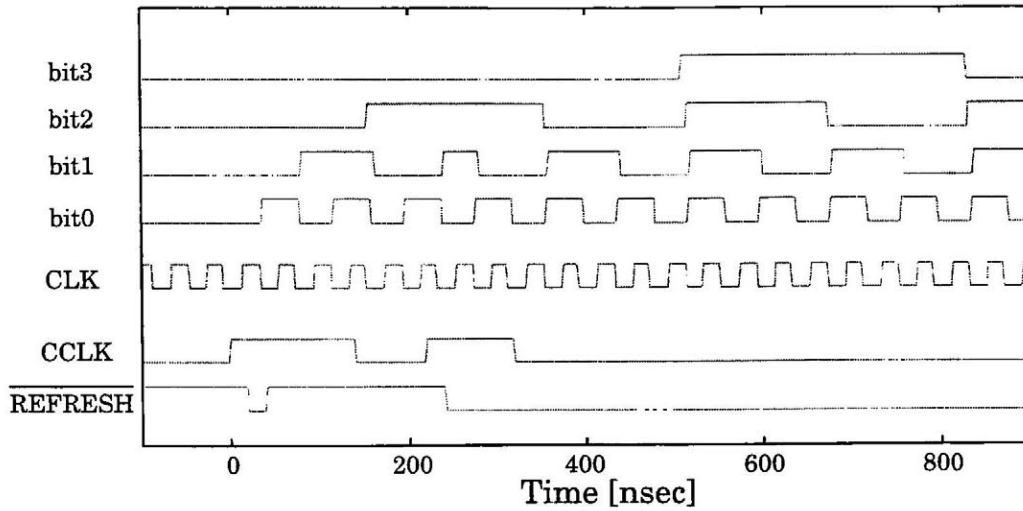


図 5.7 4bit アップカウンタから 4bit ダウンカウンタへの再構成

結果より、アップカウンタからダウンカウンタに再構成できていることを確認した。再構成時間は 220[nsec] であった。その他の回路を実装した結果も合わせて表 5.2 に示す。

表 5.2 パルスレーザーによる連続再構成結果

Configuration circuit	Time[nsec]	Bits
4bit up-counter to down-counter	220	9
2bit adder to multiplier	220	22
2bit adder to 4bit up-counter	220	61

いずれの回路においても再構成時間は 220[nsec] となった。この結果から、ODRGA システム全体でナノ秒オーダーでの再構成が可能であることを示した。

5.3 再構成速度限界

5.3.1 レーザー直接照射による測定

VLSI に実装したフォトダイオードがどの程度の速度まで反応時間を短縮できるか検証する。そこで、レーザーを直接 I/O ブロックの特定の 1bit に照射し、その反応時間を調べた。照射試験を行った光学系を図 5.8 に示す。

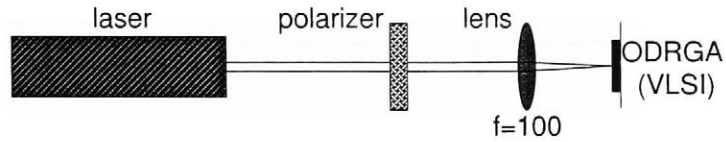


図 5.8 1bit のフォトダイオード反応測定環境

偏光板を間に挟むことによって照射する光量の調整を行っている。そしてレンズを用いて集光させることで、対象とするフォトダイオードに照射している。

照射対象とする部位は I/O ブロックの BUF_CNT の信号である。この BUF_CNT の信号を制御するフォトダイオードに光を照射することで、VLSI のピンの出力がハイインピーダンスから '0' に変化する。したがって、出力端子をプルアップしておくことで、出力が '1' から '0' に変化することが確認できる。

図 5.9 は照射結果であるが、出力 (output) が '1' から '0' に変化しており、フォトダイオードが反応していることを確認できる。REFRESH と CCLK の立ち上がりの差がフォトダイオードの反応時間となるので、図 5.10 には 2 つの信号を重ねてプロットしたものを示している。

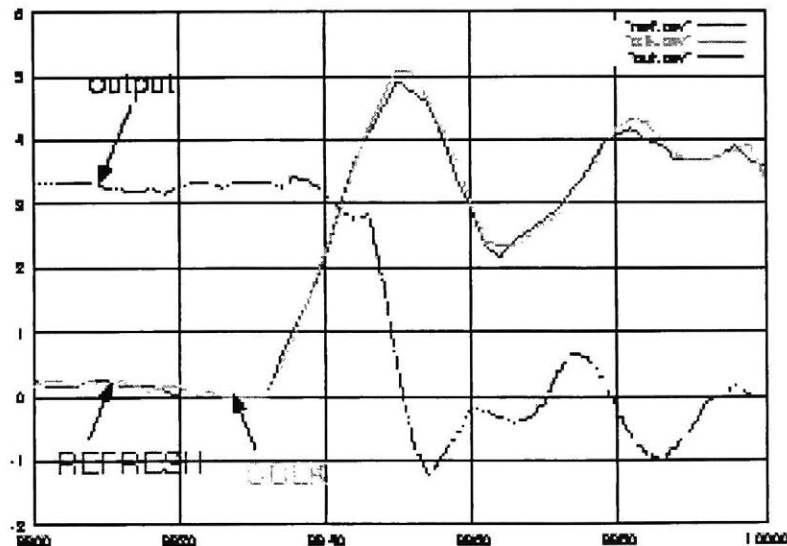


図 5.9 再構成速度

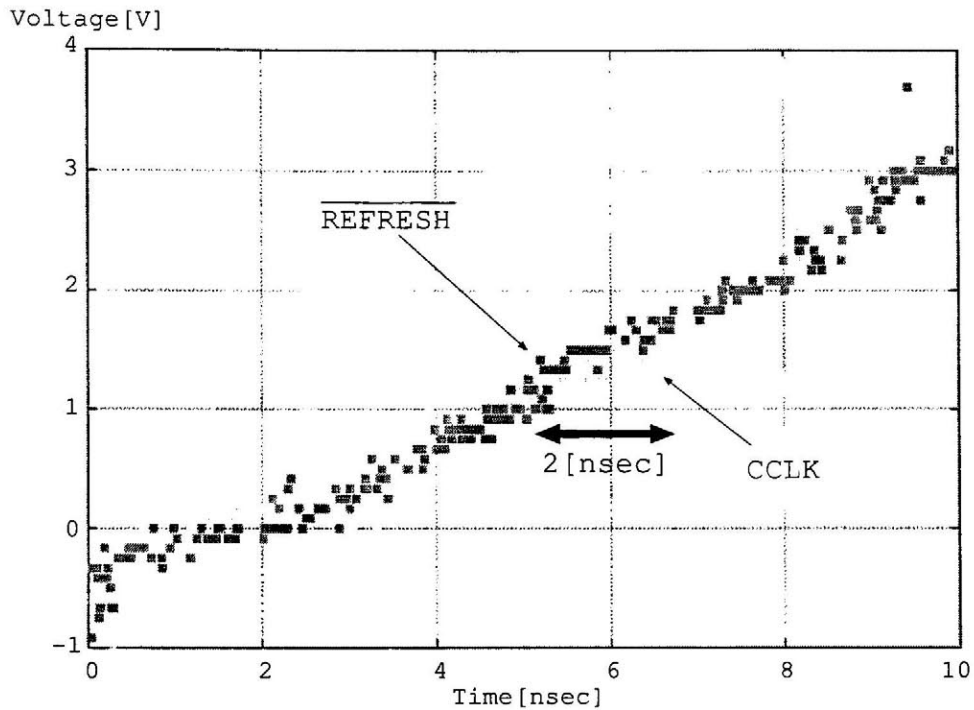


図 5.10 再構成速度 (拡大図)

図 5.10 からは REFRESH に比べて CCLK が約 $0.5\sim 1$ [nsec] 遅れて立ち上がっているように見える。しかし観測したオシロスコープに信号が到達する時間の差が約 $0.3\sim 0.5$ [nsec] であることを考慮すると、内輪に見積もって再構成速度は約 2 [nsec] 以下である。

再構成速度と光強度の関係

再構成速度はフォトダイオードを流れる光電流と比例関係がある。光電流と光強度は比例するため、再構成速度は光強度に比例すると考えられる。そこで実際に、図 5.8 に示す照射環境を用いて再構成速度と光強度を測定した。測定結果を図 5.11 に示す。横軸は再構成時間 [nsec]、縦軸は光強度 [μW] である。

図 5.11 より、再構成時間と光強度が比例関係にあるのは約 $10\sim 2000$ [nsec] の領域である。2000 [nsec] より遅い領域で飽和現象が見られるのは、チャージ用トランジスタとフォトダイオードの出力モニタ用に付加したトランスミッションゲートのリーク電流の影響を受けやすくなり、余分に光量が必要となってしまったためと考えられる。一方、10 [nsec] よりも速い領域では、当てるべきフォトダイオード以外の部分にレーザー光が当たっているために、比例関係が崩れていると考えられる。

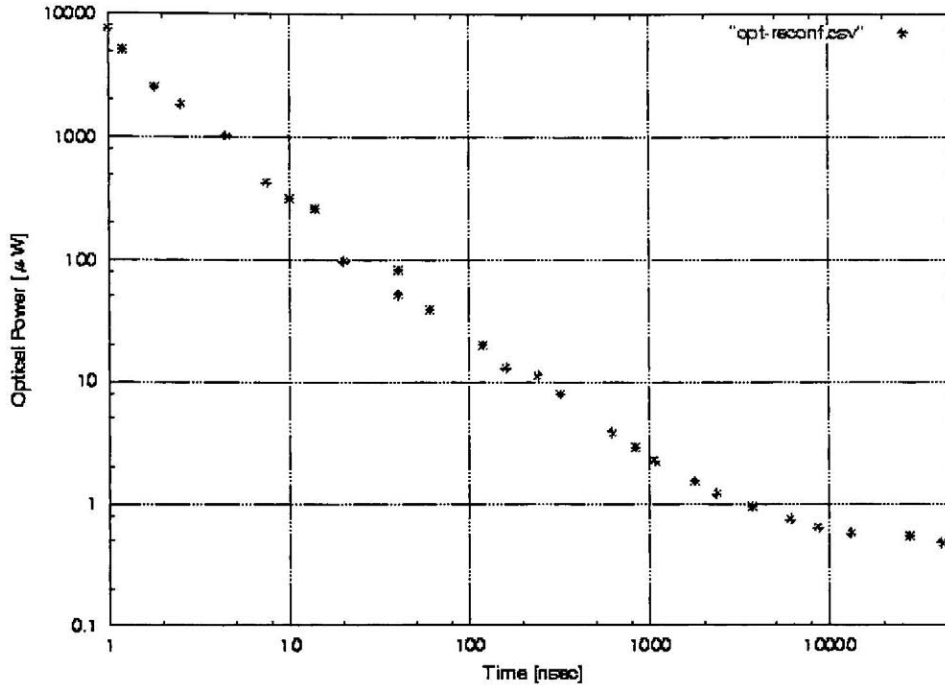


図 5.11 再構成速度と光強度の関係

したがって 10~2000[nsec] の範囲ではあるが、再構成速度と光強度が比例関係にあることを確認できた。これにより、所望の再構成速度を得たい場合に必要な光量を設定できる。

5.3.2 全体の再構成速度

ODRGA の再構成速度の限界を検証するために、これまで得られた実験結果をもとに考察を行った。

HSPICE で求めた再構成回路の動作周波数を定める要素を表 5.3 に示す。また再構成タイミングの詳細を図 5.12 に示す。5.3.1 節に示した結果より、フォトダイオードの照射に必要な時間 t_{laser} は 2[nsec] とする。

1 回目の再構成時間について考察する。まず、REFRESH 信号を t_{pulse} 時間アサートする。 t_{ref} 時間後にリフレッシュが完了し、その後 t_{laser} 時間光照射を行う。照射終了後に、後段のフリップフロップのセットアップ時間 t_{setup} 経過後、再構成クロック (CCLK) を立ち上

表 5.3 再構成における各タイミング

リフレッシュパルス幅	t_{pulse}	1.3[nsec]
リフレッシュ時間	t_{ref}	2.3[nsec]
T-FF のセットアップ時間	t_{setup}	0.17[nsec]
T-FF のホールド時間	t_{hold}	0.12[nsec]
再構成信号遅延	t_{delay}	0.77[nsec]

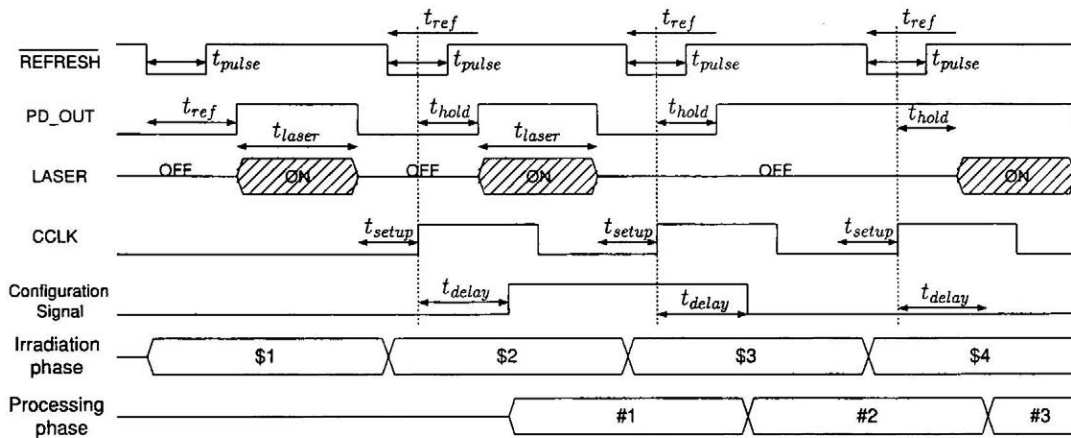


図 5.12 再構成タイミング

げる. t_{delay} 時間後に, 再構成情報は転送完了となる. したがって, 1 回目の再構成時間は, $t_{pulse} + t_{ref} + t_{laser} + t_{setup} + t_{delay}$ となるので, 6.54[nsec] となる.

2 回目以降の再構成時間について考察する. CCLK 立ち上げ後の次のリフレッシュのタイミングは, フリップフロップのホールド時間 t_{hold} の制約を満たす範囲で早めることが可能である. その結果, 2 回目以降の再構成フレーズにおいては, 再構成クロック周期は $t_{hold} + t_{laser} + t_{setup} = 2.29[\text{nsec}]$ となり, 再構成クロックの最大周波数は約 437[MHz] となる. これは既存の DRP や DAP/DNA 以上の再構成速度である.

一方, ゲートアレイ全体回路の最大遅延時間が約 7[nsec] 程度であることから (3.6 節参照), 1 クロックでの再構成を実現するには十分な再構成速度を確保できていると言える. したがって, 今後の光学系の改善により, ODRGA は 1 クロックの再構成を実現できる.

5.4 65k ゲート規模の ODRGA

将来的にフォトダイオードのサイズを $5[\mu\text{m}]$ 角まで縮小することで、 $13[\text{mm}]$ 角のチップに対して 65k ゲート規模のゲートアレイが実装可能である [20]. このときの論理ブロック数は約 4000 個, スイッチングマトリクス数は約 2000 個, フォトダイオードの総数は約 25 万個となる. 表 5.4 に 65k ゲート規模の ODRGA の仕様を示す. ほぼ, 同チップサイズの FPGA に相当するゲート規模が実装できる.

表 5.4 65k ゲート規模の ODRGA の仕様

Technology	$0.35[\mu\text{m}]$ CMOS
Chip Size	$13 \times 13[\text{mm}^2]$
Number of Logic Blocks	3850
Number of Switching Matrices	1950
Number of Photodiodes	246400
Size of Photodiodes	$5 \times 5[\mu\text{m}^2]$
Area of Photodiodes	$6.16[\text{mm}^2]$ (3.6%)
Implementation Area of Configuration Circuits	$79.34[\text{mm}^2]$ (47%)
Partitioning gate array area	2^6
Optical power	1[W]
Reconfiguration time	8.3[nsec]

差分光再構成手法を用いることで, 照射領域を 2^6 個に区切って照射を行った場合, 光出力 1[W] のレーザーを用いることで, 再構成時間を $8.3[\text{nsec}]$ にまで短縮できる. この再構成時間から, 1 クロックでのオーバーヘッドの無い動的再構成が可能であると言える. そして, このときの再構成情報の転送レートは約 $31.8[\text{Tbit/s}]$ にも達しており, これは既存の電子デバイスでは不可能な転送レートである.

第 6 章

実用化に向けた大容量化と小型化

6.1 ホログラムによる大容量化

ODRGA の再構成パターンの保存には光メモリを用いる。光メモリを用いることで、既存の再構成デバイスでは不可能であった、再構成速度の高速化と同時に再構成情報の大容量化を達成できる。大容量化に伴う利点は、

- 再構成パターン数の増加
- 再構成の粒度を細かくすることが可能

が挙げられる。再構成パターン数の増加によって、プログラマビリティが向上し、よりソフトウェアに近い演算の自由度を得られる。再構成の粒度が細かくなると、より複雑な回路を実装でき、1クロックでの演算実行率が向上する。

そこで光メモリとして、記録密度の高いホログラムを導入する。部分再構成を行うための照射領域分割には光学系の複雑化が伴うが、ホログラムでは、記録したパターンそのもので部分再構成が実現できるため、光学系は非常に簡素化される。したがって、差分型による照射領域分割のオーバーヘッドを低減することができる。

6.1.1 差分再構成とホログラムを組み合わせるメリット

ホログラムは差分再構成に最適である。これは次の理由による。すなわち、ODRGA はビット単位での再構成が可能であるが、ホログラムから得られる回折光によって、ビット単位で光エネルギーを集中することができるため、差分型の照射 bit 数削減の恩恵を直接的に享受できる。図 6.1 に、照射 bit 数と光量の関係を示す。

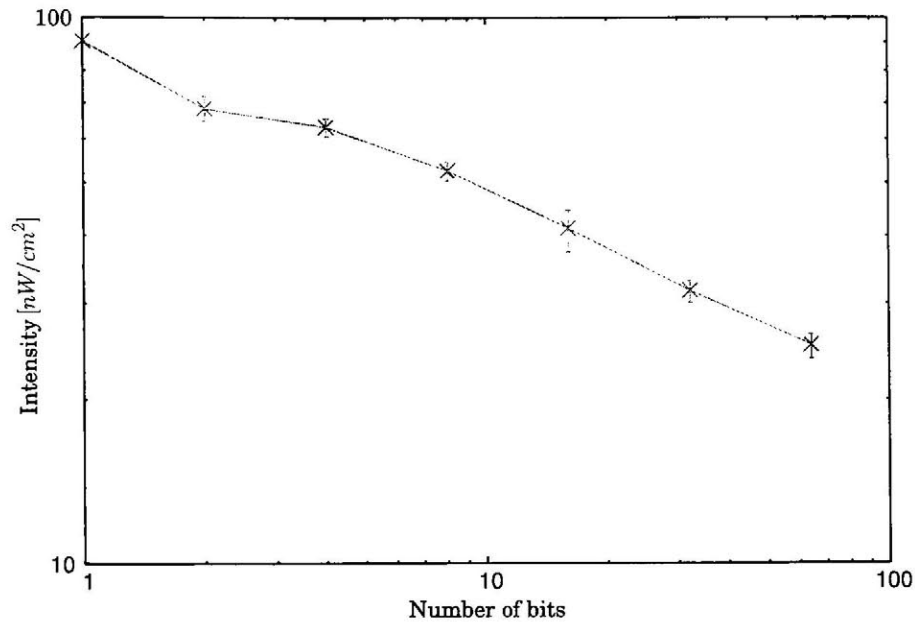


図 6.1 照射 bit 数と光量の関係

照射 bit 数が削減されるにつれて、光量が増加していることが確認できる。再構成速度は光量に比例するため (5.3.1 節参照)、差分再構成手法による照射 bit 削減により、再構成速度を高速化できる。

6.1.2 レンズを組み合わせた実装

実験の初期段階として、第4章にて述べた照射環境を基に、液晶を用いた照射パターン記録を行い、レンズを用いて照射パターンの縮小を行って回路実装を行った。

■記録光学系

液晶を用いてホログラムに記録を行った。その光学系を図 6.2 に示す。

記録用のレーザー光源には He-Ne レーザーを使用した。波長は約 633[nm]、出力は約 20[mW] である。レーザー光は平行光にした後にハーフミラーで分割し、一方を物体光 (液晶を介して得られる照射パターン)、他方を参照光として、干渉縞をホログラムに記録する。より精密なパターンを記録するために、物体光と参照光の光学距離を一致させた。そのため、物体光の光学距離をミラーを用いて延長させている。

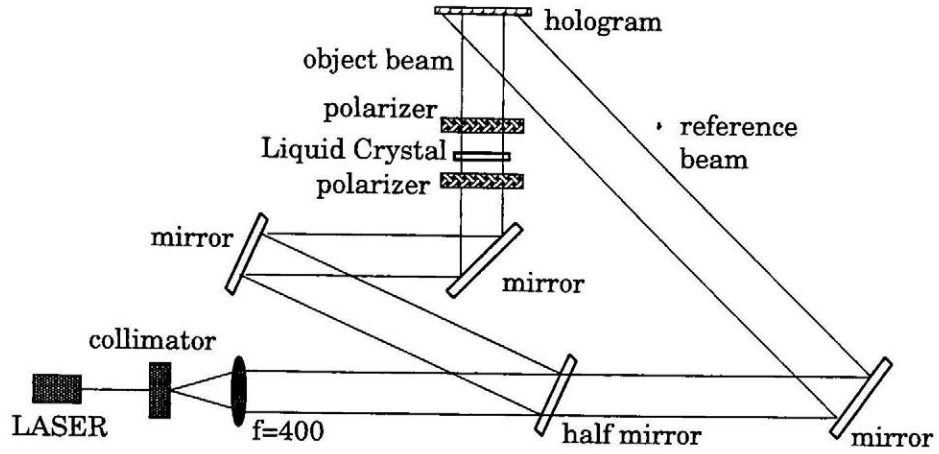


図 6.2 液晶を用いたホログラム記録光学系

■再生光学系

ホログラムの再生光学系を図 6.3 に示す。

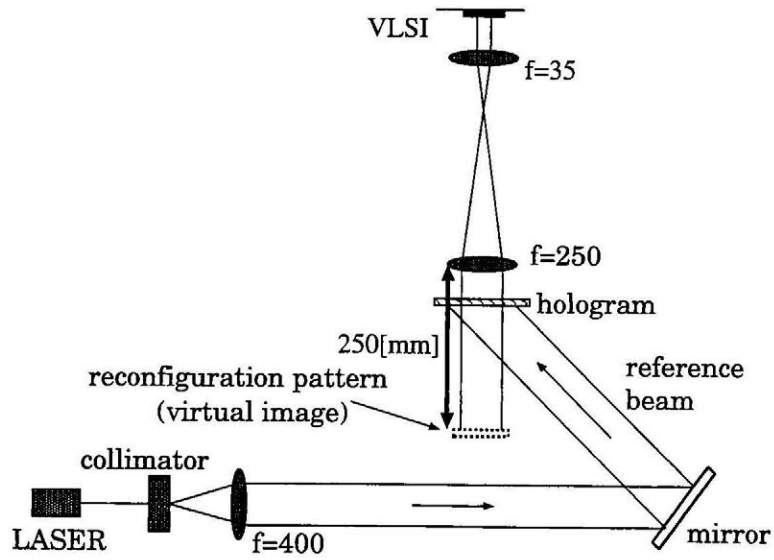


図 6.3 ホログラム再生光学系

液晶の画素の大きさをそのまま記録すると、数十マイクロオーダーと画素サイズが大きく、VLSI に照射するには縮小する必要がある。そこで、再生したパターンはレンズを使

用して縮小して VLSI に照射, 実装した. このとき, 図 6.3 中の $f=250$ のレンズから距離 250[mm] の位置に, 再構成パターンとなる像が再生される.

■再生パターン

図 6.2 に示す光学系を用いて, 2bit 加算器を実装するような再構成パターンの記録を行った. そして, 図 6.3 に示す光学系を用いて再生を行い, CCD カメラで撮影したパターンを図 6.4 に示す.

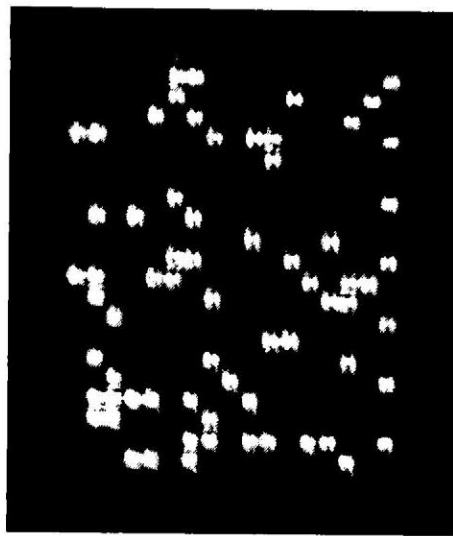


図 6.4 2bit 加算器の照射パターン

記録するための物体光及び参照光の光強度分布により, 多少の記録ムラはあるものの, 実装には問題ないパターン・コントラストが得られた.

■実装結果

ホログラムに 2bit 加算器を実装するようなパターンを記録し, 前述した再生光学系を用いて実装を行った. その時の波形を図 6.5 に示す. 実装した 2bit 加算器の仕様は 4.3.1 節で示したものと同様である.

再構成時間は 4.8[msec] となった. この結果より, ホログラムを用いて回路実装可能であることが確認された. また, レンズを組み合わせることにより, 微小な照射パターンを再現可能とし, 回路実装できることを示した.

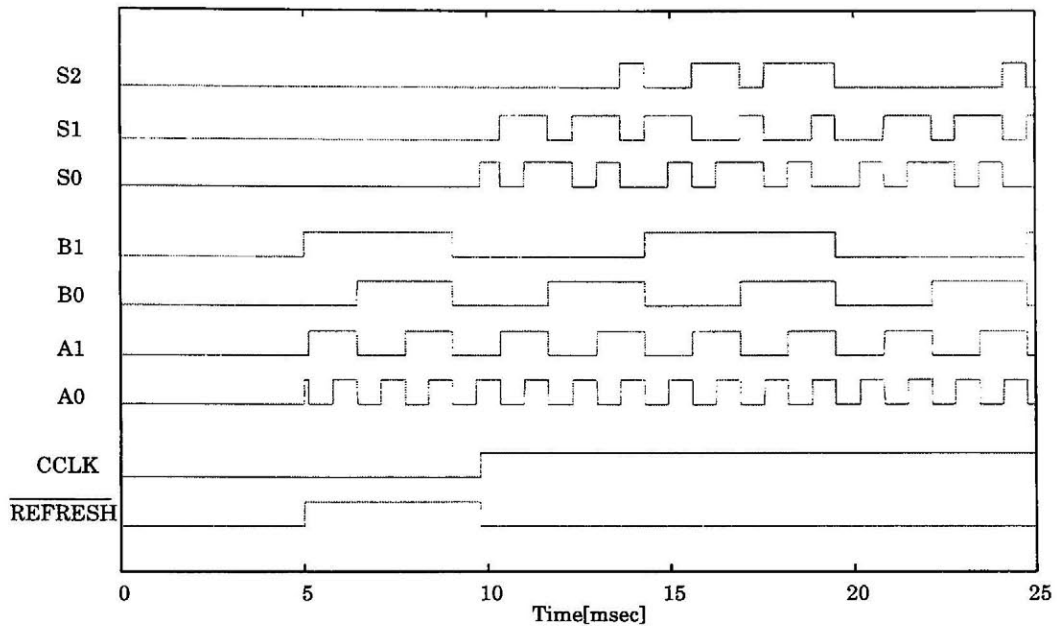


図 6.5 2bit 加算器の実装結果

6.1.3 直接再生実装

前節はレンズを用いて、パターンを縮小して実装を行った。しかし、将来的には再生光を直接照射して実装することで、光学系を簡素化できる。そこで、VLSI に実装するフォトダイオードの大きさの照射パターンをホログラムに記録・実装を行った。

■記録光学系

微小な照射パターン記録を行うため、PAL-SLM (Parallel Aligned nematic Liquid crystal - Spatial Light Modulator) *1を導入した。これにより、ミクロンオーダーの照射パターン記録が可能となり、直接再生光で実装が可能となる。PAL-SLM を用いた記録光学系を図 6.6 に、その記録光学系の写真を図 6.7 にそれぞれ示す。前節と同様、使用したレーザーは He-Ne レーザーである。

PAL-SLM では、一方の側に変調を行うための像を入力し、他方の側では反射光が変調された像として得られる。PAL-SLM は、強度変調と位相変調が可能であるが、今回は強度変

*1 光アドレスタイプの位相変調器。通常、液晶と同時に使用する。液晶を介して得られた光パターンをアドレスとして入力することで、変調を行う。

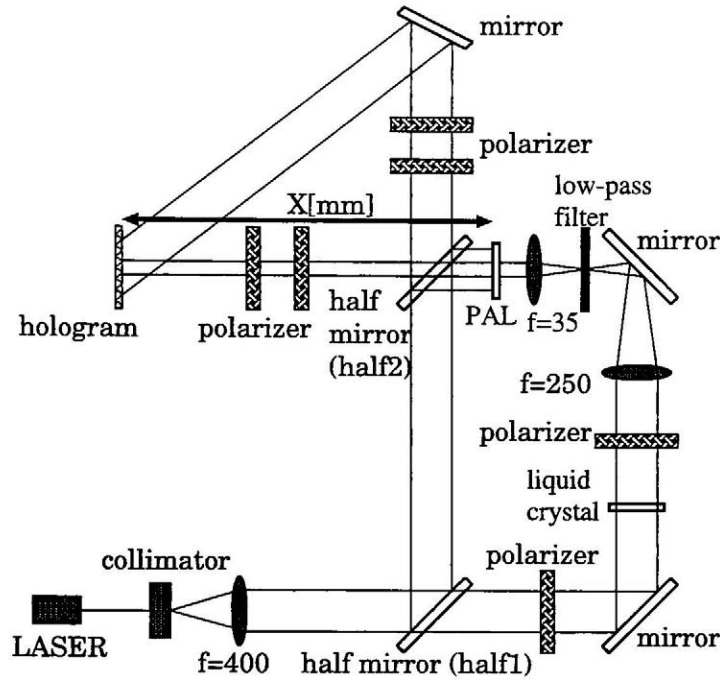


図 6.6 PAL-SLM を用いたホログラム記録光学系

調のみ用いた。

レーザーの出射光を、まずハーフミラー 1(図 6.6 中の half1) で PAL-SLM の入力像と出力像用に分割する。入力像は液晶を介して作成し、レンズを用いて縮小した像を PAL-SLM に入力する(図 6.6 中の PAL の右側から入力)。一方の出力像用の光は、再度ハーフミラー 2(図 6.6 中の half2) で分割され、一方の光を図 6.6 中の PAL の左側から入力し、変調された像を反射光として得る。反射光は偏光板を通し、ホログラムに記録するための照射パターン(物体光)となる。ハーフミラー 2 で分割されたもう一方の光は、参照光として使用される。このとき、PAL とホログラムの距離 $X[\text{mm}]$ が、照射パターン再生を行う際の結像距離となる。今回構築した光学系では、 X は $350[\text{mm}]$ である。なお、物体光と参照光の光学距離を一致させ、可干渉性を高めた状態で記録を行っている。

■再生光学系

PAL-SLM を用いて記録を行ったホログラムの照射パターンを再生するための光学系を図 6.8 に、実際の光学系の写真を図 6.9 にそれぞれ示す。

ホログラムに照射して得られる回折光を、直接 VLSI に照射することで回路実装を行う。

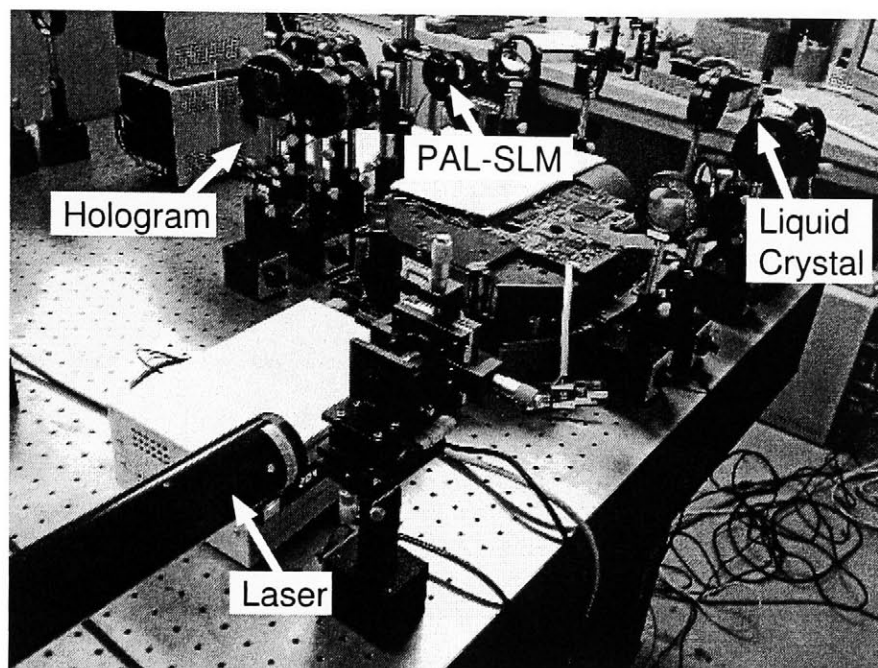


図 6.7 PAL-SLM を用いたホログラム記録光学系の写真

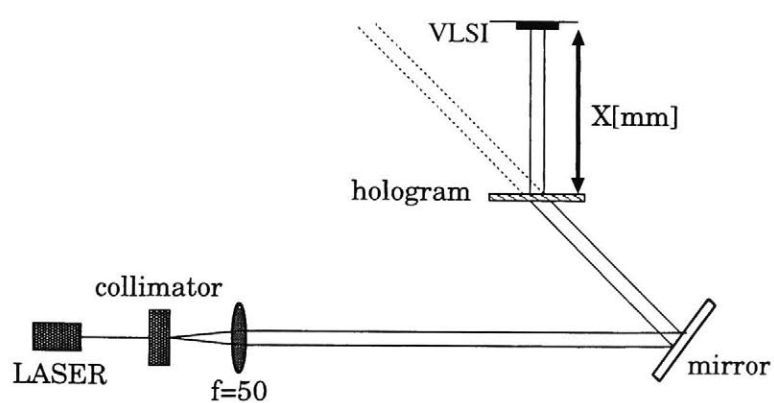


図 6.8 ホログラム再生光学系

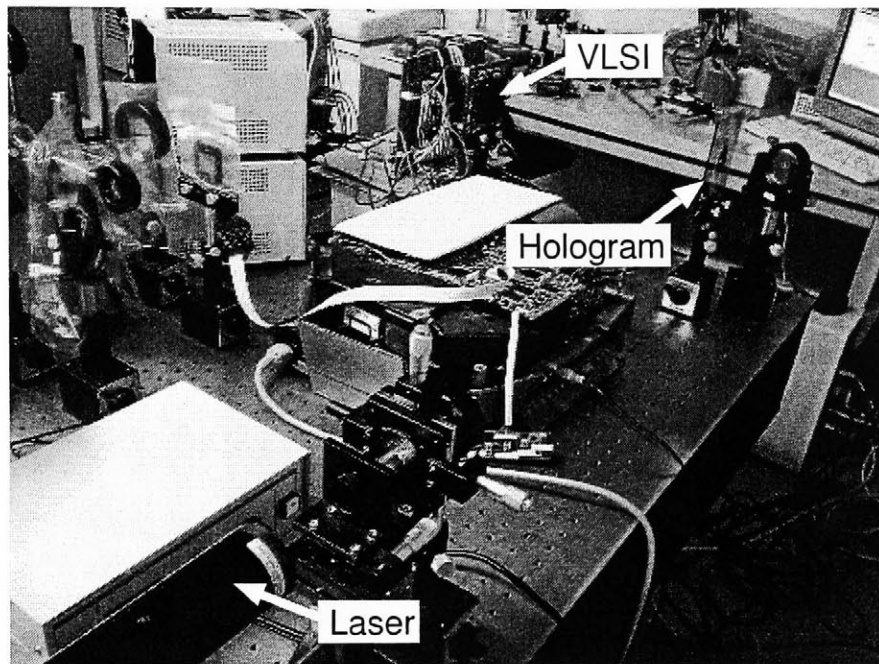


図 6.9 ホログラム再生光学系の写真

このとき、ホログラムと VLSI 間の距離 $X[\text{mm}]$ は、図 6.6 に示す距離 $X=350[\text{mm}]$ と同じであり、この位置に記録した像が結像される。

■再生パターン

図 6.6 に示す光学系を用いて、4bit アップカウンタを実装するような再構成パターンの記録を行った。そして、図 6.8 に示す光学系を用いて再生を行い、CCD カメラで撮影したパターンを図 6.10 に示す。

多少の強度分布ムラがあるものの、綺麗な四角い格子状のパターンが記録・再生できたことを確認した。

■実装結果

ホログラムに参照光を照射し、得られた再生光を直接 VLSI に照射、実装を行った。図 6.11 に 4bit アップカウンタを実装した結果を示す。4bit アップカウンタの仕様は 4.3.1 節で示したものと同様である。

再構成時間は $1.44[\text{msec}]$ となった。この時の参照光量は $922[\mu\text{W}]$ 、得られた再生光は $1.81[\mu\text{W}]$ であり、回折効率は約 0.2% であった。この結果より、ホログラムを用いた大容量

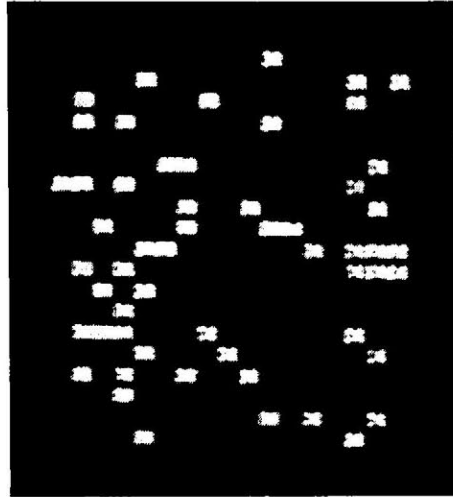


図 6.10 4bit アップカウンタの照射パターン

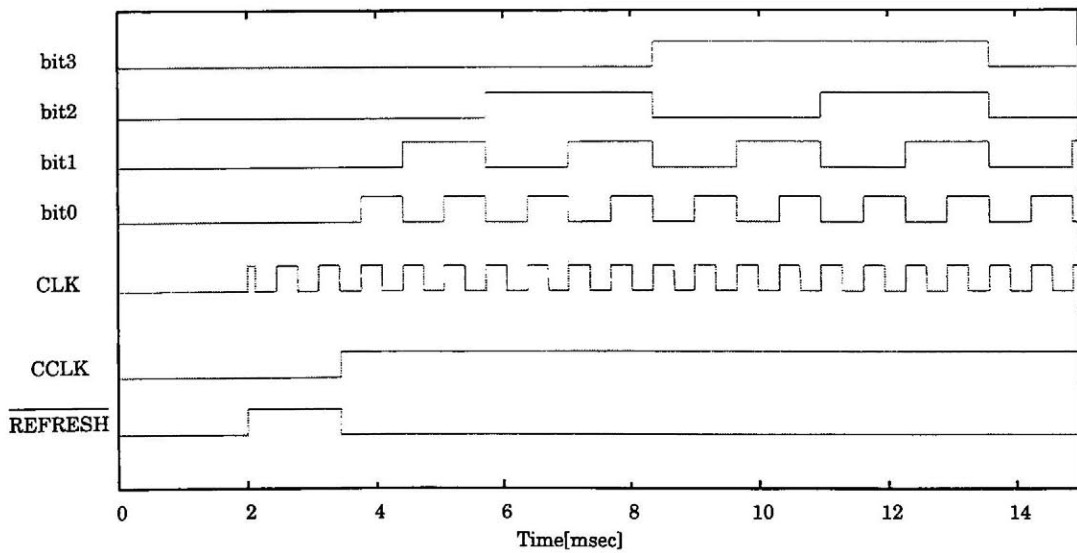


図 6.11 4bit アップカウンタの実装結果

化が可能であることを示した。

まだ速度的な課題は残るものの、より高出力のレーザーの導入や光学系の改善により、世界最高速の差分光再構成システムの実現が可能である。また、ホログラムを用いることで100以上の再構成パターンを実現することが可能であり [32]、1クロックの高速再構成と大容量の再構成パターンが両立できる。さらに、ホログラムは記録密度が高いため、高密度実装によるコンパクト化にも適していると言える。

6.2 VCSELによるコンパクト化

VCSEL(Vertical Cavity Surface Emitting Laser) ^{*2}は2次元の大規模なレーザーダイオードアレイを構成しやすいという利点から、ODRGAの光生成部をコンパクトに実装することが可能である。また、スイッチング速度もGHzオーダー以上であるため、高速な照射パターン切り替えが可能である。そこで将来の実用化を見据え、我々はVCSELを光源として導入することを試みた。

6.2.1 レーザースイッチングによる再構成

レーザースイッチングによる再構成を行うことによって、GHzオーダー以上の再構成パターン切り替えを実現できる。そこで、VCSELのスイッチングによる連続再構成を行った。

■実験光学系

実験光学系を図6.12に、また実際の光学実験環境の写真を図6.13にそれぞれ示す。

例として、4bitアップカウンタからダウンカウンタに再構成した結果を示す。液晶1(図6.12中のLC1)には、4bitアップカウンタに再構成するパターンを表示させ、液晶2(図6.12中のLC2)には、4bitアップカウンタからダウンカウンタに変化するような照射パターンを表示させる。そして、VCSEL1を最初に点灯させて4bitアップカウンタを実装し、次にVCSEL2にスイッチングしてダウンカウンタに再構成する。使用した2つのVCSELはともに、光出力1.2[mW]、波長は850[nm]である。

■実装結果

図6.12に示した光学系を用いて実装を行ったときの波形を図6.14に示す。

^{*2} GaAs基板上にAlGaAs半導体膜を100層以上、垂直方向に形成したもので、これらの層がレーザー共振器となり、電流を注入することで発光する、面発光型の半導体レーザー。垂直な共振器構造を持つため、基板面内にアレイ構造を容易に形成可能。

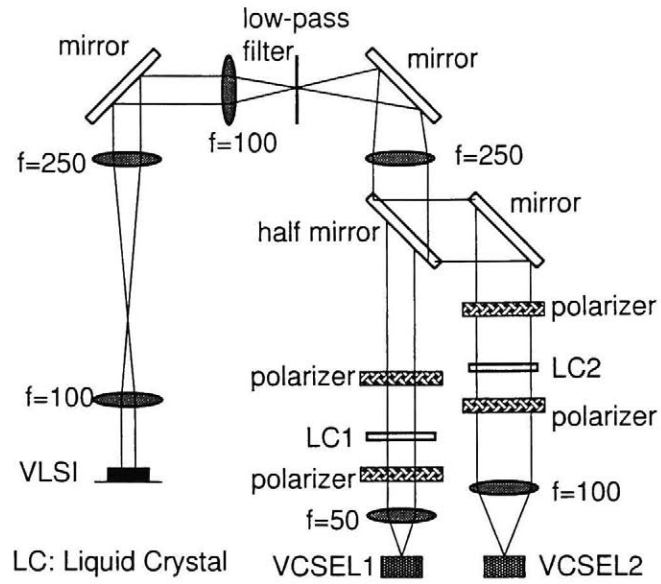


図 6.12 VCSEL を用いた連続再構成の実験光学系

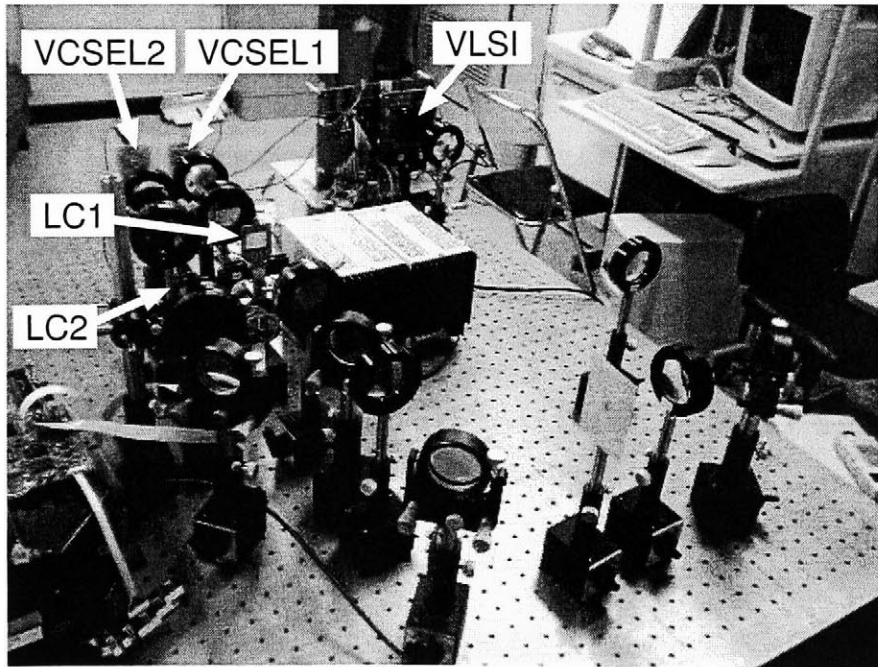


図 6.13 VCSEL を用いた連続再構成の実験光学系の写真

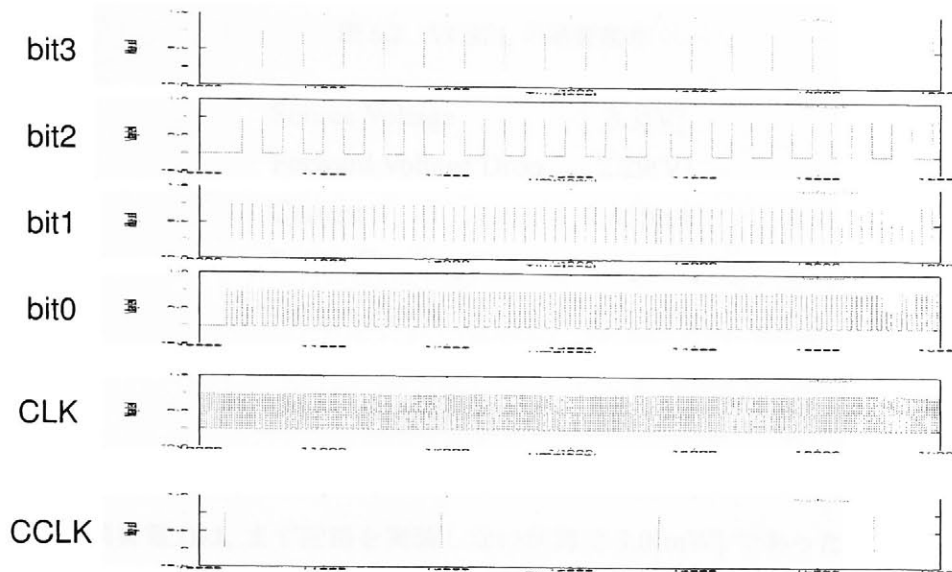


図 6.14 4bit アップカウンタからダウンカウンタへの再構成

このときの再構成時間は 1.44[msec], 照射 bit 数は 9 であった.

その他の連続再構成を行ったパターンについて, まとめた結果を表 6.1 に示す.

表 6.1 連続再構成の結果

Configuration circuit	Time[msec]	Bits
Up-counter to down-counter	1.44	9
Adder to multiplier	1.88	22
Adder to counter	3.84	61

照射 bit 数が増え, 照射する領域が広がるにつれて 1bit あたりに照射する光強度が落ち, 再構成速度が遅くなっている.

6.2.2 消費電力評価

ODRGA における消費電力は, 光学部の消費電力と VLSI 部の回路消費電力の 2 つに大別できる.

VCSEL の消費電力は表 6.2 に示すように, 8.1[mW] である. このとき得られた光出力は 1.2[mW] であり変換効率は 14.1% となる.

表 6.2 VCSEL の消費電力

Source Voltage	3.3[V]
Forward Voltage Drop	2.29[V]
Current	2.45[mA]
Power Consumption	8.1[mW]
Optical Power	1.2[mW]
Slope Efficiency	0.49[W/A]
Conversion Efficiency	14.1%

VLSI 部の消費電力は、まず回路を実装しない状態で 3.0[mW] であった。

回路を実装した時の消費電力を測定した結果を表 6.3 に示す。電源電圧は 3.3[V]、クロック周波数は 50[MHz] とした。なお組合せ回路の場合、単位秒あたりに入力に変化する回数を周波数としている。

表 6.3 VLSI 部の消費電力 (50[MHz] 駆動時)

Configuration circuit	Power consumption[mW]
2bit adder	46.1
2bit multiplier	29.6
4bit up-counter	40.5
4bit down-counter	35.3

いずれの回路においても 30~45[mW] 程度の消費電力となった。

6.2.3 部分再構成による高速化

実際に回路の再構成を行う場合、通常全ての回路を再構成する必要はない。したがって、必要な部分のみを照射すればよく、照射領域を分割することによって照射領域を限定し、光エネルギーを集中させることができる。差分型でない光再構成ゲートアレイは、部分的な再構成を行う場合においてもゲートアレイ全体の照射を行わなければならなかったが、差分型では必要な部分のみを照射すればよく、同じエネルギーであれば、差分型の方がよりエネルギーを集中でき、再構成時間を短縮することが可能となる。

照射領域を限定した照射光学系を図 6.15 に、実際の実験環境を図 6.16 に示す。

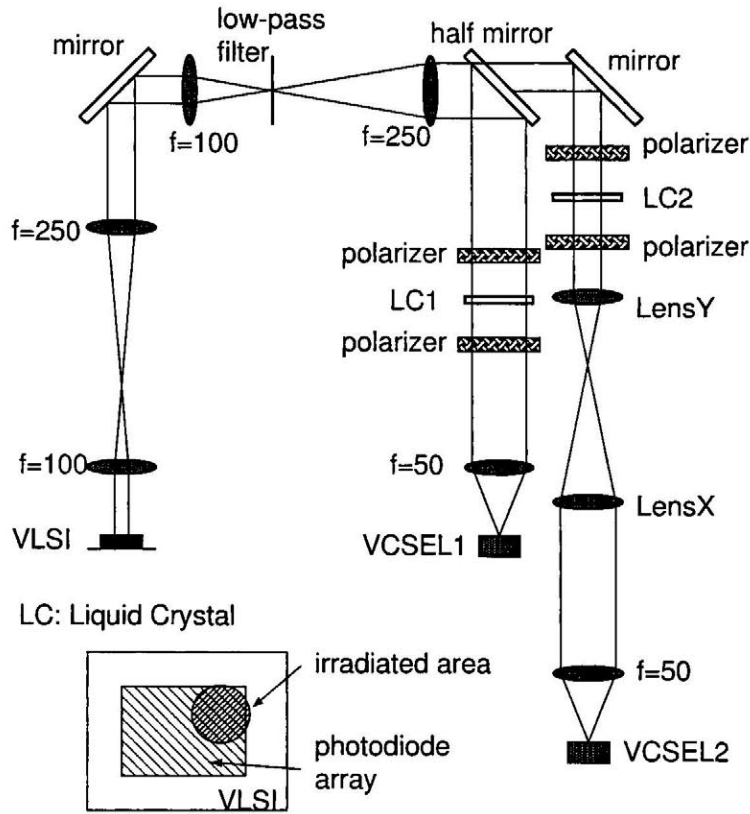


図 6.15 領域分割照射の実験光学系

図 6.15 の光学系を用いて、4bit アップカウンタから 4bit ダウンカウンタに再構成を行った。そのときの波形を図 6.17 に示す。なお、カウンタの仕様は前節と同様である。

このときの照射 bit 数は 9bit, 再構成時間は $640[\mu\text{sec}]$ となった。このことから、部分再構成によって照射面積を減らし、集光度を高めて再構成速度を高速化可能であることを示した。

照射面積と再構成速度の関係を測定した結果を表 6.18 に示す。照射面積と再構成速度が反比例の関係にあることを確認した。また、照射面積によって異なるが、 $1.2[\text{mW}]$ の VCSEL で $680[\text{nsec}] \sim 3.84[\text{msec}]$ の再構成速度を得られた。

この結果より、照射 bit 数を削減し、照射領域を狭めることによって照射エネルギーを集中させ、同一光出力という条件下で再構成速度を高速化できることを示した。

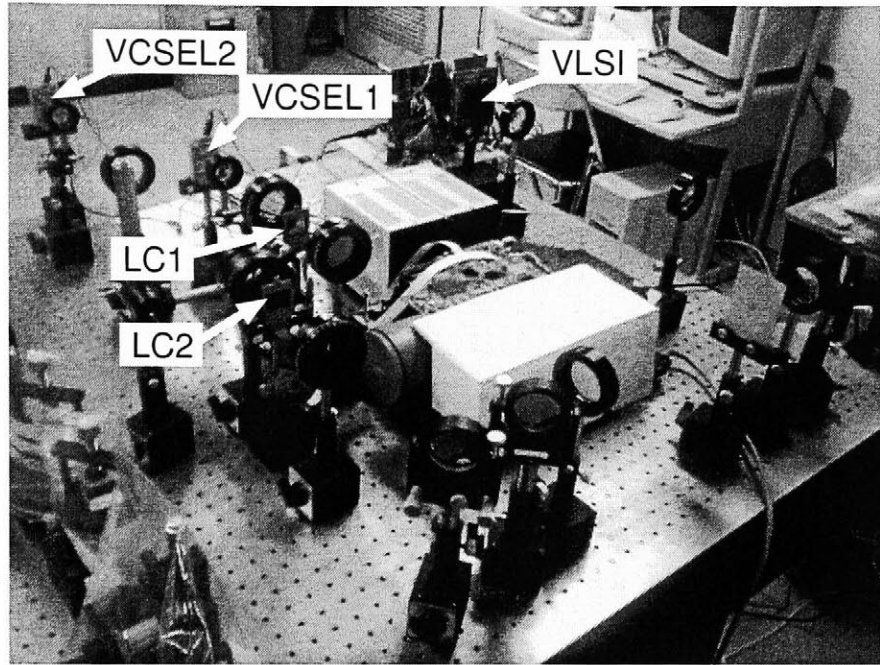


図 6.16 領域分割照射の実験光学系の写真

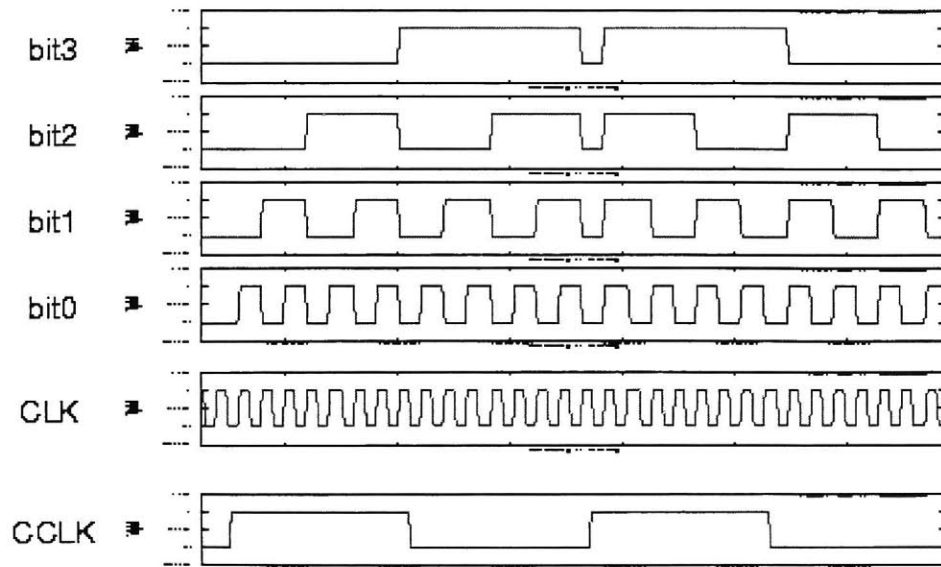


図 6.17 4bit アップカウンタから 4bit ダウンカウンタへの再構成

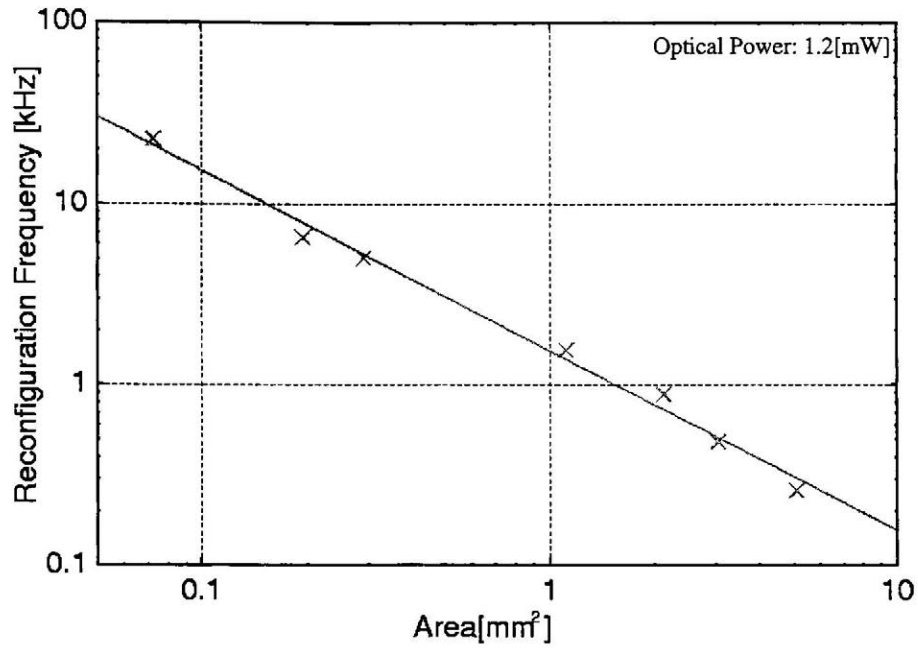


図 6.18 照射面積と再構成時間の関係

6.2.4 多重照射による高速化

VCSEL 単体の再構成では光量不足のため、再構成速度が遅い問題がある。そこで、VCSEL の光量を補うために、複数の VCSEL を同時に照射して光量を増加させることを考える。照射試験として、VCSEL1 と VCSEL2 をそれぞれ単体で照射した場合と、2 個同時に照射した場合の結果について表 6.4 に示す。

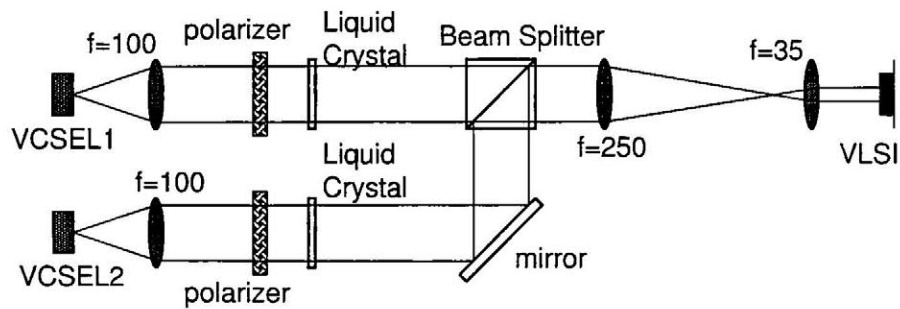


図 6.19 VCSEL の多重照射実験光学系

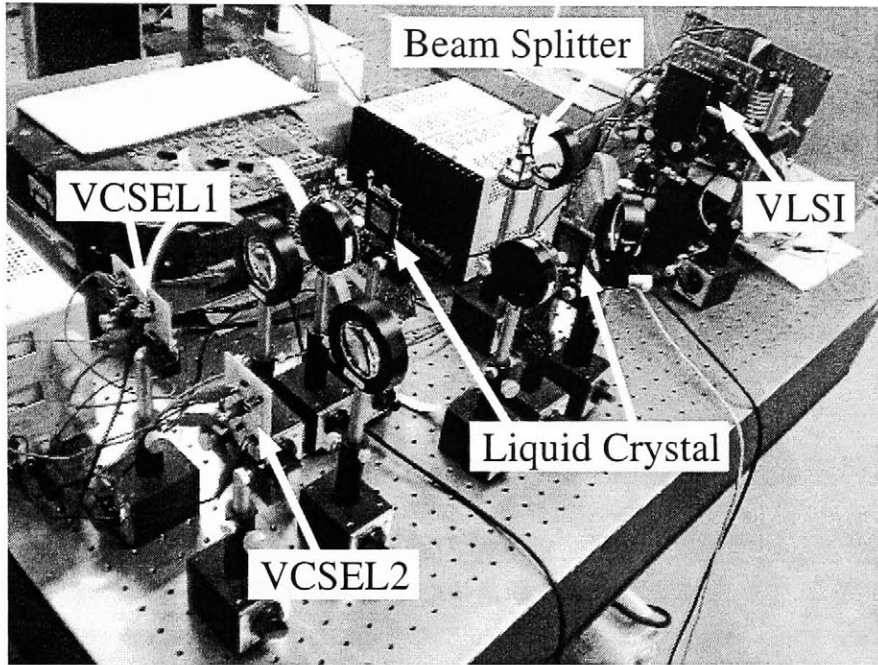


図 6.20 VCSEL の多重照射実験環境

表 6.4 VCSEL2 個同時に照射を行った回路実装結果

Circuit	VCSEL1	VCSEL2	VCSEL1+2
4bit up-counter	1.72[kHz]	0.75[kHz]	2.94[kHz]
4bit down-counter	1.85[kHz]	0.76[kHz]	2.94[kHz]
2bit adder	1.79[kHz]	0.77[kHz]	2.63[kHz]
2bit multiplier	1.92[kHz]	0.72[kHz]	2.94[kHz]

いずれの回路においても、2 個同時に VCSEL を照射することで、再構成速度の改善結果が得られた。VCSEL1 と VCSEL2 単体で照射した場合の再構成速度の和が、同時に照射した場合の再構成速度とほぼ一致している。将来的には、より多数の VCSEL を組み合わせることで、より高速な再構成を実現する。

第 7 章

まとめ

本論文では、まず動的再構成デバイスにおける優位点を論じ、その優位点を発揮するためには、高速再構成・大容量再構成情報の 2 つが重要であることを述べた。既存の電気デバイスでは、この 2 つの要素を両立不可能であるのに対し、光再構成ゲートアレイは、これらを両立可能である。しかし、将来的な再構成速度高速化を視野に入れた場合、消費電力問題によって高速化は頭打ちになる。この見地から、低消費電力化と再構成速度高速化という相反する要素を同時に達成するべく、新しい再構成手法である差分再構成手法を提案した。本研究で得られた成果を以下にまとめる。

■差分再構成による低消費電力化・再構成速度高速化

差分再構成手法を用いて部分再構成を行うことにより、従来の光再構成ゲートアレイと比較して、照射 bit 数を概ね 20% に低減できることを示した。これにより、照射 bit 数削減による低消費電力化・再構成速度高速化が実現できる。

■世界初の差分再構成による光再構成ゲートアレイ VLSI を開発

差分型光再構成ゲートアレイ VLSI を開発した結果、数ナノ秒での高速な動的再構成を実現可能とした。さらに、照射フェーズと処理フェーズを並行して実行可能にし、再構成によるオーバーヘッドが限りなく 0 に近い動的な再構成を実現している。

■ミクロンオーダーの高精度位置合わせ技術の確立

VLSI に対して光を照射する環境を構築し、VLSI 部と光学部の位置合わせのための支援ハードウェア・ソフトウェアを開発、 μm オーダー精度の光バス制御技術を確立した。その結果、数百から数 100 万 bit の光バス制御が可能になった。

■世界最高速の光再構成を実験実証

パルスレーザーを用いて照射試験を行い、光学系を含めたシステム全体において220[nsec]の再構成時間結果が得られた。これは世界最高速の光再構成である。また、1bitでは約2[nsec]の再構成時間を達成しており、今後の改善によって、ナノ秒オーダーでの再構成が可能となる。したがって、究極的な高速再構成である、1クロックでの再構成が可能である。さらに、今後65kゲート規模のゲートアレイを実現した場合においても、1クロックでの再構成が可能であることを示した。このときの再構成情報の転送レートは31.8[Tbit/sec]にも達する。これは既存の再構成デバイスでは実現できなかったレートである。

■ホログラムを用いた大容量再構成情報の実現

前述の高精度位置合わせ技術と併せて、ミクロンオーダーでの高精度な再構成パターンを記録するための光学システムの開発記録・再生技術を確立した。そしてホログラムを用いて照射試験を行い、ホログラムによる回路実装に成功した。その結果、今後の再構成情報の大容量化の可能性を示した。またホログラムは、差分再構成と組み合わせることで再構成速度を高速化可能であることを確認した。さらに、ホログラムは高密度記録が可能なことから、実用化に向けたコンパクト化にも適している。

■VCSELを用いた光学システムの小型化

VCSELによる再構成検証を行い、実用化に向けた小型化の可能性を明確にした。VCSELは小型化可能な一方で、光量不足による再構成速度の低下の問題がある。そこで差分再構成手法と併せて、多重照射技術を開発し、その結果、ナノ秒オーダーの再構成も可能であることを示した。したがって、小型化に伴う再構成速度の問題を解決できることを示した。

今後、光バス位置検出支援のためのソフトウェア/ハードウェア開発をさらに進め、光学部とVLSI部の自動位置合わせを行う必要がある。また、フォトダイオードを微細化し、VLSIの高集積化を図っていく。さらに、ホログラムによる再構成速度改善を行い、再構成パターン数を増やしていく予定である。

参考文献

- [1] 後藤 敏, “LSI の未来”, 電子情報通信学会誌, Vol.88 No.10, pp.790-794 (2005)
- [2] 今井正治, “ASIC 技術の基礎と応用”, コロナ社 (1994)
- [3] 嶋田 勇三, “先端実装技術の動向と今後の展望”, 電子情報通信学会論文誌, Vol.J88-C No.11, pp.827-837 Nov.2005
- [4] “動的再構成可能デバイスその素性と実力”, Design Wave Magazine 2004 年 8 月号 (2004)
- [5] 末吉 敏則, 天野 英晴, “リコンフィギャラブルシステム”, オーム社 (2005)
- [6] T.Kitaoka, H.Amano, T.Inuo, H.Kami, T.Fujii, and M.Suzuki, “Techniques for Virtual Hardware on a Dynamically Reconfigurable Processor - An approach to Tough Cases,” Proc.FPL(LNCS3203), pp.464-473, 2004.
- [7] 大河原 克行, “ウォークマン復活を支えるキーデバイス「VME」”, <http://pc.watch.impress.co.jp/docs/2005/0506/gyokai122.htm> (2005)
- [8] 鶴田 雅明, “柔らかいハードウェア設計に向けて”, 日経エレクトロニクス 2005 年秋号, pp.51-52 (2005)
- [9] 進藤 智則, “動的再構成で FFT 高速化 高頻度切り替えの威力実証”, 日経エレクトロニクス 2005 年 6 月 20 日号 (2005)
- [10] Altera Corporation, “Altera Devices,” <http://www.altera.com/>
- [11] Xilinx Inc., “Xilinx Product Data Sheets,” <http://www.xilinx.com/>
- [12] U.Tangen and J.S. McCaskill, “Hardware evolution with a massively parallel dynamically reconfigurable computer: POLYP,” Evolvable Systems: From Biology to Hardware. Second International Conference, ICES 98 Proc., pp.364-371, 1998.
- [13] “XC1700E and XC1700L Series Configuration PROMs,” Xilinx (2000)
- [14] NEC エレクトロニクス, “動的再構成プロセッサ”, <http://www.necel.com/drpf/ja/>
- [15] アイピーフレックス, “DAPDNA-2”, <http://www.ipflex.co.jp/>

- [16] 長谷川 揚平, 阿部 昌平, 安生 健一朗, 栗島 亨, 天野 英晴, “動的リコンフィギャラブルプロセッサを用いた IPsec アクセラレータの設計と実装”, 信学技報, CPSY-2004-37, vol.104 No.476 pp.29-34, Dec.2004.
- [17] 片山 勝, 甲斐 英則, 吉田 順一, 山田 博希, 塩本 公平, 山中 直明, “リコンフィギャラブルプロセッサを用いた 10Gbps ファイアウォール装置の実現”, 第 4 回リコンフィギャラブルシステム研究会論文集, pp.67-72, Sep.2004.
- [18] J.Mumbru, G.Zhou, X.An, W.Liu, G.Panotopoulos, F.Mok, and D.Psaltis, “Optical memory for computing and information processing,” Proc.SPIE - Int. Soc. Opt. Eng., vol.3804, pp.14-24, 1999.
- [19] J.Mumbru, G.Panotopoulos, D.Psaltis, X.An, F.Mok, S.Ay, S.Barna, and E. R. Fossum, “Optically programmable gate array,” Proc.SPIE - Int. Soc. Opt. Eng., vol.4089, pp.763-771, 2000.
- [20] 渡邊 実, “動的再構成のための光 FPGA に関する研究”, 九州工業大学 博士論文 (2005)
- [21] 蓬田 宏樹, “Intel 社, 電力最優先の新アーキテクチャを投入へ”, 日経エレクトロニクス 2005 年 9 月 12 日号 (2005)
- [22] C.T.Chow, L.S.M. Tsui, P.H.W.Leong, W.Luk, S.J.E.Wilton, “Dynamic Voltage Scaling for Commercial FPGAs,” 2005 IEEE International Conference on Field Programmable Technology, pp.173-180, Dec.2005.
- [23] M.Miyano, M.Watanabe, and F.Kobayashi “Configuration for Optically Differential Reconfigurable Gate Array”, SICE Annual Conference 2003, pp.92, Aug.2003.
- [24] 宮野 元嗣, 渡邊 実, 小林 史典, “差分型光再構成ゲートアレイの回路実装評価”, 第 7 回システム LSI ワークショップ, pp.335-338, Nov.2003.
- [25] 宮野 元嗣, 渡邊 実, 小林 史典, “VCSEL を用いた差分型光再構成ゲートアレイ”, 第 5 回集積光デバイス技術研究会, pp.29-34, Jul.2004.
- [26] 宮野 元嗣, 渡邊 実, 小林 史典, “差分型光再構成ゲートアレイの照射領域分割”, 第 4 回リコンフィギャラブル研究会, pp.227-234, Sep.2004.
- [27] 宮野 元嗣, 渡邊 実, 小林 史典, “差分型光再構成ゲートアレイの照射領域と再構成時間の評価”, 第 8 回システム LSI ワークショップ, pp.323-326, Dec.2004.
- [28] 宮野 元嗣, 渡邊 実, 小林 史典, “パルスレーザーを用いた差分型光再構成ゲートアレイ”, 電子情報通信学会技術研究報告, Vol.104 No.476 pp.1-4, Dec.2004.
- [29] M.Miyano, M.Watanabe, and F.Kobayashi “Optically Differential Reconfigurable Gate Array using an optical system with VCSELs”, IEEE Computer Society Annual Sympos-

- sium on VLSI, pp.274-275, May.2005.
- [30] 宮野 元嗣, 渡邊 実, 小林 史典, “複数の VCSEL を用いた ODRGA の再構成速度改善”, 電子情報通信学会技術研究報告, Vol.105 No.184 pp.67-70, Jul.2005.
- [31] M.Miyano, M.Watanabe, and F.Kobayashi “Rapid Reconfiguration of an Optically Differential Reconfigurable Gate Array with Pulse Lasers”, 2005 IEEE International Conference on Field Programmable Technology, pp.287-288, Dec.2005.
- [32] 野澤 哲生, “NTT の切手大の光メモリ 目標は 1G バイトで 100 円”, 日経エレクトロニクス 2004 年 3 月 1 日号, pp.32-pp.33, 2004.
- [33] 中央精機, “製品詳細 (干渉計ユニット-現像関連)”, <http://www.chuo.co.jp/>
- [34] 中央精機, “中央精機のホログラフイー改訂 5 版”, 中央精機株式会社 (2003)
- [35] 鈴木 正根, “実践ホログラフイー技術”, オプトロニクス社 (1986)
- [36] 末田 哲夫, “光学部品の使い方と留意点”, オプトエレクトロニクス社 (1985)
- [37] 谷田貝 豊彦, “応用光学 光計測入門”, 丸善株式会社 (1988)
- [38] 辻内 順平, “ホログラフイー”, 丸善株式会社 (1993)
- [39] 緒方 安代, “光再構成型ゲートアレイ”, 九州工業大学大学院 修士論文 (2002)
- [40] 松本 昇, “光再構成ゲートアレイの実現”, 九州工業大学大学院 修士論文 (2003)

謝辞

本研究を進めるにあたり、ご多忙にも関わらず、研究の具体的な進行手法、論文における論述法、プレゼンテーション技術等のご教示のみならず、一研究者・技術者としての心構えを、優しく、時に厳しくも、熱心にご指導頂きました小林 史典 教授に厚く御礼申し上げます。

そして、本研究で直接ご指導を頂き、実験を実際に進めていく上で必要となる技術や知識、効率的な実験の推進方法、また研究以外にも相談に応じて下さる等、本当に多くのご指導を頂きました渡邊 実 助手に心より御礼申し上げます。

また、インターンシップをはじめとして、丁寧なご指導・多くのご支援を頂き、本研究をさらに加速させることができました、日本テキサス・インスツルメンツ株式会社の諸先輩方に深く感謝致します。

さらに、本研究に関する発表の際には、多くのご議論と適切なアドバイスを頂きました、諸先生方に深く感謝致します。

そして、研究における技術面ならびに学生生活面におきまして、多大なる助言や協力を頂きました本研究室の皆様から心から感謝致します。その他にも、研究室内外を問わず、私を心から支えて下さった友人、先輩、後輩に感謝致します。

最後に、長い間教育を受ける機会を与え、毎日朝早くから夜遅くまで私の生活を支えてくれた家族に感謝します。

付録 A

LSI の設計方式

VLSI の設計の方法は大きく分けて以下の 3 つがある。

フルカスタム設計方式

全て手動で回路素子を配置する方式。手動で行うために開発時間がかかるという問題があるが、自動で回路を配置するよりも回路面積を小さくできる。

スタンダードセル設計方式

スタンダードセルを組み合わせて回路を配置する方式。スタンダードセルとは、あらかじめ半導体製造メーカーから提供された機能ブロックのことである。自動で回路の配置を行うために開発時間が短いという利点があるが、全体の回路面積はフルカスタム設計に比べて大きくなる。

セミカスタム設計方式

スタンダードセル設計とカスタム設計を混在させた方式。多くの場合、スタンダードセルに所望の回路が用意されていない時に、あるいは回路面積・動作速度制約を満たすために部分的にカスタム設計を行う。

今回の設計ではセミカスタム設計方式を用いた。スイッチの役割を果たすトランスミッションゲート、受光部であるフォトダイオードの 2 つについてはライブラリになかったため、カスタム設計を行っている。以下に設計の手順を示す。

1. VLSI 部の仕様を VHDL を用いてハードウェア記述 (RTL 記述)
2. RTL 記述を論理合成し、ネットリストを生成
3. ライブラリにないセルをカスタム設計
4. ネットリストとカスタムセルを合成し、配置配線 (レイアウト)

付録 B

ホログラムの記録

第 6 章で述べたホログラムには, 中央精機の PFG-01-45 を用いた. このホログラムは銀塩系感光材料を使用しており, 波長約 630[nm] の感度が最も高く, 赤色のレーザーでの記録に適している. また, 最大約 45% の回折効率が得られる [33].

B.1 ホログラムの記録手順

ホログラムの記録の手順を以下に示す [34]. 現像液にはコダック D-19 現像液, 停止液は 90% の酢酸を 25 倍に希釈したものを, 定着液にはコダックフィクサー, ドライウエルは富士写真フィルム社製のもの (200 倍に希釈) を使用した.

1. レーザー光を一定時間照射 (光量による)
2. 現像液に浸し連続攪拌 (5 分)
3. 停止液に浸し攪拌 (30 秒)
4. 流水にて水洗 (2 分)
5. 定着液に浸し連続攪拌 (5 分)
6. 流水にて水洗 (2 分)
7. ドライウエルに浸し攪拌 (1 分)
8. 弱冷風を当て乾燥 (乾くまで, 約 2 時間)

B.2 記録条件

各種実験を行い、ホログラムを記録するための最適な条件を得た。その結果、物体光 $200[\text{nW}/\text{cm}^2]$ 、参照光 $600[\text{nW}/\text{cm}^2]$ 、照射時間 2 分 8 秒が最適であることが分かった。

■記録時間

使用したホログラムは、約 $110[\mu\text{J}/\text{cm}^2]$ の光量照射で最大 45% の回折効率が得られる [33]。物体光と参照光の合計が $400[\text{nW}]$ の時、4 分 30 秒照射すればよい計算になる。最適な照射時間を得るために、まず 3 分 30 秒、4 分、4 分 30 秒、5 分、5 分 30 秒の 5 パターンの照射時間で記録を行った。その結果、4 分と 4 分 30 秒の 2 つの結果がよかったため、さらに 4 分 15 秒の照射時間で記録を行ったところ、4 分 15 秒が最適であることが分かった。

■光量

ホログラムに記録する際、照射光量を増やせば照射時間が短くなり、光学台の振動やバックグラウンド光の影響を受けにくくなるが、照射時間の誤差の影響を受けやすくなる。逆に、照射光量を減らすと照射時間が長くなり、光学台の振動やバックグラウンド光の影響を受けやすくなるが、照射時間の誤差の影響を減らすことができる。そこで、適切な光量 (照射時間) を得るために、 $400[\text{nW}]$ 、 $600[\text{nW}]$ 、 $800[\text{nW}]$ の場合に記録を行ったところ、 $800[\text{nW}]$ の時が最も明るい画像が得られた。逆に、 $1000[\text{nW}]$ 以上の光量で記録した場合、照射時間の少しの違いで、過剰照射によってホログラムに黒いパターンが残る。よって、 $800[\text{nW}]$ 程度が最適と判断した。

■物体光と参照光の比

記録画像の明度が最も高くなる、最適な物体光と参照光の比を実験によって得た。実験は、1:1, 1:2, 1:3, 1:4, 1:5, 1:10, 1:20 の 7 通り行った。結果、物体光:参照光=1:3 が最も適切であることが分かった。

■参照光の角度

参照光の入射角を 30, 45, 60 度で記録を行ったが、いずれの角度でも問題ない。

■可干渉距離

できる限り、物体光と参照光の光学距離は同じほうがよい [35]。今回使用したレーザーでは、 $30[\text{cm}]$ 以上の距離差があった場合、記録はできるものの再生像があまり明るくなかったのに対し、光学距離を合わせた場合は、強い光強度の再生像が得られた。