

平成 18 年度 学位論文

デジタル・オーディオにおける 時間/振幅軸歪の改善

九州工業大学 大学院 情報工学研究科 情報科学専攻

井上 学

指導教員 小林 史典 教授

目次

第 1 章	はじめに	4
1.1	背景	4
1.1.1	デジタル・オーディオ	4
1.1.2	SRC	5
1.1.3	PLL	6
1.1.4	高品質デジタル・オーディオの要件	8
1.2	既存の方式とその問題点	8
1.2.1	振幅軸歪・SRC	8
1.2.2	時間軸歪・PLL	10
1.3	本研究の視点	12
1.4	本論文の構成	13
第 2 章	SRC における振幅軸歪の改善	14
2.1	フーリエ補間方式	15
2.1.1	原理	15
2.1.2	シミュレーション	16
2.1.3	トレンド除去法による補間精度改善	19
	フーリエ補間のスプリアス発生の要因	19
	トレンド除去法	19
	シミュレーション	20
2.2	フーリエ補間 SRC の LSI 実装	22
2.2.1	回路構成	23
2.2.2	FPGA 実装	24
	スペクトル解析結果	24

回路規模	24
2.3 データ反転法による補間精度改善と回路規模の縮小	25
2.3.1 データ反転法	26
原理	26
シミュレーション	28
2.3.2 データ反転型フーリエ補間 SRC の LSI 実装	31
回路構成	31
FPGA 実装	31
2.4 ハイブリッド SRC	32
2.4.1 原理と構成	33
2.4.2 シミュレーション	33
第 3 章 PLL における時間軸歪の改善	35
3.1 一般的な PLL の動作	36
3.2 オーバ・サンプリング位相比較器	36
3.2.1 原理	37
3.2.2 回路構成	38
3.2.3 性能	39
ジッタ特性	39
周波数ステップ応答	40
3.3 位相補間回路の最適化	41
3.3.1 OSPD の最大伝達遅延の発生箇所	42
3.3.2 最適化	42
方式	42
回路構成	43
3.3.3 回路規模と最大動作周波数	45
3.3.4 動作周波数とジッタ特性	46
第 4 章 まとめと展望	48
4.1 本研究の成果	48
4.1.1 SRC における振幅軸歪の改善	48
4.1.2 PLL における時間軸歪の改善	49
4.2 今後の課題	49

4.2.1	SRC における振幅軸歪の改善	49
4.2.2	PLL における時間軸歪の改善	50
	参考文献	52
	謝辞	56
付録 A	PLL の伝達関数	57
A.1	Normal-PLL の伝達関数	57
A.2	OSPD-PLL の伝達関数	58
付録 B	TDC 技術による高分解能位相補間法の効果	60
B.1	TDC 技術	60
B.1.1	周期長推定法	60
	原理	60
	VHDL シミュレーション結果	62
B.1.2	位相ずれ推定法	63
	原理	63
	C シミュレーション結果	64
B.2	高分解能化によるジッタ特性の改善	65
付録 C	アナログ・タイミング生成器	68

第 1 章

はじめに

1.1 背景

1.1.1 デジタル・オーディオ

1982年にCDの登場とともに、オーディオ再生はアナログからデジタルの時代を迎えた。これは、メディアの劣化、機器間・各処理部間での伝送ノイズに対する強さ、再生機器の価格など、デジタル・オーディオがアナログ・オーディオに比べ、様々な点で優れていたためである [1][2]。

当時、オーディオ・データは、CDのデータ長 16bit、サンプリング・レート 44.1[kHz]の形式のPCM (Pulse Code Modulation) データであったが、高品位オーディオ向けにDVDが登場し、データ長 20 / 24bit・レート 48 / 96 / 192[kHz]形式のPCM データも用いられるようになった。

また、PCM データよりも容量の小さいAAC (Advanced Audio Coding)、MP3 (MPEG1 Audio Layer3)、WMA (Windows Media Audio) などの圧縮方式のデータも登場した。

これらの圧縮方式データは、誰でも手軽に作成・メディア化でき、また近年では、ダウンロードやストリーミングで簡単に入手できるため、急速に広まった。その結果、これまでのプロフェッショナルが規格に基づいて提供したデータ長/レートだけでなく、アマチュアによる用途に応じた多様なデータ長/レートが混在するようになった。

再生機器には、こうした多様なオリジナル・オーディオのデータ長/レートに幅広く対応することが求められる。

1.1.2 SRC

Sony 社の携帯オーディオ NW-S706F の場合，AAC 圧縮方式のデータだけでも，サンプリング・レートを見ると 11.025 / 12 / 16 / 22.05 / 24 / 32 / 44.1 / 48 [kHz] と幅広く対応している [3]．また，その他の携帯オーディオ・プレーヤを見ても，表 1.1 にまとめたように，様々な形式をサポートしている．

表 1.1 携帯オーディオ・プレーヤがサポートしている各 CODEC のサンプリング周波数とビット・レートの例

CODEC	サンプリング周波数 [kHz]	ビット・レート [kbps]
AAC	16, 22.05, 24, 32, 44.1, 48	16, 32, 48, 64, 128, 256, 320
MP3	32, 44.1, 48	48, 64, 128, 256, 320
WMA	44.1	32, 48, 64, 128, 192

さらに，こうした多様なレートのデータをミキシングし，音響効果を加えるというニーズも存在する．固定機器であれば，それぞれのレートに対応した DA コンバータでアナログ信号に変換し，アナログ領域で編集して再生することも可能である．しかし，携帯機器の場合，機体の大きさや消費電力に厳しい制限があり，各レートに対応した DA コンバータを搭載することはできない．そのため，デジタル領域で編集し，これを 1 つの DA コンバータでアナログ出力する．

たとえば，携帯電話に搭載されているオーディオ LSI の場合，図 1.1 に示すように，4-48[kHz] のレートの，1) 携帯電話各社規定の音楽データや音声ガイダンス，2) ユーザがダウンロードした楽曲/着信音データ，さらには 3) マイクで取り込んで AD 変換した外部音声データ，という 3 つの音源ソースを，32[kHz] のレートに変換・統一したのち，編集している [4]．

この，レートの変換を担うデバイスが，サンプリング・レート・コンバータ (**Sampling Rate Converter : SRC**) である．

なお，SRC はこの例に挙げた携帯再生機への応用だけでなく，高級再生機にも用いられる．また，プロフェッショナル・サウンドにおけるデジタル・ミキサや，近年ではパーソナル・コンピュータ向けのサウンド・カードにも搭載されている．

しかし，どんなに精度のよいものを使っても，必ずしも入力データの原信号と出力データを DA 変換した信号が一致するとは限らない．この理由の 1 つは，レート変換の精度

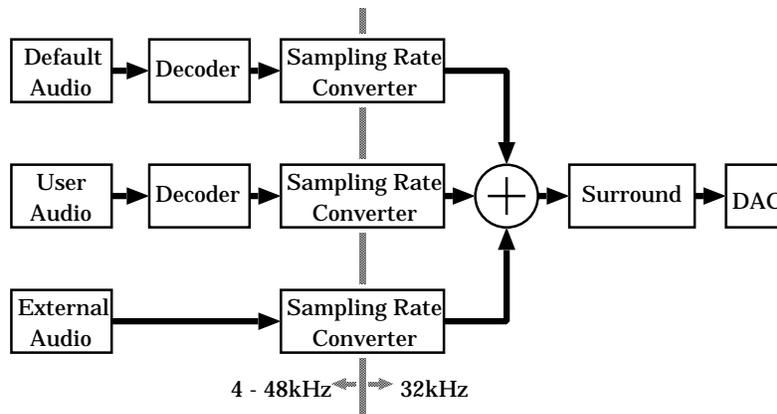


図 1.1 携帯電話のオーディオ再生

によるもので、出力データに少なからず誤差が含まれているためである。そして、もう一つ、DA 変換クロックの問題がある。

1.1.3 PLL

デジタル・システムのクロックの生成には、一般に PLL(Phase Locked Loop)[5] が用いられる。

PLL とは、参照入力信号の位相・周波数に出力信号が同期するように動作するフィードバック制御系で、図 1.2 に示すように、位相比較器 (Phase Detector : PD)、ループフィルタ (Loop Filter : LF)、電圧制御発振器 (Voltage Controlled Oscillator : VCO) で構成されている。PD で入力信号と出力信号の位相差を検出し、その差に応じたパルス信号を出力、LF でそれを平滑化し制御電圧として VCO に供給する。VCO は制御電圧に比例する発振回路で、入/出力信号間の位相差がなくなるように制御される。

また、分周器 (DIVided-by-X counter : DIV) を入力段や VCO から PD へのフィードバック・ループに挿入することで、入出力信号周波数比を操作することができる*¹。

PLL は、デジタル・オーディオ分野では各処理部のクロックや S/PDIF 出力の同期信号の生成、さらにはディスク・メディアの回転制御にも使われ、また他にも多くの応用分野があり、高精細光学式記録装置における書き込みクロックの盤面基準信号へのトラッキングにも使われる。

この PLL は、水晶発振器に比べてクロックの周波数安定度は低い、他のクロックに

*¹ PLL はこのような、「周波数シンセサイザ」として用いられることが多い。

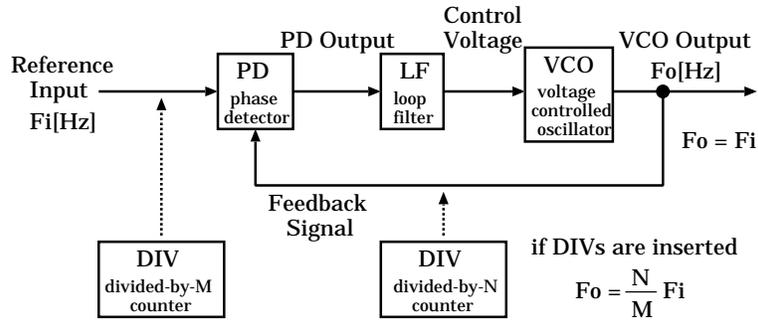


図 1.2 PLL/周波数シンセサイザのブロック図

同期して発振することができる。この性質は、オーバ・サンプリング方式の DA コンバータをデータ・レートの通倍周波数で駆動させて使うオーディオ分野 [4][6] では、必須となる。

しかし、PLL には発振周波数が時々刻々と変化する動的なノイズ、ジッタ (jitter) の問題がある。このジッタが発生すると、データは、振幅軸方向に変化することはないが、時間軸方向にずれる。このずれの生じたクロックに同期してデータの DA 変換が行われると、図 1.3 に示すように、出力されるアナログ信号に歪が生じる [2][6]。

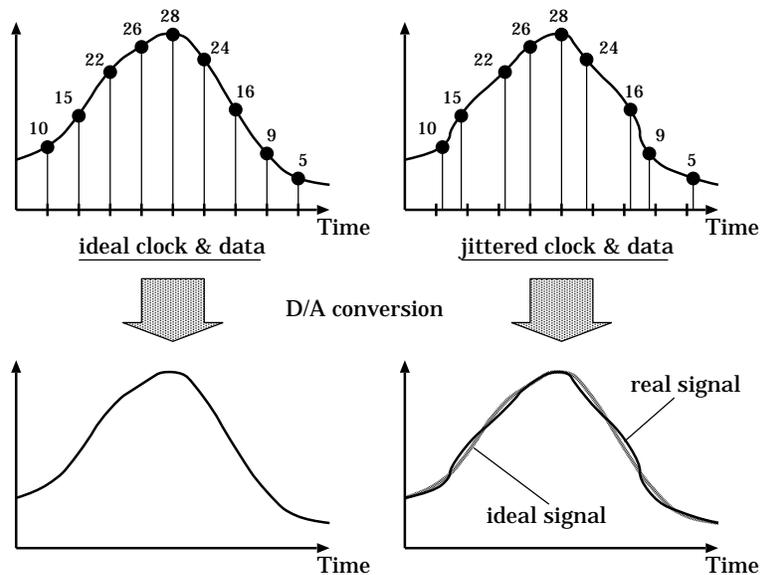


図 1.3 時間軸歪により発生した振幅軸歪

したがって、レート変換という、デジタル領域におけるデータ変換をどれだけ高精度

に行ったとしても、デジタル領域からアナログ領域へのデータ変換の際に、予期しない歪が現れることになる。このように、時間軸歪に起因する振幅歪は、SRC や DA コンバータの性能に表すことのできない、外的要因によるものであり、盲点となりやすい。

1.1.4 高品質デジタル・オーディオの要件

以上のことをまとめると、品質の高いオーディオには、デジタルだから劣化はない、と油断せず

- 振幅軸歪：デジタル領域におけるデータ変換の際に発生する歪
- 時間軸歪：回路の駆動クロックに起因した、デジタルからアナログへのデータ変換精度の低下につながる歪

を如何に抑えるかが、鍵となるといえる。

また、付録 B で述べるように、デジタル値 (振幅軸の値) を時間軸で表す、もしくはその逆の操作を施す処理に、現在注目が集まっており、ますますこれらの歪の低減が重要になってきている。

1.2 既存の方式とその問題点

1.2.1 振幅軸歪・SRC

SRC の用途には、前述のレートの統一の他に、レートの異なるデジタル機器間でリアルタイムにデータを交換する際にも使われる [7]。このレート変換は、離散な入力信号をもとに、何らかの方式を用いてサンプル点上にないデータ、もしくは元となる連続信号を推定/補間し、これを所定のタイミングで再サンプリングすることで実現される。そのため、変換精度は用いる補間方式に大きく依存することになる。

補間方式には、大別して、数学的に補間信号を求める時間領域型補間法とフィルタを用いる周波数領域型補間法がある。

時間領域補間法 何点かの入力データから補間信号を数学的に求める方式で、ラグランジュ関数やスプライン曲線などの曲線関数で近似する方式がある。また、入力信号を 0 挿入オーバ・サンプリング (Over Sampling, 以下 OS) し、それを DFT 解析して高周波成分を除去し、その結果を元に sinc 関数で補間する、周波数領域操作を時間領域で行う Sinc 補間方式も提案されている [8][9]。

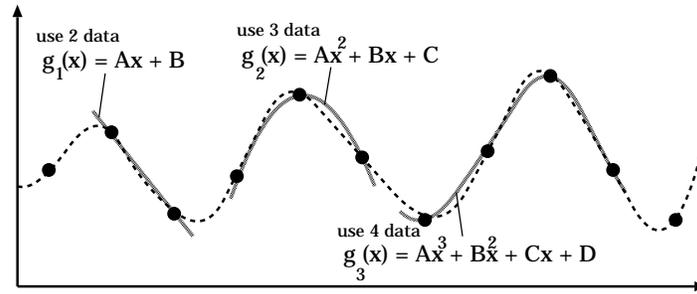


図 1.4 時間領域補間法の例：ラグランジュ補間

最も単純で、ハードウェア実現が容易な方式は、1次ラグランジュ/線形関数補間方式である。ただし、この方式は変換精度が十分とは言えず、後述の周波数領域補間法と組み合わせて使われることが多い。

また、先に述べた曲線補間や Sinc 補間の場合、線形補間に比べ、高い精度が得られる半面、複雑な乗/除算を用いるため計算時間が数倍から数十倍になることが報告されている [10]。また、ハードウェア実現の際に、回路規模が膨大となり消費電力も大きいことが予想される。したがって、これらの補間法は、冒頭に述べた携帯機器での利用には不向きで、汎用プロセッサが搭載された計算機における非リアルタイム・レート変換に用いられる。

周波数領域補間法 フィルタを用いた周波数領域型である。これは原信号を OS・平滑化し、所定のタイミングで近傍の値を再サンプルする方式である。近年では、入/出力レートに応じて動的に適切なフィルタ係数を切り替えるもの [11] が製品化され、また、サンプリング定理と窓関数を組み合わせた補間法 [12] や比較的小規模で実現できる Farrow フィルタを用いたもの [13][14] 等が新たに研究されている。

しかし、これらの周波数領域型の方式で高い補間精度が得られる半面、そのためにはフィルタの係数とその乗算器が多数必要になり、回路規模が膨大になってしまう。さらに、OS による高速動作を行うため、消費電力も高い。したがって、固定の高級オーディオ機器等に用いられる。また、フィルタの回路規模縮小のために、後段に時間領域補間方式の SRC を使うものもある。ただし、この場合、高速に動作できることが条件となるため、線形補間のような計算時間が短いものでないと利用するのは難しい。

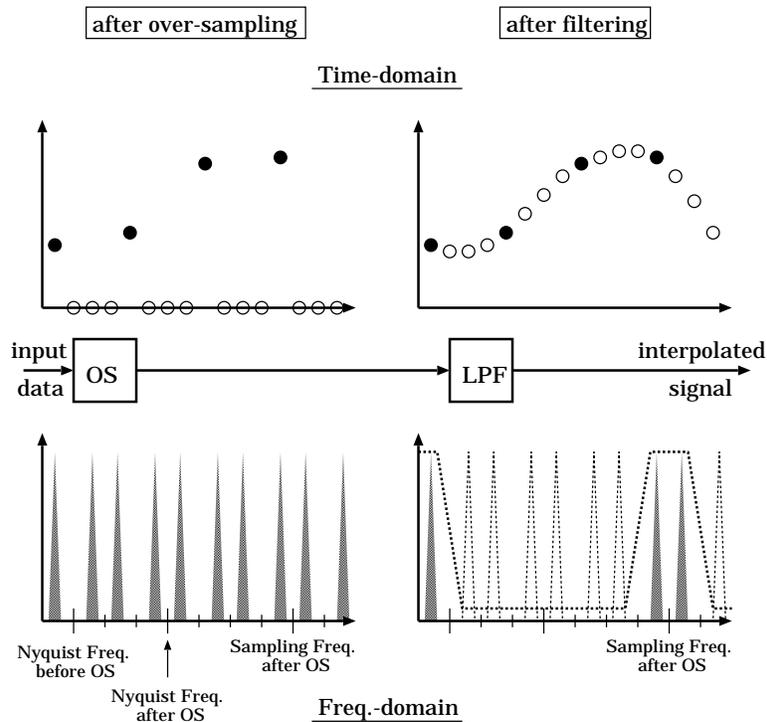


図 1.5 周波数領域補間法の基本原理

1.2.2 時間軸歪・PLL

PLL ジッタに関する研究 時間軸歪ジッタが DA 変換の際に悪影響を与えることは、過去、様々な形で報告されている。

実際に、ジッタにより歪んだオーディオ信号を試聴し、どの程度の大きさのジッタで人間が音質の劣化を検知できるかを調査した報告がある [15]。我々も同様の試験を、ジッタの大きさだけでなくジッタ・パタンの影響も加味して検証し、実際に音質が低下していることを確認した [16]。また、各種 DA コンバータに対するジッタの影響についての報告 [6]、ジッタにより変調で発生するノイズを調査した報告もある [17][18]。

また、ジッタ自体の評価に関する研究も行われており、PLL で発生するジッタを計算機シミュレーションにより解析する方法やその結果 [19]-[21]、1 チップでジッタの測定を行う回路 [22] などが提案、報告されている。

このジッタを低減するために、PLL を構成する基本要素の MOS やゲート、能動素子の配置を変える、補正回路を加えて個々の動作特性に変化をもたらすなど、様々な手法が提

案されている [23]-[25] .

位相差検出回数と PLL ジッタ ジッタ低減の手法の中で、PLL の位相差検出回数に関する研究に注目した .

PLL は基本的に、参照入力信号と内蔵発振器からのフィードバック信号の立上りのタイミングのずれから位相差を検出する . つまり、入力/フィードバック信号の 1 周期に 1 回、位相を比較する . そして、この比較情報を元に、発振器を参照信号に同期させる .

これに対し、PLL において参照信号周波数の有理数倍で内蔵発振器を発振させる際に、このサンプリング回数を維持する *Fractional-N PLL*[26]-[28] がある .

1.1.3 節で述べた周波数シンセサイザにおいて、有理数倍の周波数を得る際に、位相比較の前で入力信号の周波数を落とすことから、通常、入力信号の 1 周期当たりの位相のサンプリング回数が 1 回以下になる . これに対し、*Fractional-N PLL* では、フィードバック・ループ側の分周器で有理数比の分周を施す処理を行い、入力信号側の分周器を取り除き、サンプリング周波数を入力信号周波数に維持する . その結果、通常の周波数シンセサイザよりも位相誤差の検出回数が増え、内蔵発振器のジッタを素早く修正できる . 但し、目的はあくまで位相のサンプリング回数の維持であり、その向上ではない .

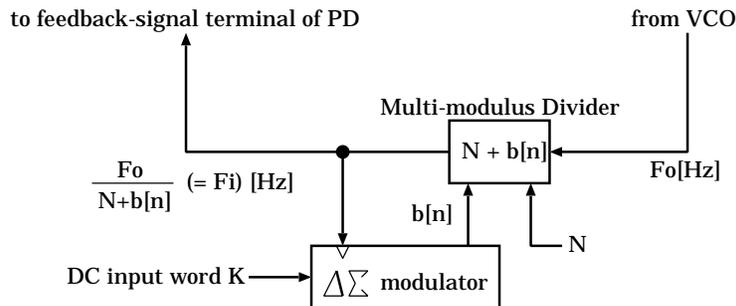


図 1.6 Fractional-N PLL

対して、サンプリング回数を向上させる手法 [29] がある . これは、参照信号とフィードバック信号の立上りだけでなく、立下りでも両者の位相を比較することで、倍のサンプリング回数を実現する . ただし、この手法の場合、両信号の Duty 比が 50% でなければならぬため汎用性がなく、また、たかだか 2 倍の回数向上しか見込めない .

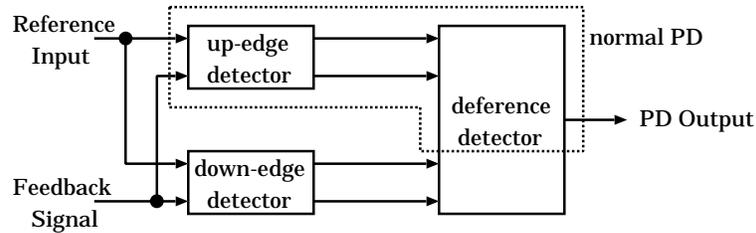


図 1.7 立上り/立下り位相検出器

1.3 本研究の視点

本研究では、高品質デジタル・オーディオ実現のために、レート変換の際に発生する振幅軸歪と DA 変換精度に影響を及ぼす時間軸歪の低減に取り組む。

前者に関しては、離散フーリエ変換 (Discrete Fourier Transform : DFT) とフーリエ級数を利用した、時間領域フーリエ補間方式を提案する [30]-[33]。この提案方式は、曲線補間に分類される補間法であるにもかかわらず、複雑な乗/除算を一切用いず、単純な加減算のみを行っている。そのため、計算時間が短くリアルタイム・レート変換に利用でき、他の曲線補間方式や周波数領域補間法よりも小さな回路規模で実現でき、低消費電力が予想される。そして、その変換精度であるが、線形補間よりも精度が高く 2 次ラグランジュ補間に近い性能が得られる。特に、周波数の低い信号に対しては高い補間精度が得られ、それほどの性能が要求されない PC 内蔵機能および低周波成分で十分な音声処理への応用が考えられる。特に携帯機器においては、小規模回路による小型・低消費電力という特徴が最大限に活きる。また、高速に動作できることから、周波数領域型 SRC との併用も考えられ、高級オーディオに応用することも可能である。

また、後者に関しては、位相補間法を利用した OS 位相比較器 (Over-Sampling Phase Detector : OSPD) を提案 [34]-[39]、PLL に適用し、低減を図る。これは、PD 内で、高速クロックとそれに同期したデジタル・カウンタを用いて参照入力信号の位相を補間し、その位相情報をもとにフィードバック信号との位相を比較する方法である。先に挙げた [29] のようなサンプリング回数の上限はなく、また、信号形状への依存がないため、汎用性も高い。この OSPD を PLL に適用した結果、従来の PLL よりも良好なジッタ特性が得られ、さらに PLL 系の速応性が向上し、ロック時間が短縮された。また、動作方式や回路構成を見直すことで、より高い位相補間精度が得られ、さらなるジッタ特性の改善が見込まれ、オーディオ品質の向上に有効であると考えられる。

1.4 本論文の構成

本論文の構成を以下に述べる。

大きく別けて、2章で振幅軸歪改善のためのフーリエ補間 SRC について、3章で時間軸歪改善のための OSPD を使った PLL について述べ、4章で結論と今後の展望を述べる。

2章の構成は、まず、2.1節で提案するフーリエ補間方式の原理と、トレンド除去法による変換精度改善について述べる。また、それぞれ、Cシミュレーション・FFTスペクトル解析による性能評価も示す。

次の2.2節では、VHDL記述したフーリエ補間 SRC の回路構成と実装評価を行った結果を示す。また、同時に回路規模についても、同性能の周波数領域型 SRC と比較してふれ、本補間方式の有効性を証明する。

2.3節では、フーリエ補間方式のさらなる精度改善と回路規模縮小を図る。性能改善の結果を、Cシミュレーション、実装評価の両方で確認する。さらに、回路規模について、縮小化前後と同性能の周波数領域型 SRC を比較し、この改善法適用によるメリットを示す。

また、2.4節では、フーリエ補間型 SRC と周波数領域型 SRC とを組み合わせた、ハイブリッド SRC を提案し、Cシミュレーションによる性能評価から、高級オーディオにも適用できる性能が得られることを述べる。回路規模に関しては、周波数領域型 SRC 単体、線形補間 SRC と周波数領域型 SRC のハイブリッド SRC と回路規模を比較し、提案するハイブリッド SRC が効率的に実現されていることを示す。

次に、3章では、3.1節で PLL の基本原理を説明する。

そして、3.2節では、提案する位相補間法を用いた OSPD の原理、回路構成について述べる。また、これを PLL に適用し、測定したジッタ特性と周波数ステップ応答から、提案した OSPD によるジッタ低減効果と得られた速応性を示す。

3.3節では、位相補間精度を向上させる1つの手段として行った、位相補間回路の信号伝搬遅延の削減による回路の高速化に関して、補間法の改良とその効果について述べる。

4章では、4.1節で、本研究で得られた成果についてまとめる。

4.2節では、SRCにおける振幅軸歪の改善の今後の課題として、ハードウェア実現上の問題である非同期問題やその他の性能向上のための課題を挙げる。また、PLLにおける時間軸歪の改善の今後の課題として、新たに提案した時間-デジタル値変換技術を使った位相補間法の補間精度改善とその課題や、その他の PLL 制御系の特性改善のための課題を示す。

第 2 章

SRC における振幅軸歪の改善

デジタル機器は機器毎に固有のサンプリング・レートを有しており、そのため、レート異なる機器間でリアルタイムにデータを交換する際には、レート変換を行うためのデバイスである、SRC が必要になる。このレート変換は、離散な入力信号をもとに、何らかの方式を用いてサンプル点上にないデータ、もしくは元となる連続時間信号を推定/補間し、これを所定のタイミングで再サンプリングすることで実現される。

現在主流の補間方式は、フィルタを用いた周波数領域型である。これは原信号を OS・平滑化し、所定のタイミングで近傍の値を再サンプルする方式である。しかし、この周波数領域型の方式で高い補間精度を得るためには、一般に FIR フィルタで実現するため^{*1}、フィルタの係数とその乗算器が多数必要になり、回路規模が膨大になってしまう。

本章では、回路規模の小さい時間領域型補間方式である、フーリエ補間方式を提案、振幅軸歪を改善し、LSI 実装による回路規模評価と性能評価を行う。

また、ハイ・エンド・オーディオ機器への応用が可能な、従来の周波数領域型補間方式を併用した高精度 SRC も検討する。

^{*1} IIR フィルタによる実現は、回路規模は小さくてすむが、直線位相特性が得られないために波形が歪むという問題があり、利用されない。

2.1 フーリエ補間方式

2.1.1 原理

フーリエ補間方式では、まず式 (2.1) に示す DFT 処理により、取り込んだ離散時間入力信号 $\tilde{x}(n)$ からそのスペクトル $\tilde{X}(k)$ を求める。

$$\tilde{X}(k) = \frac{1}{N} \sum_{n=0}^{N-1} \tilde{x}(n) \exp\left(-j\frac{2\pi nk}{N}\right) \quad (2.1)$$

そして、式 (2.2) に示すフーリエ級数のフーリエ係数 C_n の代わりに DFT で求めたスペクトル $\tilde{X}(k)$ を用いることで、連続時間信号 (補間信号) $x(t)$ を推定する。

$$x(t) = \sum_{n=0}^{\infty} \left(\Re(C_n) \cos \frac{2\pi nt}{T} + \Im(C_n) \sin \frac{2\pi nt}{T} \right) \quad (2.2)$$

$$C_n = \frac{1}{T} \int_0^T x(t) \exp\left(-j\frac{2\pi nt}{T}\right) dt$$

サンプリング・レート変換は、 $x(t)$ から任意のタイミングで再サンプリングすることで実現できる。図 2.1 は、このレート変換処理の概要を示している。

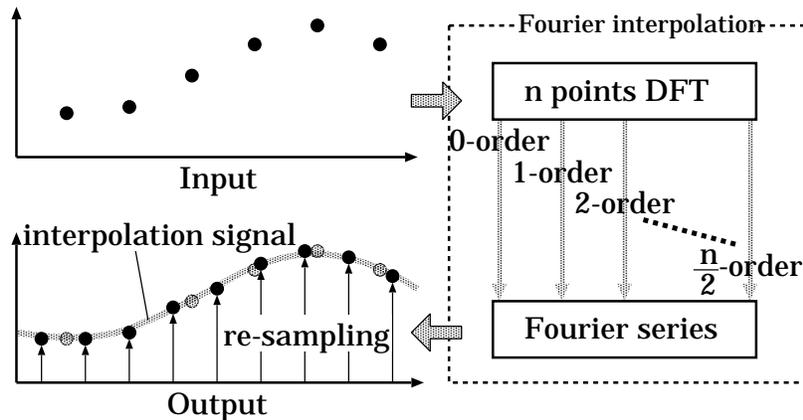


図 2.1 フーリエ補間の概念図

2.1.2 シミュレーション

フーリエ補間シミュレーションを単一正弦波と複合波を対象に行った。なお、他の節で行うシミュレーションは本節と同じ条件で行われている。

単一正弦波入力シミュレーション 正弦波信号 1[kHz] に対する、4 点 DFT を用いたフーリエ補間アルゴリズムによるレート変換の C シミュレーション・スペクトル解析結果を図 2.2(a) に示す。なお、シミュレーションとスペクトル解析は以下の条件で行っている。

- 入力信号の振幅は 2^{19} の 32bit 整数型
- 入/出力サンプリング・レートは 44.1/48[kHz]
- スペクトル解析の FFT のデータ長は 32767(= 2^{15})、窓関数にはブラックマン・ハリス窓を使用

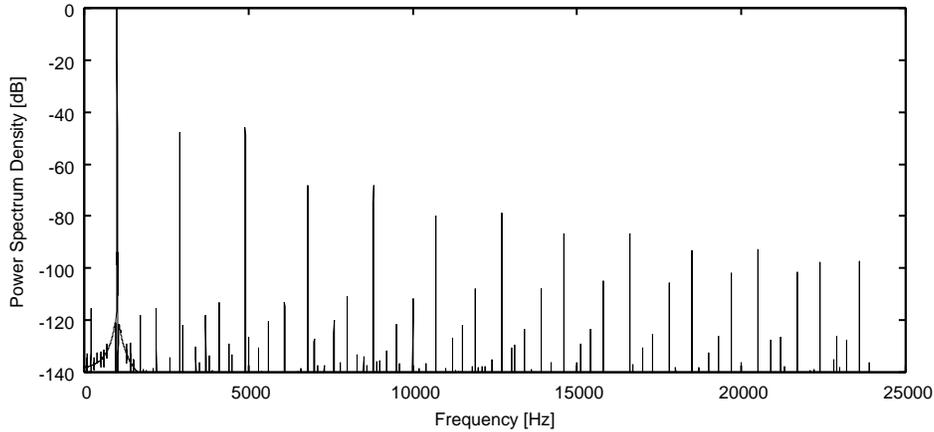
このように、入力信号周波数である 1[kHz] の成分が最も強く検出されていることから、フーリエ補間方式によるサンプリング・レート変換が行われているといえる。このときのレート変換に伴い発生したノイズ成分であるスプリアスのレベルは、3 および 5[kHz] あたりに出ている -46[dB] であった。

上記はデータ点数が 4 というごく少ない情報からのレート変換を行ったが、フーリエ補間方式では、より多くのデータを利用すると精度が上がる。図 2.2(b) は、様々な周波数の正弦波信号に対して、4, 8, 16, 32, 64 点と DFT の点数を変えた場合のフーリエ補間によるレート変換シミュレーション・スペクトル解析を行い、発生したスプリアス・レベルをそれぞれプロットした結果である*2。なお、入/出力レートが 44.1/48[kHz] 以外でも同様の結果となる。

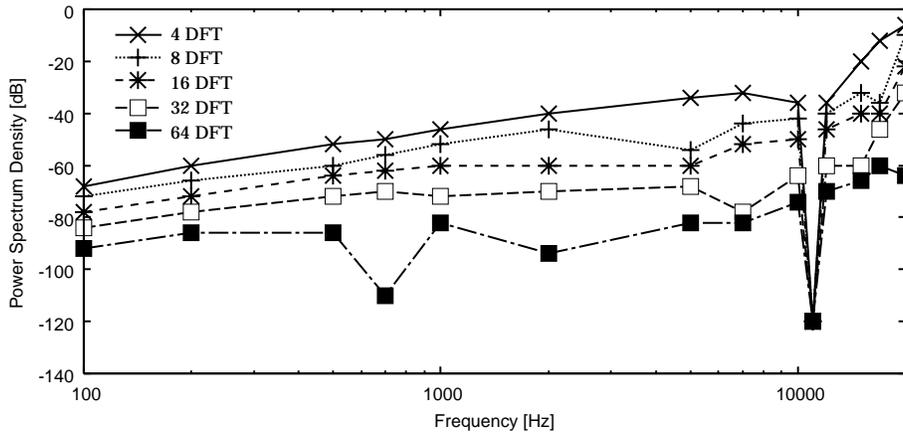
このように、DFT 点数が多ければ多いほど、どの周波数でもレート変換精度が向上する。しかし、DFT 点数が増えれば回路規模は増大するため、変換精度と回路規模との間にはトレード・オフの関係が生じる。

本稿では、回路規模の面で最も有利な 4 点 DFT によるフーリエ補間を用いることにする。

*2 11[kHz] の結果のように、非常に高精度のレート変換が行われる周波数がある。この場合、信号は実際に DFT で分解する成分のみで構成されており、完全な補間処理が行われ、ほとんど誤差が生じない。



(a) スペクトル解析結果 @ 1 [kHz]



(b) 信号周波数-ノイズ特性

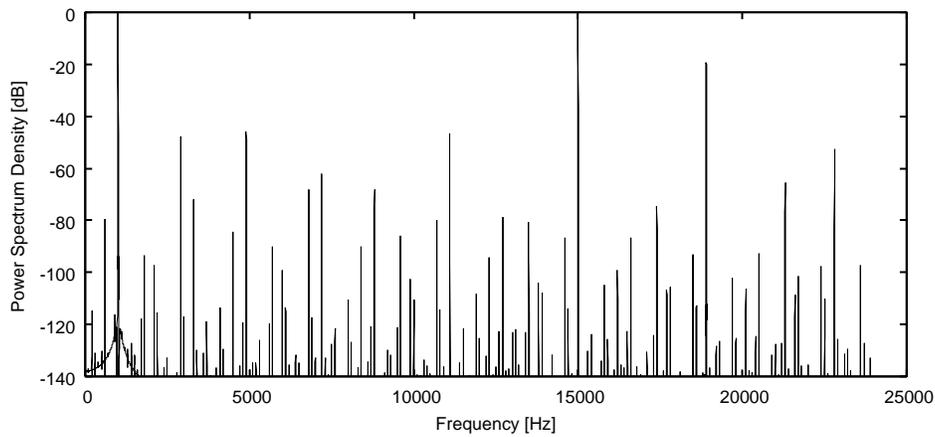
図 2.2 フーリエ補間の単一正弦波シミュレーション結果

複合波入力シミュレーション 複合波入力時の動作保証のため、以下の条件でシミュレーションを行った^{*3}。結果を図 2.3(a), (b) に示す。

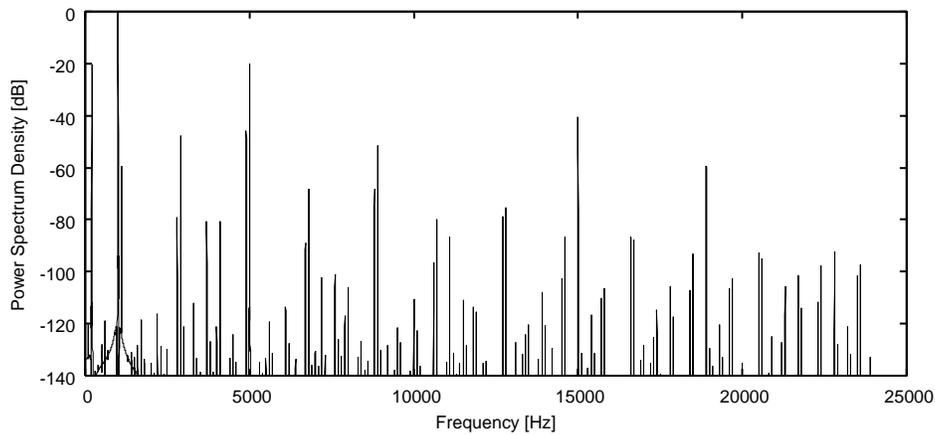
- (a) 2 信号の複合波で、振幅は 2^{19} の 32bit 整数型、周波数はそれぞれ 1, 15[kHz]
- (b) 4 信号の複合波で、周波数は 0.2, 1, 5, 15[kHz]、振幅は 1[kHz] の 2^{19} の 32bit 整

^{*3} 後述の複合波入力シミュレーションも同じ条件で行っている。

数型を基準に ,0.2[kHz] と 5[kHz] の成分はその 1/10 ,15[kHz] の成分はその 1/100



(a) スペクトル解析結果 @ 複合波 (2)



(b) スペクトル解析結果 @ 複合波 (4)

図 2.3 フーリエ補間の複合波シミュレーション結果

図 2.3(a) においては, 入力信号周波数の 1[kHz] と 15[kHz] の成分が最も強く検出されており, 正しくレート変換ができたといえる. また, このときのスプリース・レベルは, 19[kHz] あたりに出ている -20[dB] で, これは 15[kHz] の単一正弦波入力時と同じ結果である.

また，図 2.3(b) においては，それぞれの信号成分が振幅の比を反映し，1[kHz] の成分に対して 0.2[kHz] と 5[kHz] の成分が-20[dB]，15[kHz] の成分が-40[dB] と，正しく検出されている．そして，この場合のスプリアス・レベルは，3[kHz] および 5[kHz] あたりに出ている-46[dB] である．図 2.2(b) において，各主成分を単一で入力した場合のスプリアス・レベルにそれぞれゲインを加味して比較すると，1[kHz] 入力時の-46[dB] が最も高く，それが反映された結果といえる．

2.1.3 トレンド除去法による補間精度改善

1[kHz] のレート変換精度が-46[dB] では，十分ではない応用もある．そこで，精度改善のための前処理として，トレンド除去法 (**Trend Removal method**) を提案する．

フーリエ補間のスプリアス発生の要因

図 2.4 に，1[kHz] の正弦波信号をフーリエ補間して得られる補間信号と原信号の誤差を示す．なお，図は正弦波入力 1 周期分で，左端が 0[rad] に相当する．この図から，原信号が 1 次関数的な傾きを含むときに両者の差が大きくなっていることがわかる．

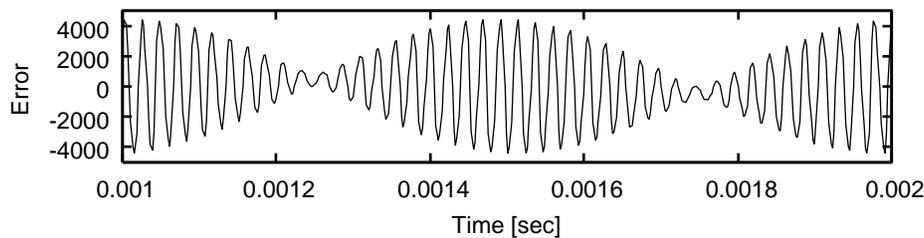


図 2.4 正弦波 1 サイクル当たりの補間信号の誤差

この誤差の発生の原因は DFT の原理にある．DFT は，図 2.5 に示すように，対象とするデータが周期的に続くものとして扱い，スペクトルを求める．そのため，傾きをもったデータが対象となった場合，DFT において鋸状の波形のスペクトルが求められ，これを利用して生成された補間信号には図中の *error* のような原信号にない誤差が生じることになる．

トレンド除去法

前述の問題を解決する方法として，鋸を平らにするトレンド除去法を提案する．

このトレンド除去法は，図 2.6 に示すように，DFT の前に対象とするデータに含まれる

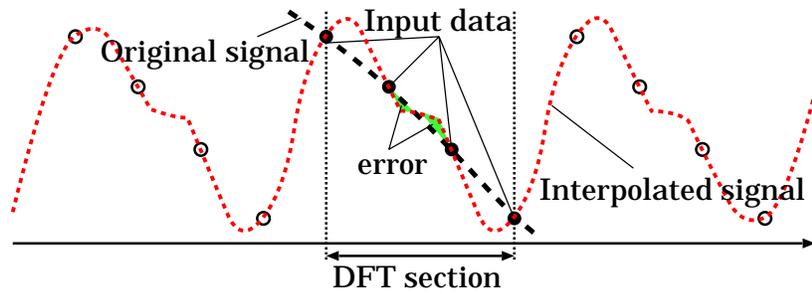


図 2.5 線形な信号に対する補間信号の歪

1 次関数成分，つまり傾き成分をあらかじめ除去しておき，フーリエ補間後にその成分を加算する方法である．

フーリエ補間では傾き成分のないデータを対象とすることになるため，これまでのような誤差が抑えられ，原信号に近い補間信号を生成することができるようになる．

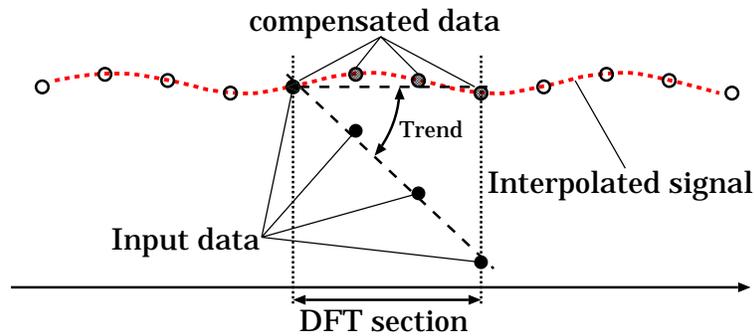
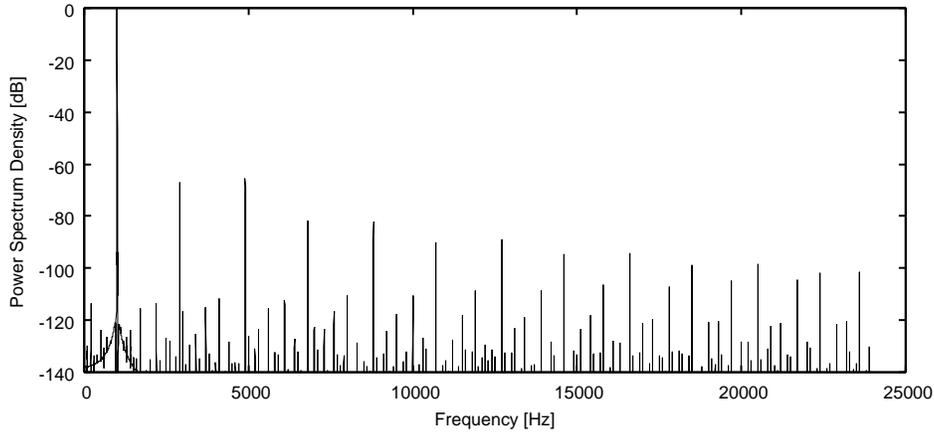


図 2.6 トレンド除去型フーリエ補間

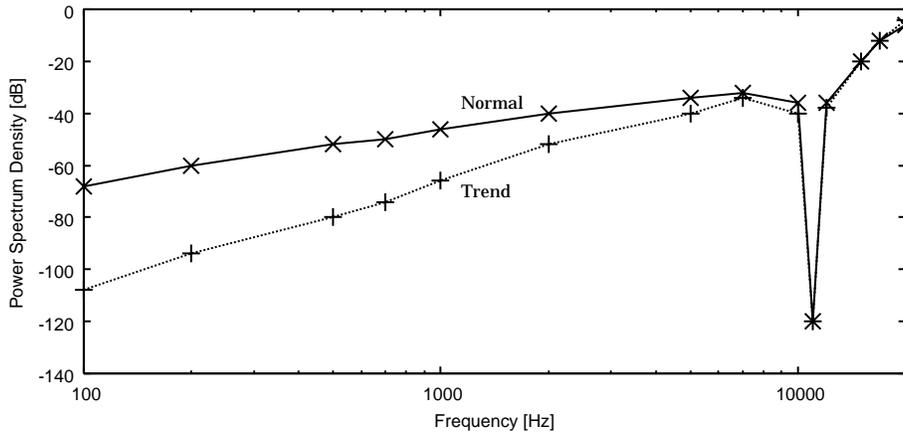
また，この傾きの簡易な算出方法として，データの始点である 1 点目と DFT の対象外の 5 点目を結ぶ直線を利用する．この方法は，最小二乗法のような数学的に厳密に傾きを求める手法とほぼ同じ性能でありながら，各点の傾きの導出が加算と bit シフトだけで実現できるため，回路コストが小さくてすむ．

シミュレーション

トレンド除去を適用したフーリエ補間によるレート変換シミュレーション・スペクトル解析結果を図 2.7(a)，図 2.8(a)，(b) に，周波数-スプリアス特性を図 2.7(b)(前処理なし：*Normal*，トレンド除去法適用：*Trend*) に示す．



(a) スペクトル解析結果 @ 1 [kHz]

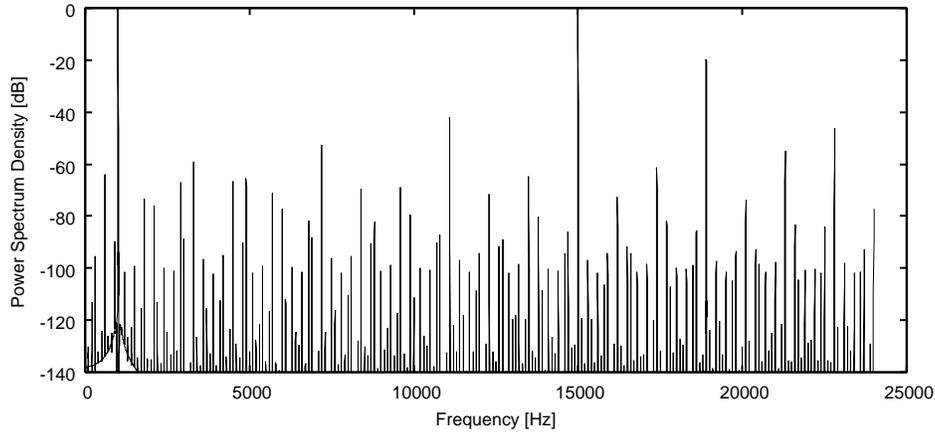


(b) 周波数-ノイズ特性

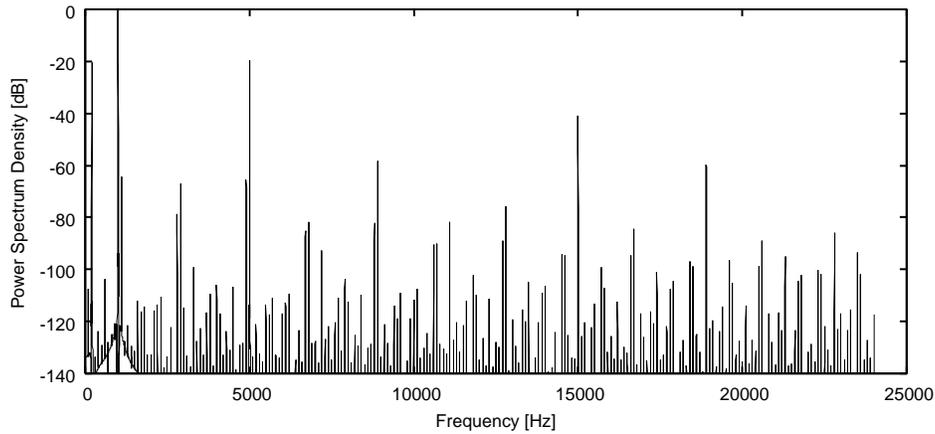
図 2.7 トレンド除去型フーリエ補間の単一正弦波シミュレーション結果

図 2.7(a) から，入力信号周波数 1[kHz] に対し，トレンド除去法を適用した場合のレート変換では，スプリアスが適用前より 20[dB] 改善され，-66[dB] となったことがわかる．また，図 2.7(b) からは，特に低周波領域において大きく改善されていることも確認できる．

複合波入力の場合(図 2.8(a), (b)) も，適用前と同様に，入力に対してほぼ線形な関係が成り立っているといえる．すなわち，トレンド除去法で改善できない高域信号入力時に生じるスプリアスが支配的になり，(a) では，スプリアス・レベルは 19[kHz] あたりに出



(a) スペクトル解析結果 @ 複合波 (2)



(b) スペクトル解析結果 @ 複合波 (4)

図 2.8 トレンド除去型フーリエ補間の複合波シミュレーション結果

ている-20[dB] と変わらない。また，(b) では，9[kHz] もしくは 19[kHz] あたりに出ている-60[dB] となる。

2.2 フーリエ補間 SRC の LSI 実装

提案したフーリエ補間アルゴリズムを利用した SRC を VHDL 言語で記述し，LSI の一形態である FPGA(Field Programable Gate Aray) に実装・特性解析を行った。

2.2.1 回路構成

図 2.9 にフーリエ補間 SRC の回路構成を示す。

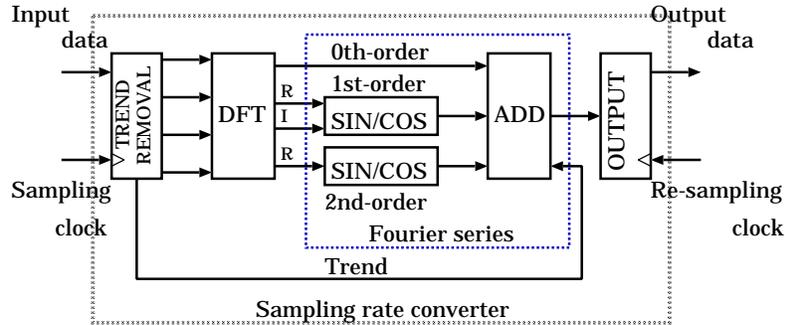


図 2.9 フーリエ補間 SRC の回路構成

フーリエ補間 SRC は、2.1.3 節のトレンド除去を行うトレンド除去回路 (*TREND REMOVAL*)、図 2.1 の DFT 部 (*n points DFT*) に対応する DFT 回路 (*DFT*)、フーリエ級数部 (*Fourier series*) に対応する正弦波生成器 (*SIN/COS*) と加算器 (*ADD*)、そして出力部 (*OUTPUT*) で構成されている。

各部の動作は、まずトレンド除去回路で 5 つの入力データを保持・順次シフトし、加算器にデータのトレンド値を、DFT 回路にはトレンドを除去した 4 つのデータを出力する。

DFT 回路は、4 点データのため、入力されたデータから単純な加減算のみで 0 次、1 次、2 次成分のスペクトルをそれぞれ求めることができ、0 次成分は直接加算器へ、1 次、2 次成分は正弦波生成器へと渡す。

そして正弦波生成器では、スペクトル入力 (実部 R 、虚部 I) から $R \cos \phi + I \sin \phi$ を生成する。これは、下の差分方程式で表されるシステム、すなわち係数器と加算器、レジスタのみで簡単に実現できる。

$$\begin{bmatrix} R(n+1) \\ I(n+1) \end{bmatrix} = \begin{bmatrix} 1-\delta & -k \\ k & 1-\delta \end{bmatrix} \begin{bmatrix} R(n) \\ I(n) \end{bmatrix} \quad (2.3)$$

最後に各周波数成分とトレンド除去回路で求めたトレンドを加算器で合成し、これを補間信号とする。

レート変換は、出力部においてこの生成された補間信号を、目的の周波数で再サンプリングすることにより実現される。

2.2.2 FPGA 実装

フーリエ補間 SRC を FPGA に実装し、出力信号のスペクトル解析と回路規模の測定を行った。

スペクトル解析結果

図 2.10 は正弦波信号 1[kHz] を入力したときのフーリエ補間 SRC 出力のスペクトル解析結果と SRC の周波数-スプリアス特性である。なお、CD からのデータを入力として用いたため、2.1.2 節で示した条件とは、信号振幅が 2^{15} である点が異なる。

図 2.7 の C シミュレーション結果と比べると、実装の際の計算の近似や丸め誤差、入力データの振幅の違いなどから若干ノイズ・フロアが上昇しているが、スプリアス・レベルは約-66[dB] と C シミュレーション結果と一致する。また、他の条件でもほぼシミュレーション通りの結果となった。

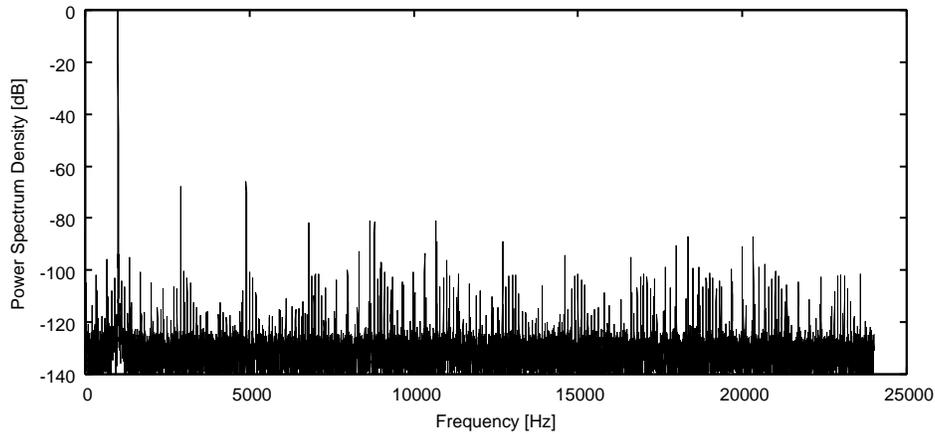
以上のことから、フーリエ補間 SRC が正しく実装されていることが確認できる。

回路規模

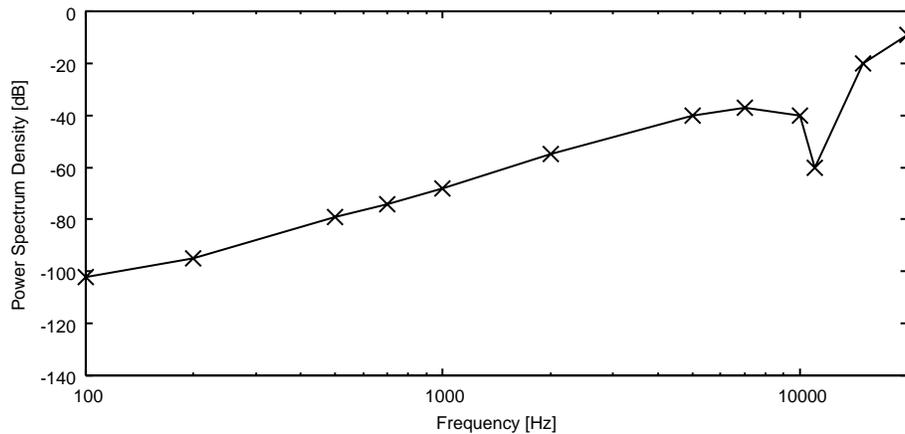
Altera 社の LSI 開発システムである QuartusII で FPGA 実装の際のフーリエ補間 SRC の回路規模を測定^{*4}したところ、2462LC(Logic Cell)であった。これに対して、このフーリエ補間 SRC に近い性能をもつフィルタ型 SRC の回路規模は、約 180000LC であった。

このことから、本稿で提案するフーリエ補間型 SRC は従来のフィルタ型 SRC の約 $\frac{1}{70}$ の規模で実現でき、目的である回路規模における優位性を確立できたといえる。

^{*4} 本論文で示す回路規模や動作周波数は、全てこのツールの論理合成結果を用いている。



(a) スペクトル解析結果 @ 1 [kHz]



(b) 信号周波数-ノイズ特性

図 2.10 フーリエ補間 SRC の実装結果

2.3 データ反転法による補間精度改善と回路規模の縮小

図 2.11 に示す，原信号とトレンド除去型フーリエ補間で生成した補間信号の誤差から，トレンド除去後もデータが緩やかな曲線を形成するときの誤差が大きいことがわかる．

本節では，この問題を解決して補間精度を向上させ，なおかつ回路規模の縮小化も実現する方法として，データ反転法 (**Data Inversion method**) を提案し，FPGA 実装までを

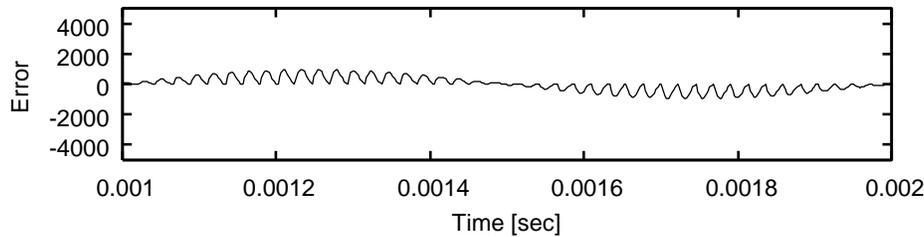


図 2.11 トレンド除去適用後の補間信号の誤差

行う。

2.3.1 データ反転法

原理

図 2.12 の左側のように緩やかな円弧状にデータが並んでいる場合、これに対してトレンド除去を適用するとデータの並びは右側ようになる。この並びは 4 点 DFT に対して「0.5 次の成分」とでも呼べるものを形成しており、この成分を 0, 1, 2 次成分のみで信号の推定を行うフーリエ補間で誤差が発生することが、図 2.11 の原因である。

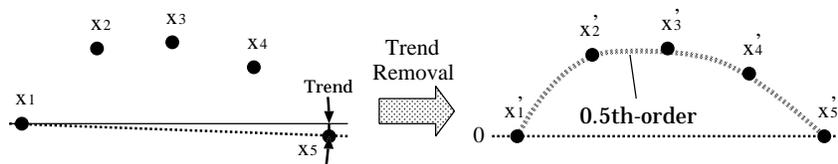


図 2.12 曲線状の信号に対する補間信号の歪

そこで、この問題を解決するために、データ反転法を提案する。この手法では、図 2.13 に示すように、図 2.12 右側の「0.5 次の成分」を形成するデータの後に各データの符号を反転させたデータを加える。この倍長のデータは、倍長の DFT(この場合、8 点 DFT) に対して「1 次の成分」を形成しており、平常長のフーリエ補間での「0.5 次の成分」と呼べるものの推定が可能となる。

この手法を使ったフーリエ補間の性能を C シミュレーションで確認した。図 2.14 に、この結果 (4 + 4 point DInv) と 4/8 点トレンド除去型フーリエ補間 (4 point Trend / 8 point Trend) とを併せて示す。

この結果から、低い信号周波数において、4 点データの符号を反転させて加えたデータ

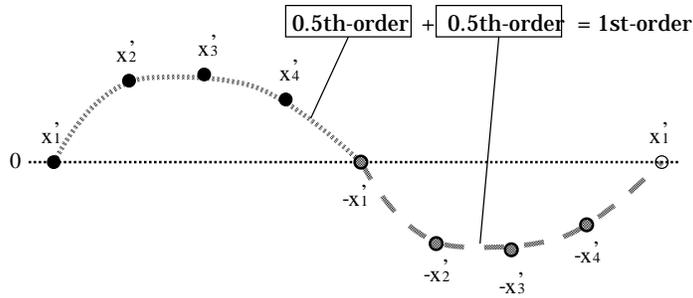


図 2.13 データ反転法 (4 点 + 4 点)

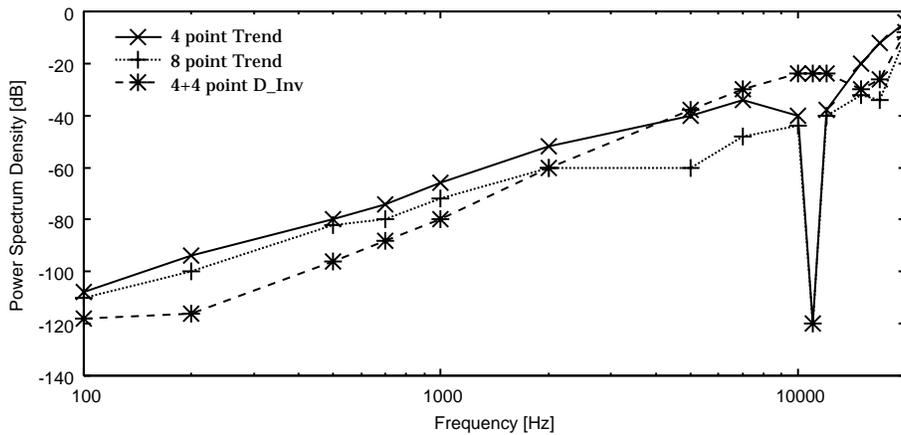


図 2.14 4 点トレンド除去法, 8 点トレンド除去法, データ反転法 (4 点 + 4 点) の信号周波数-ノイズ特性

反転型は, 元の 4 点を使うトレンド除去型に比べて補間精度が改善されていることがわかる^{*5}.

興味深いのは, 同じ 4 点のデータを反転させて 8 点としたのにもかかわらず, 正規の 8 点の情報を使ったトレンド除去型よりも補間精度が高いことである. このことから, フーリエ補間では十分に信号周波数が低い場合, 正規のデータのトレンドを除去して処理するよりも, その半分のデータでトレンド除去し符号を反転して処理した方が, 誤差の少ない補間信号が得られるといえる.

ただし, 図 2.13 のように 4 点トレンド除去型をベースにすると, フーリエ補間回路は 8 点を対象としたものになるため, 規模が大きくなってしまう. そこで, これまでと同様の

^{*5} データ反転法では原理上, 完全な補間処理は行われなくなる. よって図 2.2 やトレンド除去型で見られるような, 例外的に精度が高くなる周波数はない.

4 点フーリエ補間回路で実現するために，図 2.15 のように，2 点のトレンド除去型をベースとしたものをデータ反転型のフーリエ補間として扱う．

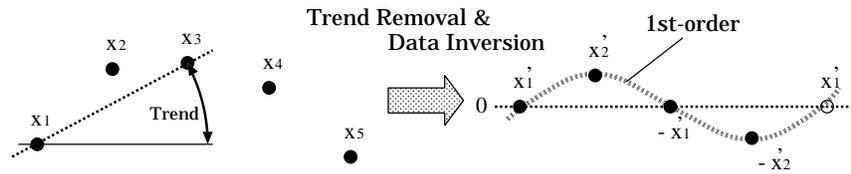


図 2.15 データ反転法 (2 点 + 2 点)

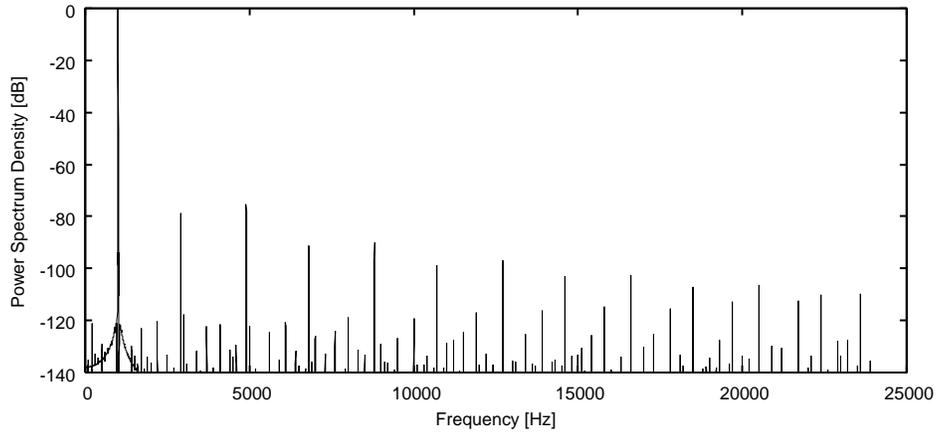
シミュレーション

このデータ反転型フーリエ補間によるレート変換シミュレーション・スペクトル解析結果を図 2.16(a) に，周波数-スプリアス特性を図 2.16(b)(トレンド除去：*Trend*，データ反転法：*DInv*) に示す．前述したように，正規のデータ数が半分であるにもかかわらず，データ反転法により補間精度が改善され，例えば入力信号周波数 1[kHz] では，トレンド除去法に比べてスプリアス・レベルが 10[dB] 改善されて -76[dB] となっている．また，図 2.2(b) と比べると，入力信号周波数 1[kHz] では 64 点 DFT を用いた前処理のないフーリエ補間とほぼ同等の性能であり，さらに低い周波数帯域においては，それ以上の性能を有することが確認できる．

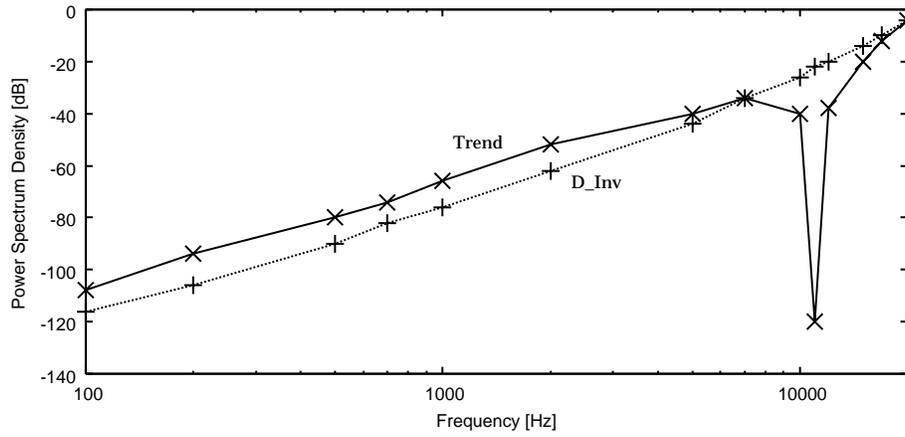
この処理は特殊なので複合波入力の場合が注目されるが，その場合 (図 2.17(a), (b)) も，これまでの 2 タイプと同様に，入力に対してほぼ線形な関係が成り立っているといえる．すなわち，データ反転法の適用により高域信号のレート変換精度が悪化したため，これに伴ってスプリアス・レベルは，(a) では 19[kHz] あたりに出ている -14[dB]，(b) も 19[kHz] あたりに出ている -54[dB] と悪化している．

以上のことから，フーリエ補間では非線形処理を行っているが，ほぼ線形な結果が得られ，複合波入力も問題なくレート変換できるといえる．

また，図 2.18 に，原信号とトレンド除去型フーリエ補間で生成した補間信号の誤差を示す．図 2.11 に比べ，曲線を形成するデータの補間精度が 3 倍に向上していることがわかる．

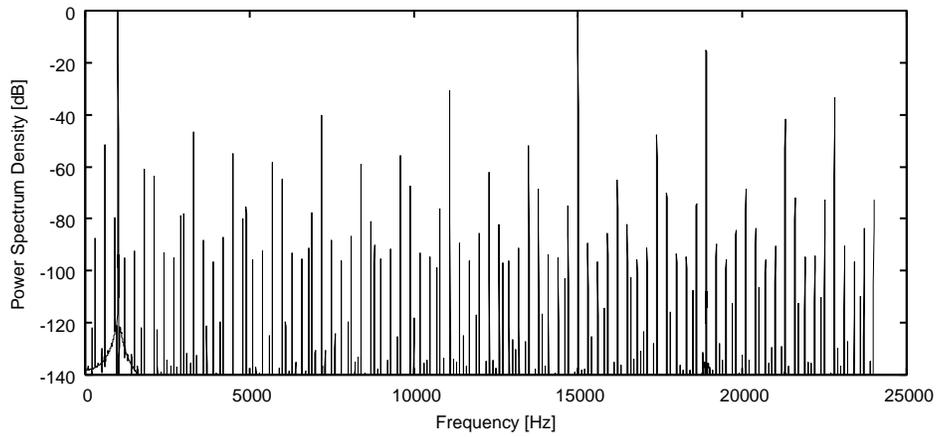


(a) スペクトル解析結果 @ 1 [kHz]

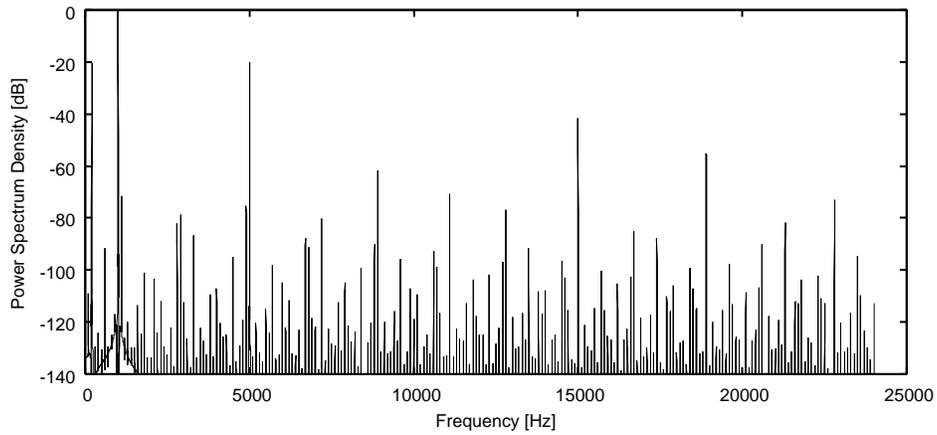


(b) 信号周波数-ノイズ特性

図 2.16 データ反転型フーリエ補間の単一正弦波シミュレーション結果



(a) スペクトル解析結果 @ 複合波 (2)



(b) スペクトル解析結果 @ 複合波 (4)

図 2.17 データ反転型フーリエ補間の複合波シミュレーション結果

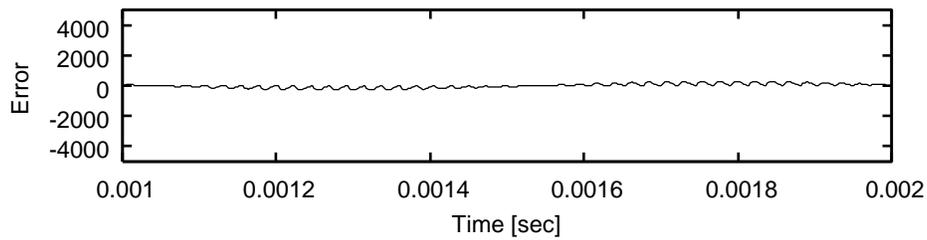


図 2.18 データ反転適用後の補間信号の誤差

2.3.2 データ反転型フーリエ補間 SRC の LSI 実装

回路構成

データ反転型のフーリエ補間回路を，図 2.9 のこれまでの回路と対比しやすいように表すと，図 2.19 のようになる。

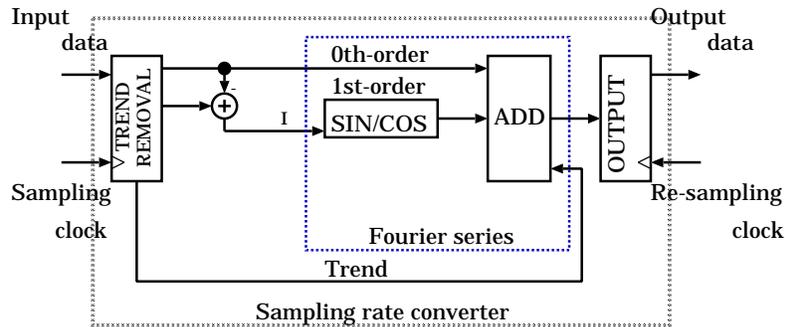


図 2.19 データ反転型フーリエ補間 SRC の回路構成

これまでの回路と比較すると，DFT 回路が加算器 1 個と置き換わり，2 次成分の正弦波生成器がなくなっている。これは，データ反転型の場合，図 2.15 からわかるように，データ反転処理後のデータは 0 次成分と 1 次成分のみで形成され，2 次成分を生成する必要がないためである。なお，正弦波生成器は，回路規模が約 1000LC と，フーリエ補間 SRC の構成モジュールの中で最も規模の大きいモジュールである。よって，これが 1 つ不要になる意味合いは大きい。

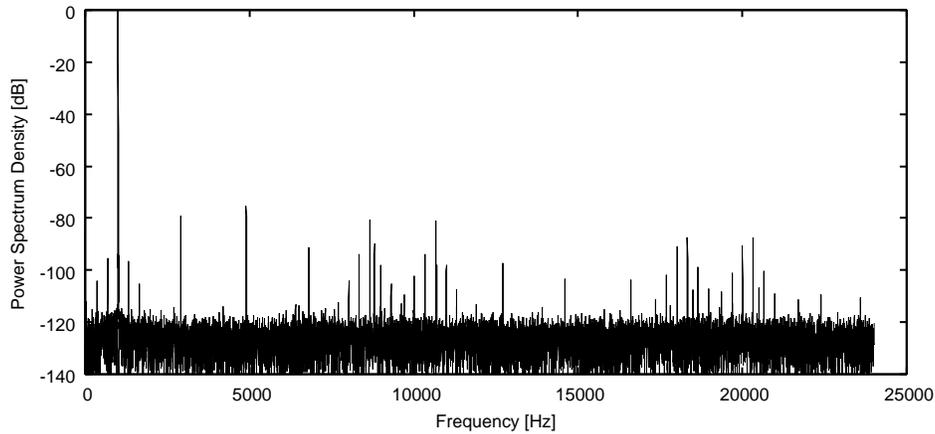
また，0 次成分のスペクトルは 1 点目の値であり，1 次成分のスペクトルは 2 点目と 1 点目の差である。したがって，1 点目のデータを直接加算器モジュールに，2 点目と 1 点目の差を 1 次成分の正弦波生成器に入力すればよく，回路はごく簡単になる。

FPGA 実装

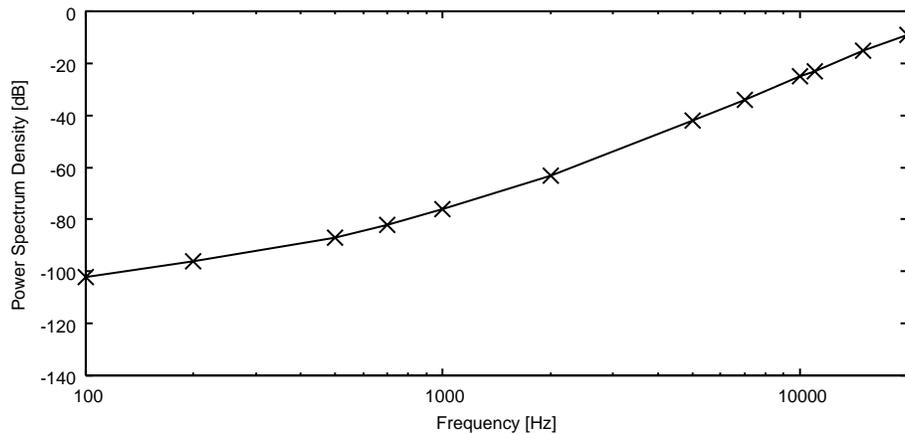
データ反転型フーリエ補間の回路規模を測定したところ，1208LC であった。これはトレンド除去型のフーリエ補間の約 $\frac{1}{2}$ ，従来のフィルタ型 SRC の約 $\frac{1}{150}$ の規模であり，非常に小さな回路で実現できているといえる。

また，図 2.20 は正弦波信号 1[kHz] を入力したときのデータ反転型フーリエ補間 SRC 出力のスペクトル解析結果と SRC の周波数-スプリアス特性である。

図 2.16 の C シミュレーション結果とスプリアス・レベルはほぼ等しく，データ反転法



(a) スペクトル解析結果 @ 1 [kHz]



(b) 周波数-ノイズ特性

図 2.20 データ反転型フーリエ補間 SRC の実装結果

を利用したフーリエ補間を回路実現できたことが確認できる。

2.4 ハイブリッド SRC

提案したフーリエ補間型 SRC は回路規模が非常に小さく、図 2.16 に示す性能から、1.3 節で述べたように、ロー・エンド向けの小型 SRC としての応用が考えられる。しかし、広帯域で高い性能が求められるハイ・エンド向けの製品、たとえば、20[Hz] から 20[kHz]

の帯域で-100[dB] の性能が必要となる高級オーディオ機器等 [40] の応用を考えると、周波数の高い信号に対する精度が足りない。

そこで、広い帯域で高精度なレート変換を実現できる SRC として、フィルタ型 SRC とフーリエ補間型 SRC を組合せたハイブリッド SRC を提案する。

2.4.1 原理と構成

たとえば、フーリエ補間型 SRC の手前で 10 倍のアップ・サンプルが行われる場合、周波数 10[kHz]/レート 44.1[kHz] の信号はフーリエ補間型 SRC に入力される時点で、周波数 10[kHz]/レート 441[kHz] の信号となる。これは、周波数 1[kHz]/レート 44.1[kHz] の信号と同じ周波数/レート比であり、図 2.7 (a)、図 2.16 (a) のような高い変換精度が得られると考えられる。

そこで、この条件でフーリエ補間が行われるように、図 2.21 (a) に示すこれまでのように直接フーリエ補間処理を行うのではなく、(b) に示すような、従来のフィルタ型 SRC のバック・エンドとしてフーリエ補間型 SRC を用いる。

前段のフィルタ型 SRC はアップ・サンブラで、後段のフーリエ補間型 SRC で高い精度の補間が行えるように、信号周波数/レート比を下げるためのものである。したがって、高次の OS は不要であり、回路規模は比較的小さくてよい。

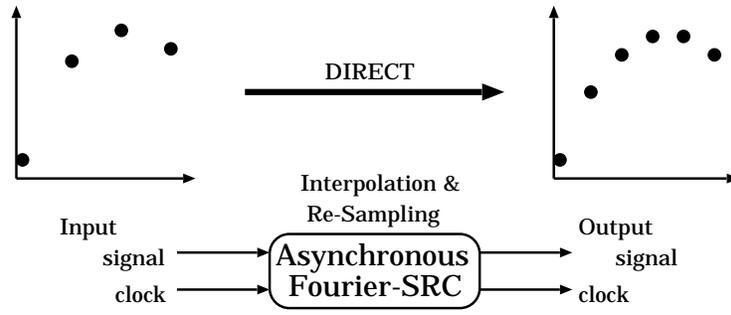
2.4.2 シミュレーション

図 2.22 に、シミュレーションで確認したデータ反転型フーリエ補間 SRC とハイブリッド SRC の周波数-ノイズ特性を示す。

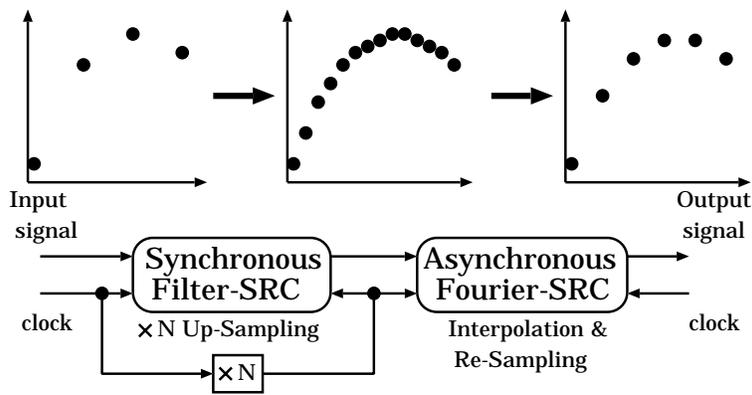
Hybrid SRC 1 は 10 倍の OS を行う SRC の特性で、前段のフィルタ SRC の回路規模は約 135000LC である。これは、フーリエ補間型 SRC 単体と同じ性能のフィルタ型 SRC (約 180000LC) の約 $\frac{3}{4}$ であるにもかかわらず、非常に高い性能が実現されている。

なお、フィルタ型 SRC と一次補間を組み合わせたハイブリッド SRC で同じ性能を実現する際は、この約 2.7 倍にあたる約 360000LC の規模のフィルタ型 SRC が必要である。このことから、フーリエ補間型 SRC を用いることの回路規模での優位性を確認することができる。

また、OS 数を上げ、より大きなフィルタを用いることで、*Hybrid SRC 2* に示すような、全帯域でノイズ・レベル-100[dB] を確保する、ハイ・エンド機器でも利用可能な SRC も実現することができる。



(a) フーリエ SRC



(b) ハイブリッド SRC

図 2.21 ハイブリッド SRC の構成

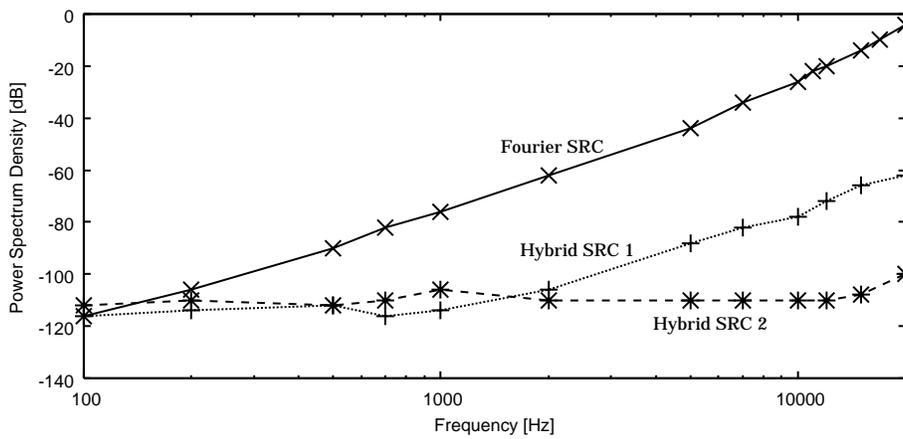


図 2.22 ハイブリッド SRC の信号周波数-ノイズ特性

第 3 章

PLL における時間軸歪の改善

デジタル・オーディオ/ビデオ・プレーヤは、内部で生成したクロックや外部入力データから抽出したクロックに同期して様々なデジタル演算を行い、最終的に、デジタル・データを D/A 変換してアナログのオーディオ/ビデオ信号を出力する。

クロックの抽出/生成手段には PLL が用いられるが、PLL には発振周波数が時々刻々と変化する、時間軸方向の動的なノイズ、ジッタの問題がある。このジッタによりクロックが揺れると、データ間隔に狂いが生じ、D/A 変換後のアナログ信号には歪が生じることとなる。

一般に PLL は参照入力信号の 1 周期に 1 回、出力信号の位相偏差をサンプリングし補正する。そのため、サンプリング間でジッタが発生してもそれを検出することができない。この影響は、参照信号の逡倍発振を行う場合、顕著にあらわれる。

本章では、PLL のサンプリング回数を向上させて時間軸歪ジッタを改善する、OSPD-PLL を提案・実現し、ジッタ特性や制御性能を評価する。また、OSPD の回路構成を最適化し、さらなる性能改善を図る。

3.1 一般的な PLL の動作

図 1.2 に示す PLL の，各部の信号波形は図 3.1 に示す通りで，PD は参照入力とフィードバック信号の位相を信号の立上りのタイミングで比較し，前者が進んでいればその差に応じた幅の正のパルスを，後者が進んでいれば負のパルスを出力し，一致していれば何も出力しない．

LF はこれを平滑化して制御電圧を生成する．VCO は制御電圧に比例した周波数で発振する回路で，前段の PD と LF を介して参照入力とフィードバック信号の位相差が縮まるように制御される．

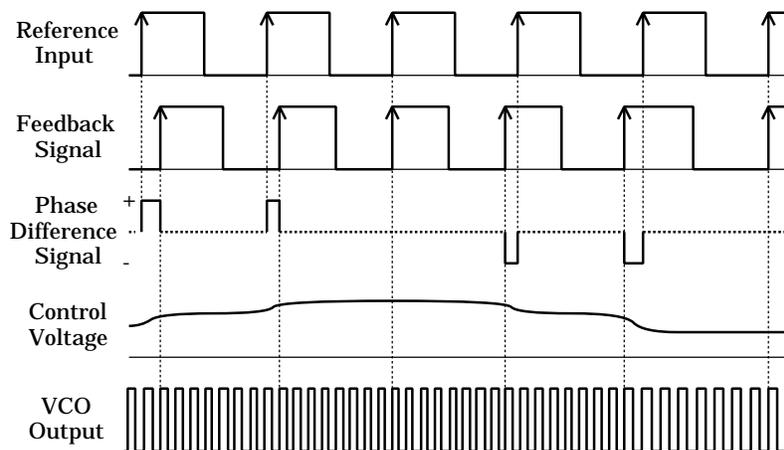
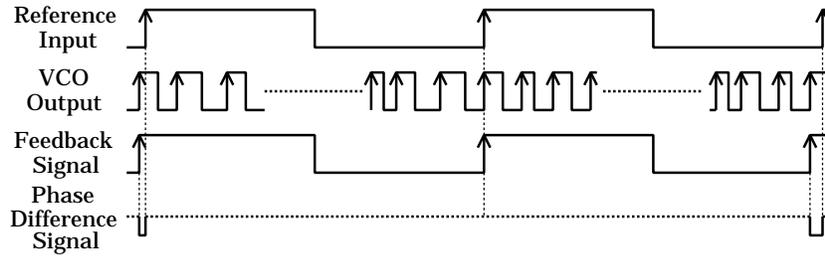


図 3.1 PLL の各部の動作

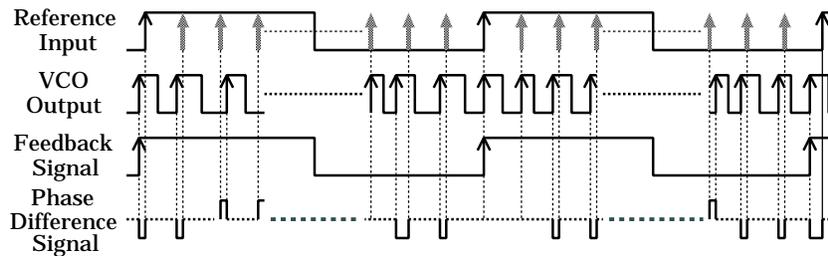
3.2 オーバ・サンプリング位相比較器

前述したように，一般の PD は信号の立上りのタイミングでのみ参照入力と VCO 出力を分周したフィードバック信号の位相を比較する．そのため，図 3.2(a) の VCO Output の間隔が一定でなくジッタが発生している状態でも，PD はこれを即座に検知・補正することができない．

そこで，図 3.2(b) に示すように，フィードバック信号を介すことなくより細かい刻みで直接 VCO 出力の位相と参照信号の位相とを比較し，ジッタの補正を即座に行う OSPD を提案した．



(a) 一般の PD



(b) OSPD

図 3.2 一般の PD と OSPD の動作

3.2.1 原理

参照入力には 0, 1 の情報しか持っておらず、この信号から直接位相情報を得ることは難しい。そこで、図 3.3 に示すように、内部で生成する高速クロックで駆動するカウンタを利用して 1 周期の長さを測定し、その 1 周期長カウンタを元に参照入力の位相を補間する。

たとえば、参照信号の周期が $\dots, T_{n-1}, T_n, T_{n+1}, \dots$ であったとき、これを内部クロックでカウントして測定すると、各周期の終わりにそれぞれ $\dots, L_{n-1}, L_n, L_{n+1}, \dots$ カウント長だとわかる。

基本的に参照信号の周期は一定であるため、たとえば周期 T_n の区間では、カウント数が前の周期のカウント長 L_{n-1} の $\frac{1}{OS}, \frac{2}{OS}, \dots, \frac{OS-2}{OS}, \frac{OS-1}{OS}$ となったタイミングが、周期 T_n の $\frac{1}{OS}$ 刻みの位相 (図中の *Reference 1/OS Phase*) であるといえる。

そこで、通常の参照信号の立上りのタイミングに加え、*Reference 1/OS Phase* パルスの立上りでも VCO 出力との位相を比較することで、図 3.2(b) のように 1 周期中のサンプル

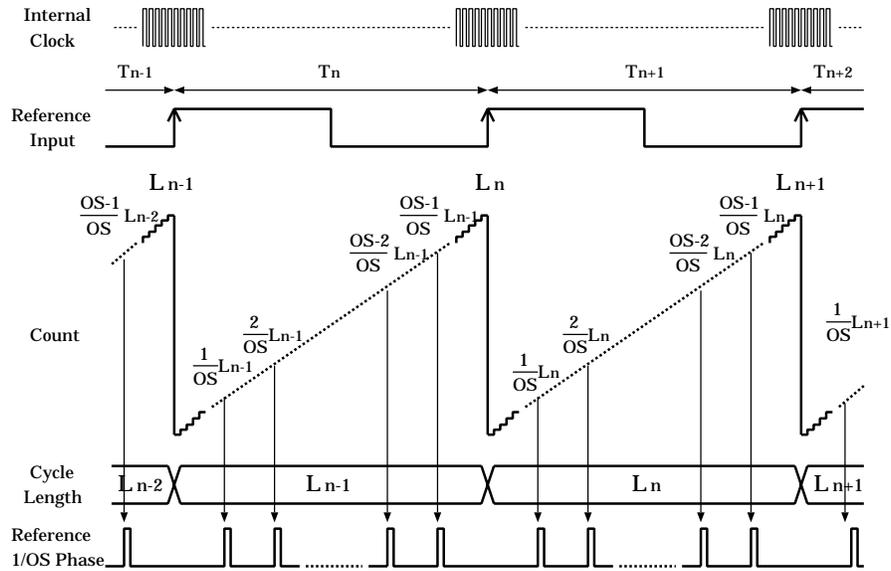


図 3.3 位相補間の原理

リング回数を OS 数倍に増やすことができる。

なお、参照入力の周期長は毎周期カウント・更新されるため、周波数が変化した場合にも対応できる。

3.2.2 回路構成

図 3.4 に OS 数 4 の OSPD の回路構成を示す。OSPD は、波長を測定するカウンタとそれを駆動する高速クロック、1 周期毎にカウント値を格納する *CycleLengthRegister* モジュール、カウント値と補間した位相値を比較する *Comparator* モジュール、参照入力位相と VCO 出力位相を比較する *PD* モジュールで構成されている。破線で囲まれた回路の上半分が、通常は入力パルスの時刻で離散的にしか検出できない位相を補間する回路に相当する。

なお、この OSPD の回路規模は一般的な PD に比べて 10 倍近い規模となる。しかし、PLL を利用する回路の全体規模と比べればこの増分は微々たるものであり、また、回路が複雑な高機能 PLL が次々に提案されている [41] ので、問題はない。

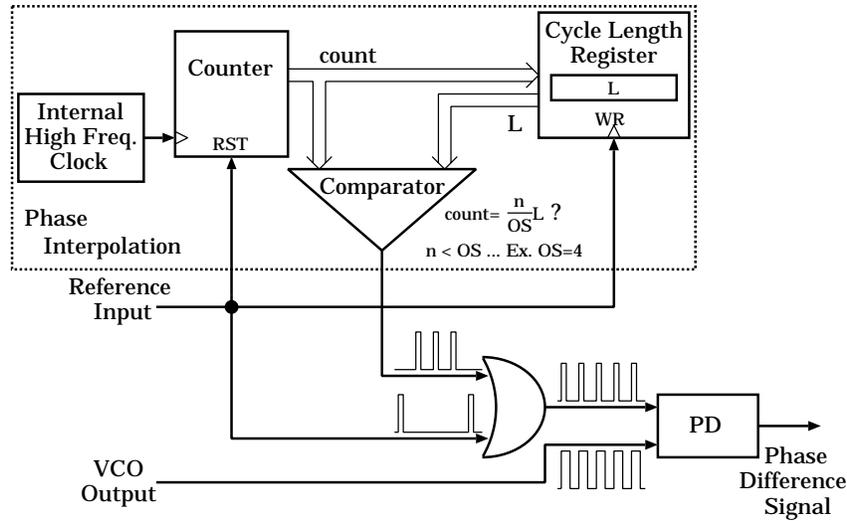


図 3.4 OSPD の回路構成

3.2.3 性能

提案・実現した OSPD を，一般の PD に置き換え，PLL に実装した．ここでは，この PLL と一般の PD を使った PLL のジッタ特性とステップ応答を評価する．

なお，LF にはラグ・リード・フィルタ (付録 A 参照) を用い，各 PD の位相差信号の高周波成分を除去できるように，PLL 系のダンピング係数 $\zeta = 0.1 \sim 2.2$ の全ての場合において，フィルタの高周波側の折れ点周波数が

- 一般の PD：同期可能な参照信号周波数の下限以下
- OSPD：VCO の発振可能な範囲の下限以下

となるよう，自然角周波数 ω_n を調整し，それぞれ設計した*¹．

ジッタ特性

図 3.5 は，ダンピング係数 $\zeta = 0.1, 0.7, 1.2$ の一般の PLL(Normal) と 8 倍 OSPD(OS8) を用いた PLL において，ある周波数で VCO を発振させたときの，VCO 出力に発生したジッタの大きさと理想の VCO 出力波長との比であらわした結果である．

*¹ 主に用いたのは $\zeta = 0.1, 0.25, 0.7, 1.2, 2.2$ となるフィルタで，高周波側の折れ点のゲインはそれぞれ $-40dB, -30dB, -20dB, -15dB, -10dB$ である．

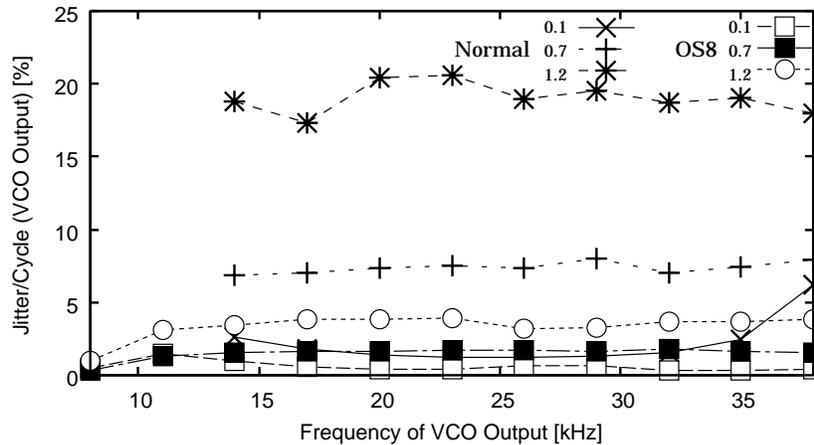


図 3.5 一般の PLL と OSPD-PLL のジッタ特性の比較

この図から、まず、系のダンピング係数が等しいとき、一般の PLL に比べて OSPD を用いた PLL のジッタが小さいことがわかる。たとえば、 $\zeta = 0.7$ の場合、一般の PLL で発生するジッタが約 7% であるのに対し、OSPD を用いたものは約 2% であった。したがって、提案する位相補間による VCO 出力のオーバ・サンプリングは、PLL のジッタ低減に有効であるといえる。

また、一般の PLL と同様に、ダンピング係数が小さいとジッタが小さく、逆にダンピング係数が大きいとジッタが大きくなり、PLL の応答速度とジッタのトレード・オフが存在する結果となっている。

これらの結果は、他の次数の OSPD でも同様であった。

周波数ステップ応答

図 3.6 は、参照信号の周波数ステップに対する一般の PLL と 4 倍、8 倍、16 倍 OSPD を用いた PLL の制御信号を測定した結果である。なお、どの系もダンピング係数 $\zeta = 0.7$ の場合のみ示したが、他の ζ でも同様の結果となった。

この図に示すように、OSPD を用いた PLL は一般の PLL に比べ、参照信号の周波数変化に速く追従できる。これは、OSPD を用いた PLL の場合、系の自然角周波数 ω_n を一般の PLL に比べて高く設計できるためである。

さらに、低次/高次 OS の結果を比べると、高次のものの追従が速い。これは、高次は低次の場合に比べて自然角周波数 ω_n をより高く設計できるためである。なお、一般の PLL は分周数が変わっても自然角周波数 ω_n は変わらないため、ステップ応答はほとんど変化

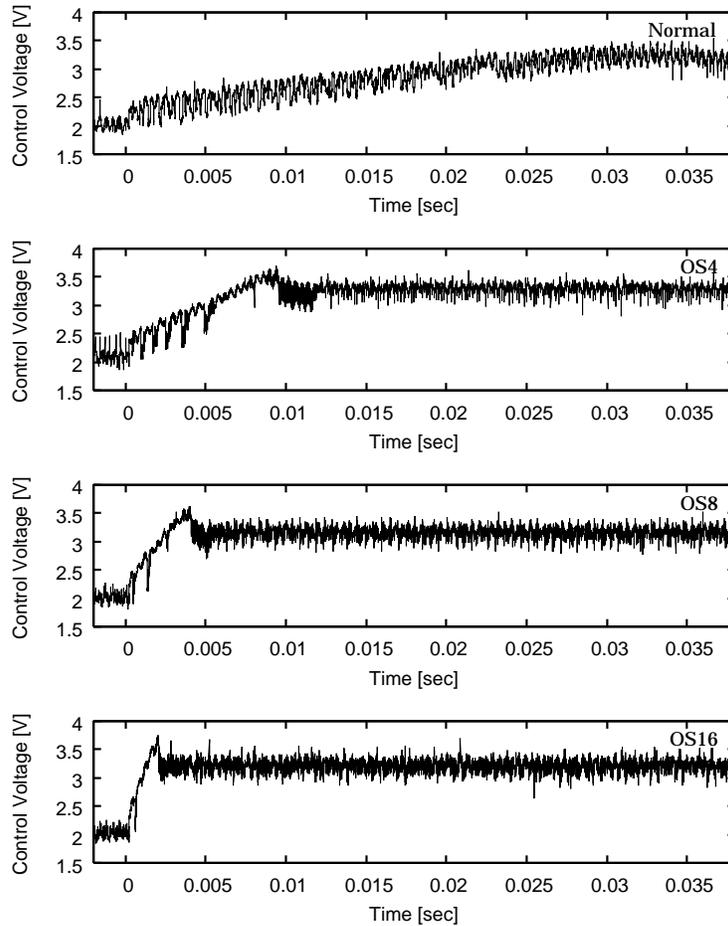


図 3.6 一般の PLL と OSPD-PLL の周波数ステップ応答の比較

しない。

3.3 位相補間回路の最適化

3.2 節で述べたように、位相補間による OS でジッタ特性は改善される。しかし、位相補間の分解能が悪い場合、正確な位相情報が得られないため、逆に悪化する。

この分解能は、どこまで細かく位相を刻めるかわらぬもので、内部クロックの周波数に依存する。そして、この周波数は補間演算を行うデジタル回路の信号伝達遅延で決まる。したがって、高速動作のための回路の最適化は重要である。

3.3.1 OSPD の最大伝達遅延の発生箇所

OSPD で最も伝達遅延が大きい回路は位相補間回路内の *Comparator* モジュールである。

回路構成は図 3.7 のようになっており、参照信号の 1 周期長をもとに全ての位相値 (図 3.3 の $\frac{1}{OS}L_n, \frac{2}{OS}L_n, \dots, \frac{OS-2}{OS}L_n, \frac{OS-1}{OS}L_n$) を算出し、この中から適切な値を選択して現在カウントしている値との比較を行い、図 3.3 に示す位相補間の原理を実現している。

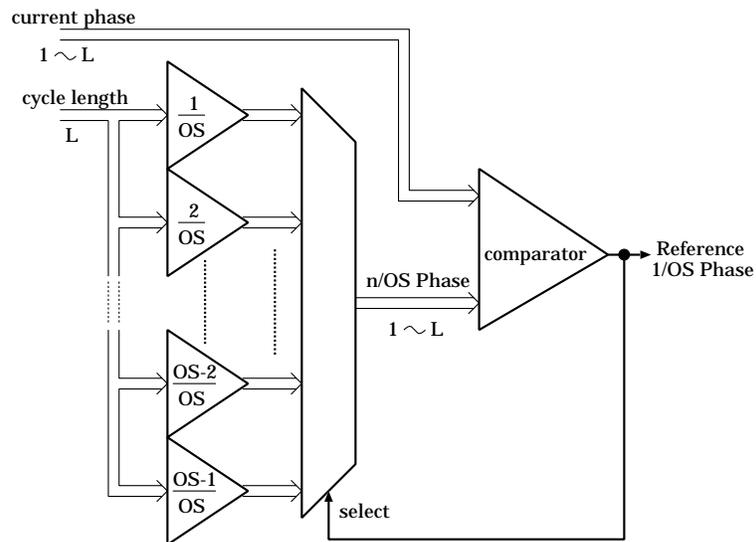


図 3.7 最適化前の比較モジュールの回路

この選択から比較までの動作で遅延が大きく、さらに、構成上、OS 数を上げると選択回路の論理が複雑化し、遅延が著しく増加する。

3.3.2 最適化

方式

図 3.3 の方式を改良し、以下の 2 点を考慮した方式を考えた。その方式の概要を図 3.8 に示す。

- 扱うデータの bit 数を下げて、構成要素の論理を単純にする
- OS 数が影響する要素をできるだけ省く

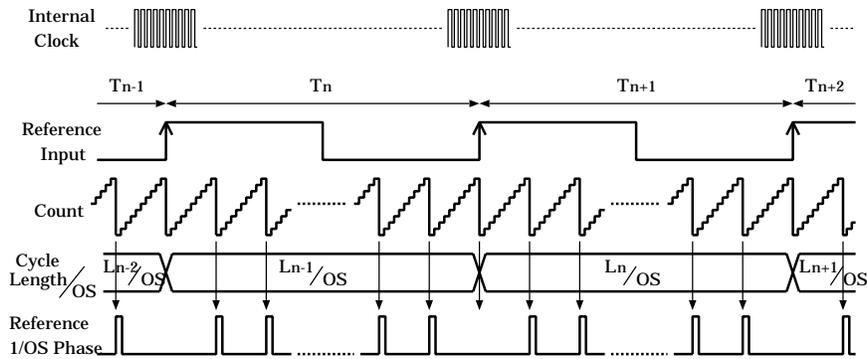


図 3.8 最適化後の位相補間の動作

基本的な動作には変更はないが、これまで 1 周期長を全てカウントしていたのを周期長の $\frac{1}{OS}$ までのカウントを繰り返し行う。その結果、最大カウント数は減り、データの bit 数の削減につながる。

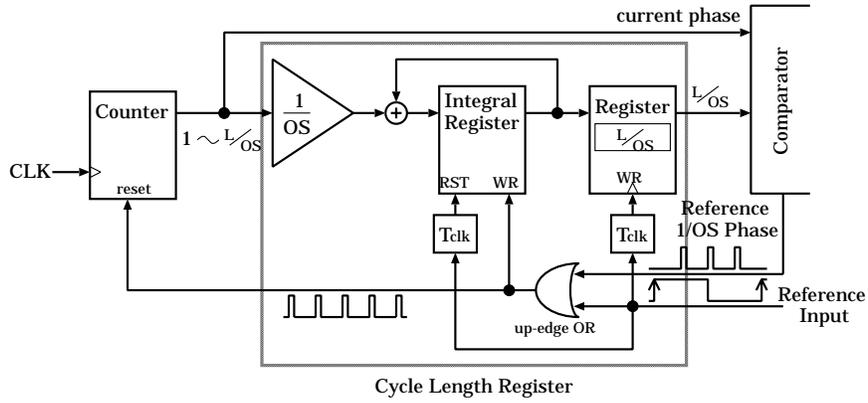
また、カウント値は周期長の $\frac{1}{OS}$ の値との比較だけになり、これまでのような、比較する位相値数が OS 数分あるということはない。

回路構成

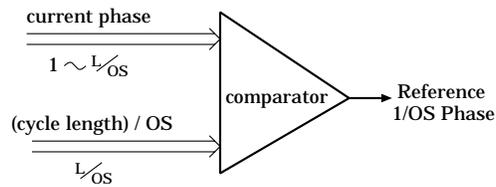
図 3.8 を実現した位相補間回路の概略図を図 3.9 に示す。

図 3.9(a) に示す新しい *CycleLengthRegister* モジュールは、2 つのレジスタを連動させることで、参照信号の 1 周期毎に、周期長の $\frac{1}{OS}$ の値を求める。

図 3.9(b) は *Comparator* モジュールで、カウント値と周期長の $\frac{1}{OS}$ の値の比較しか行わないため、図 3.7 にあった選択回路がなくなっている。



(a) 周期長モジュール



(b) 比較モジュール

図 3.9 最適化後の位相補間回路

3.3.3 回路規模と最大動作周波数

図 3.10 と図 3.11 に、OS 数を 4, 8, 16, 32 とした場合の、最適化前/後の位相補間回路を使った OSPD の回路規模と最大動作周波数をそれぞれを示す。

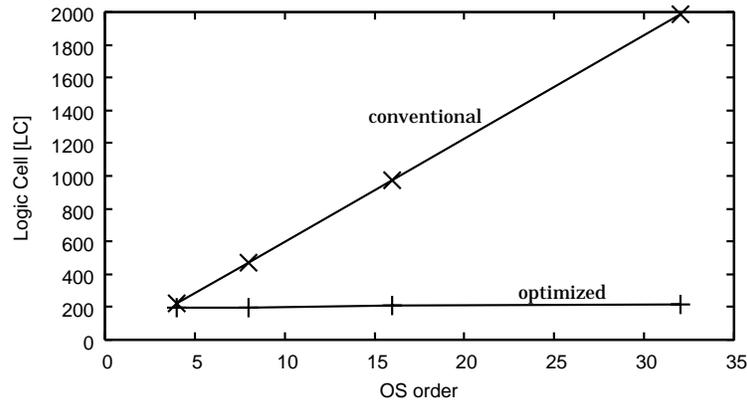


図 3.10 最適化前後の OSPD の回路規模

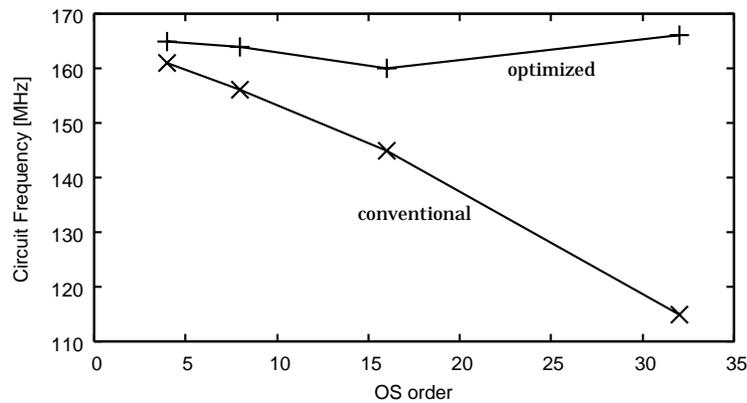


図 3.11 最適化前後の OSPD の最大動作周波数

この図から、最適化前は OS 数が大きい場合、論理が複雑化し回路規模・遅延ともに増加していることがわかる。しかし、最適化後は OS 数の影響を受けることなく、どちらもほぼ一定の大きさ・速度を保っている。

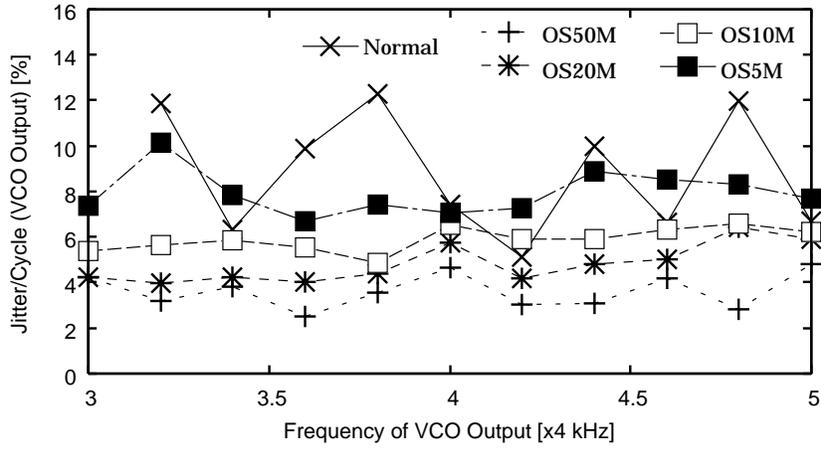
3.3.4 動作周波数とジッタ特性

内部クロックの周波数，すなわち位相補間の分解能を変え，OSPDの動作周波数とOSPDを使ったPLLのジッタ特性の関係を調べた．図3.12(a)は，4倍OSPDを使った場合の結果で，内部クロックの周波数を50，20，10，5[MHz]と変えている．また，図3.12(b)は，図3.12(a)と同じ条件で8倍OSPDを使った場合のジッタ特性である．なお，比較のため，同じ条件で発振させた一般的なPLLのジッタ特性も併せて記載した．

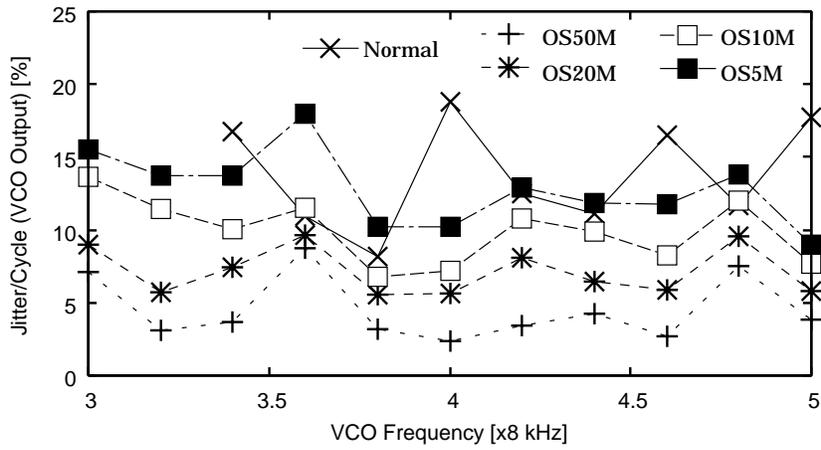
これらの図から，OSPDの動作周波数が高いほどジッタ特性がよく，逆に動作周波数が低いとOSPDを利用しているにもかかわらず，一般的なPLLよりも特性が悪化する場合もあることも確認できる．

また，図3.12(b)の方が特性の変動が大きいことから，OS数が高いものほどこの影響は大きいといえる．これは，OS数が低いものに比べて高いものの方が位相の値が小さく，除算時の誤差の影響がより大きいことが原因である．

以上のことから，本節で行った，高次のOS時でも最大動作周波数を維持することのできる位相補間回路の最適化は，良好なジッタ特性を得るために大きな意味を持つことがわかる．



(a) 4 倍発振



(b) 8 倍発振

図 3.12 動作周波数とジッタ特性

第 4 章

まとめと展望

4.1 本研究の成果

本論文では、まず、デジタル・オーディオにおいて、レート変換に伴う振幅軸歪と、DA 変換の際に問題となる PLL ジッタによる時間軸歪が、音質の劣化につながることを論じた。

前者に関しては、変換精度が高く、携帯機器への応用を考えた場合に小規模実現可能な SRC が必要になることを述べ、この双方を可能とする新しい補間法を提案した。

また、後者に関しては、ジッタ低減の方法として、PLL のサンプリング回数に注目し、従来の方式よりも多いサンプリング回数で汎用性の高い、新しい位相のサンプリング方式を提案した。

以下に、本研究で得られた成果を述べる。

4.1.1 SRC における振幅軸歪の改善

低周波信号に対する高精度補間 提案したフーリエ補間方式を改善することにより、1k[Hz] の信号のレート変換の際に生じるノイズを、-78[dB] まで抑えることに成功した。この性能は、PC 内蔵機能および低周波成分を対象とする音声処理には十分なレベルである。

小規模実現 従来の周波数領域補間 SRC と比較して、約 1/150 と極めて小さい回路規模で実現することができた。一般に、消費電力は回路規模に比例することから、省電力の面でも同様の効果が得られていると考える。この小規模・低消費という特徴は、特に携帯機器において大きなメリットとなる。

周波数領域補間 SRC とのハイブリッドによる高性能 SRC の実現 このフーリエ補間型 SRC と従来のフィルタ型 SRC とを組み合わせることで、ハイ・エンド機器への適用も可能な高い性能を得ることができた。フーリエ補間 SRC と同じ性能のフィルタ型 SRC よりも小さな回路規模であるにもかかわらず、1[kHz] の信号のレート変換の際に生じるノイズを、量子化誤差レベルまで抑えることができる。また、回路規模に関しては、線形補間型 SRC とフィルタ型 SRC のハイブリッド SRC に比べ、半分の回路規模ですむ。

4.1.2 PLL における時間軸歪の改善

PLL のジッタ特性の改善と速応性の向上 PLL の入力/出力信号の位相比較回数を向上させることのできる OSPD を提案・実現し、これを PLL に利用することで発生するジッタを従来の PLL の 1/3 に抑えることができ、さらには PLL の同期が 3 倍速められることを証明した。これにより、精度の高いクロックをより速くデジタル・オーディオ回路に供給することが可能となった。

位相補間回路の最適化 位相補間を行う回路の最適化を行い、高次 OS 数での位相補間を行う場合でも安定した最大動作周波数を維持できることを確認し、さらに回路規模の増大を抑えることも確認した。回路の最大動作周波数は位相補間の分解能であり、補間精度、ひいては OSPD を用いた PLL のジッタ特性に直結する性能であるため、これが安定して維持できる意味合いは大きい。

4.2 今後の課題

4.2.1 SRC における振幅軸歪の改善

ハードウェア実現の際に問題となる、非同期問題を解決する必要がある。

現在、フーリエ補間型 SRC では、入力クロックを逡倍発振させた高速クロック (*system clock*) に同期して、入力信号の分析から補間信号の生成まで行っている。その様子を図 4.1 に示す。

図に示すように、入力信号の分析結果から算出した補間信号 (*ideal interpolation signal*) は、実際には高速クロックに同期したステップ状の信号 (*real interpolation signal*) となる。そのため、これに非同期 (*out clock*) で出力データをサンプリングする現在の回路では、出力信号は灰色の実線で示すように歪み、ソフトウェア・シミュレーションで示したような性能が発揮されない。

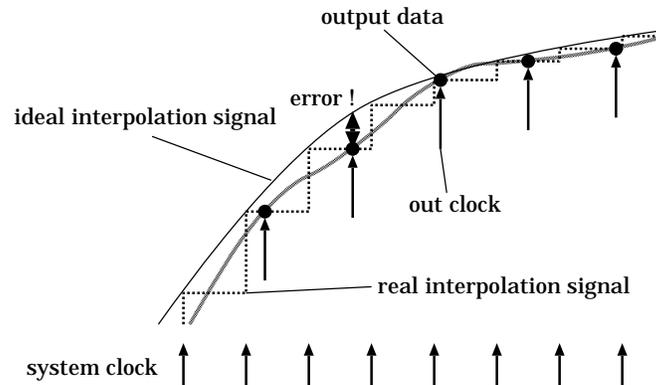


図 4.1 SRC の非同期問題

この問題は、入力クロックに同期して行う工程を入力信号の分析までとし、出力データのサンプリング元となる補間信号の生成は出力クロックに同期して行うことで解決できる。今後は、この解決法の実現を検討・実装し、ソフトウェア・シミュレーションに近い性能の実現を目指す。

また、トレンド除去法、データ反転法によりフーリエ補間方式の補間精度改善を図ったが、他にも工夫を加えることで、さらなる精度改善が見込まれると予想する。できるだけ単純な手法での改善を検討する。その他に、フーリエ補間方式以外でも、単純な計算・小さな回路規模での実現を基本理念に、既存手法の改善や新手法の提案を目指す。

4.2.2 PLL における時間軸歪の改善

内部クロックの周波数が低くても、1クロック長をさらに細かく刻むことができれば、位相補間法の位相補間精度を向上させることができる。

たとえば、内部クロック周波数が 50[MHz] で、測定した参照信号の周期長が 1012 であったとする。このとき、参照信号の $\frac{1}{4}$ の位相値は 253 となる。これに対し、内部クロック周波数が 5[MHz] であった場合、参照信号の周期長は 101、 $\frac{1}{4}$ の位相値は 25 と誤差が含まれることになるが、これを $\frac{1}{10}$ に細かく刻むことができれば、周期長を 101.2、 $\frac{1}{4}$ の位相値を 25.3 と 50[MHz] と同じ精度が実現できる。

その実現方法の概要を、OS 数を 4 とした場合を例に図 4.2 に示す。

この方法は、内部クロック周期長を 1 とした

- 参照信号の周期長 $Length$
- 参照信号の立上り後に内部クロックが立上るまでの時間差 Δ_f

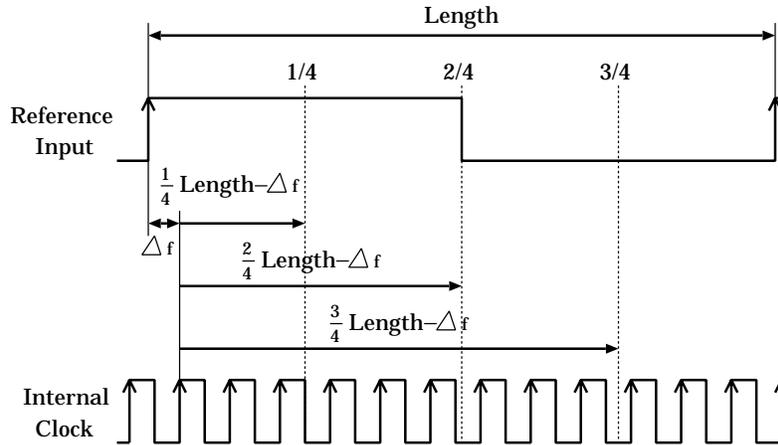


図 4.2 高分解能位相補間の概要

を，小数点以下も含め，求める．そして，図 4.2 に示すように，この周期長 $Length$ を分割した値と時間差 Δf の差をそれぞれとり，位相情報を得る．

これらの情報が得られれば，整数部の一致をこれまで通り内部クロックのデジタル・カウンタで，小数部の一致をアナログ・タイミング生成器(付録 C 参照)で図り，図 3.3 の補間位相タイミング・パルス $Reference \frac{1}{OS} Phase$ を出力することができる．

この周期長 $Length$ と時間差 Δf の導出に，DTC (Digital to Time Converter) / TDC (Time to Digital Converter) 技術の一種である周期長推定法と時間ずれ推定法を提案・利用し，ジッタ特性を改善した*1．

この高分解能化の際に利用した DTC/TDC 回路の特性を改善し，より高い時間分解能を目指す．また，この回路では，電圧軸処理を仲介してデジタル値を時間値に変換しているが，直接変換できる技術の適用を検討する．

また，系の制御精度を向上させる方法には，オーバ・サンプリングの他にも様々な制御手法がある．これらの手法を，できるだけ高速・小規模・低消費電力で実現し，PLL のさらなる性能改善を図り，時間軸歪を低減する．

*1 詳細は付録 B を参照

参考文献

- [1] 山崎 芳男, “デジタル・オーディオにまつわる迷信とその克服”, JAS Journal 1982 年 8 月号 (1982)
- [2] 古川 雅通, “デジタル・インタフェースに求められるもの”, ラジオ技術 2003 年 3 月号 (2003)
- [3] Sony Drive, “NW-S706 商品情報”, <http://www.ecat.sony.co.jp/walkman/lineup.cfm?Series=S>
- [4] 前田 周作, 齊藤 直孝, 塚本 薫, “Mobile DLS 音源 +MP3 デコーダ LSI MS2881 の開発”, 沖テクニカルレビュー 2005 年 7 月, 第 203 号, Vol.72, No.3 (2005)
- [5] R. E. Best, “Phase-Locked Loops”, McGraw-Hill (1999)
- [6] 河合 一, “デジタル・オーディオでのクロック・ジッタの影響とジッタ抑制の方法”, ラジオ技術 2004 年 3, 4 月号 (2004)
- [7] R. Lagadec, D. Pelloni, D. Weiss, “A 2-channel, 16-bit digital sampling frequency converter for professional digital audio,” Proc. IEEE Int. Conf. on Acoustics, Speech and Signal Process., vol.1, pp.93-96 (1982)
- [8] L. P. Yaroslavsky, “Efficient algorithm for discrete sinc interpolation” Applied Optics, vol.36, no.2, pp.460-463 (1997)
- [9] L. P. Yaroslavsky, “Boundary effect free and adaptive discrete signal sinc-interpolation algorithms for signal and image resampling,” Applied Optics, vol.42, no.20, pp.4166-4175 (2003)
- [10] P. Thevenaz, “Interpolation Revisited,” IEEE Trans. Medical Imaging, vol.19, no.7, pp.739-758 (2000)
- [11] J. M. Kevin, A. Robert, “An asynchronous sample rate converter with 120dB THD+N supporting sample rates up to 192 kHz,” AES 109th convention, Los Angeles (2000)
- [12] 浅井孝弘, “離散窓を用いた時系列データの高精度補間”, 信学論 (A), Vol.J84-A, no.9,

- pp.1128-1135 (2001)
- [13] V. Lehtinen, D. Babic, M. Renfors, "On impulse response symmetry of Farrow interpolators in rational sample rate conversion," 2004 1st Int. Symp. Control, Comm. and Signal Process., pp.693-696 (2004)
- [14] M. T. Shiue, C. L. Wey, "Efficient implementation of interpolation technique for symbol timing recovery in DVB-T transceiver design," 2006 IEEE Int. Conf. Electro/Information Technology, pp.427-431 (2006)
- [15] 大賀 寿朗, "高周波帯域における聴覚の時間特性と周波数特性の関係の研究", サウンド技術振興財団・研究概要報告書 (2001)
- [16] 井上 学, 小林 史典, 渡邊 実, "聴覚試験による評価に基づく PLL ジッタの低減", 計測自動制御学会 第 22 回 SICE 九州支部学術講演会, pp.121-122 (2003)
- [17] P. Heydari, "Characterizing the effects of the PLL jitter due to substrate noise in discrete-time delta-sigma modulators," IEEE Trans. Circuit Syst., vol.52, no.6, pp.1073-1085 (2005)
- [18] Y. S. Chang, C. L. Lin, W. S. Wang, C. C. Lee, C. Y. Shih, "An analytical approach for quantifying clock jitter effects in continuous-time sigma delta modulators," IEEE Trans. Circuit Syst., vol.53, no.9, pp.1861-1868 (2006)
- [19] K. Nakashi, H. Shirahama, K. Taniguchi, O. Tsukahara, T. Ezaki, "Computer Simulation of jitter characteristics of PLL for arbitrary data and jitter patterns," IEICE Trans. Fundamentals, vol.77-A, no.6, pp.977-983 (1994)
- [20] P. Heydari, "Analysis of the PLL jitter due to power/ground and substrate noise," IEEE Trans. Circuit Syst., vol.51, no.12, pp.2404-2416 (2004)
- [21] A. Demir, "Computing timing jitter from phase noise spectra for oscillators and Phase-Locked-Loops with white and $1/f$ noise," IEEE Trans. Circuit Syst., vol.53, no.9, pp.1869-1884 (2006)
- [22] C. C. Tsai, C. L. Lee, "An on-chip jitter measurement circuit for the PLL," Proc. 12th Asian Test Symposium (2003)
- [23] K. H. Cheng, T. H. Yao, S. Y. Jiang, W. B. Yang, "A difference detector PFD for low jitter PLL," IEEE Int. Conf. on Electronics, Circuit Syst., vol.1, pp.43-46 (2001)
- [24] Y. G. Kim, M. S. Lee, W. Y. Choi, "A new charge pump PLL with reduced jitter characteristics," IEICE Trans. Comm., vol.E84-B, no.6, pp.1680-1682 (2001)
- [25] A. Maxim, "A 2-5GHz low jitter 0.13 mm CMOS PLL using a dynamic current matching charge-pump and a noise attenuating loop-filter," Proc. IEEE Custom Integrated

- Circuits Conf., pp.147-150 (2004)
- [26] Y. Sumi, S. Obote, K. Tsukada, K. Syoubu, Y. Fukui, “Novel fractional-N PLL frequency synthesizer with reduced phase error,” IEEE Asia Pacific Conference Circuit Syst., pp.48-48 (1996)
- [27] M. Kozak, E. G. Friedman, “Design and simulation of fractional-N PLL frequency synthesizers,” IEEE Int. Symp. Circuits Syst., pp.780-783 (2004)
- [28] S. Kim, Y. Kim, “A fractional-n PLL frequency synthesizer design,” Proc. IEEE SoutheastCon, pp.84-87 (2005)
- [29] Rui-feng Liu, et al., “A Fully Symmetrical PFD for Fast Locking Low Jitter PLL”, Int. Conf. on ASIC. Proc., vol2, pp.725-727 (2003)
- [30] M. Inoue, F. Kobayashi, M. Watanabe., “Sampling rate conversion by Fourier interpolation”, SICE Annual Conf., pp.1613-1616 (2004)
- [31] 井上学, 小林 史典, 渡邊 実, “フーリエ補間によるサンプリング・レート変換”, 計測自動制御学会 SICE 九州支部学術講演会, vol2, pp.121-122 (2004)
- [32] M. Inoue, F. Kobayashi, M. Watanabe., “Fourier/filter hybrid sampling rate converter”, SICE Annual Conf., pp.176-1179 (2005)
- [33] M. Inoue, F. Kobayashi, M. Watanabe., “Hybrid sample rate converter with 110dB SNR and 1/10 Less Logic Gates”, IEEE Electro/Info. Technology Conf., pp.432-436 (2006)
- [34] 井上学, 小林 史典, 渡邊 実, “PLL ジッタ低減のためのオーバ・サンプリング位相比較器”, 電子情報通信学会ソサイエティ大会, p.19 (2005)
- [35] 井上学, 小林 史典, 渡邊 実, “位相補間による PLL の特性改善”, 計測自動制御学会 SICE 九州支部学術講演会, pp.107-108 (2005)
- [36] 井上学, 小林 史典, 渡邊 実, “位相補間による PLL の特性改善 -位相補間回路の最適化-”, 電子情報通信学会回路とシステム研究会, pp.13-17 (2006)
- [37] 井上学, 小林 史典, 渡邊 実, “位相補間による PLL の特性改善”, 計測自動制御学会論文集 42 巻 10 号, pp.1175-1180 (2006)
- [38] M. Inoue, F. Kobayashi, M. Watanabe., “Over-sampling PLL for low-jitter and responsive clock synchronization”, IEEE Int. Symp. Comm. Inf. Technologies, p.T4D-3 (2006)
- [39] 井上学, 小林 史典, 渡邊 実, “位相補間による PLL の特性改善 -ジッタ低減のための高精度補間-”, 計測自動制御学会 SICE 九州支部学術講演会 (2006)
- [40] Texas Instruments, “SRC4184 データシート”, <http://focus.ti.com/lit/ds/symlink/src4184.pdf>
- [41] C. Charles, et al., “A 360° Extended Range Phase Detector for Type-I PLLs”, IEEE Int.

Symp. Circuits and Systems, pp.5457-5460 (2005)

- [42] “ケータイもデジタル家電も 1 チップ”, 日経エレクトロニクス 2006 年 11 月 6 日号 (2006)

謝辞

本研究を進めるにあたり，ご多忙の中，研究の進行方法・方向性の示唆，工学のみならず文章やプレゼンテーション技法などの幅広い指導，研究者・技術者としての心構えや教育者の先輩としての助言等を頂きました小林史典教授に厚くお礼申し上げます．

そして，他分野の研究であるのにも関わらず，本研究に対する多くの助言や示唆を頂きました渡邊実助手に深く感謝致します．

また，本研究に対し，多くの援助を頂きましたシステムエルエスアイ株式会社の近藤仁志様ならびにシステムエルエスアイ株式会社の皆様，日本テキサス・インスツルメンツ株式会社の皆様に心から感謝致します．

さらに，本研究に関する発表の際には，多くの議論と適切なアドバイスを頂きました，諸先生方に深く感謝致します．

そして，学生生活におきまして，様々な助言や協力を頂きました本研究室の皆様，友人，先輩，後輩に感謝致します．

最後に，長い学生生活を様々な面から支えてくれた私の家族，親族に感謝します．

付録 A

PLL の伝達関数

A.1 Normal-PLL の伝達関数

一般的な PLL の制御モデルは、図 A.1 のようにあらわされ、伝達関数 $H(s)$ は (A.1) 式となる。

$$H(s) = \frac{KF(s)}{s + \frac{KF(s)}{N}} \quad (\text{A.1})$$

ただし、ここで $K = K_p K_o$ である。

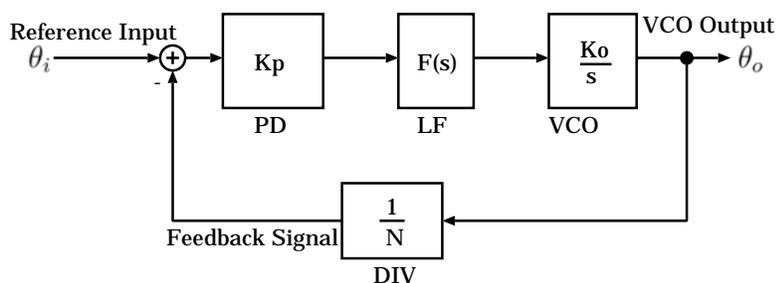


図 A.1 一般の PLL の制御モデル

本論文では、LF に、伝達関数 $F(s)$ が (A.2) 式で与えられるラグ・リード・フィルタを用いる。

$$F(s) = \frac{s\tau_2 + 1}{s(\tau_1 + \tau_2) + 1} \quad (\text{A.2})$$

ここで、 $\tau_1 = R_1 C$ 、 $\tau_2 = R_2 C$ である。

よって、ラグ・リード・フィルタを用いた PLL の伝達関数 $H(s)$ は、

$$H(s) = \frac{s \frac{K\tau_2}{\tau_1 + \tau_2} + \frac{K}{\tau_1 + \tau_2}}{s^2 + s \frac{N + K\tau_2}{N(\tau_1 + \tau_2)} + \frac{K}{N(\tau_1 + \tau_2)}} \quad (\text{A.3})$$

となる。ここで、(A.3) 式を基準化することで、ダンピング係数 ζ_{nml} と自然角周波数 ω_{nml} を次のように求める。

$$\zeta_{nml} = \frac{1}{2} \left(\frac{K}{N(\tau_1 + \tau_2)} \right)^{\frac{1}{2}} \left(\frac{N}{K} + \tau_2 \right) \quad (\text{A.4})$$

$$\omega_{nml} = \left(\frac{K}{N(\tau_1 + \tau_2)} \right)^{\frac{1}{2}} \quad (\text{A.5})$$

A.2 OSPD-PLL の伝達関数

図 A.2 は、参照信号と VCO 出力 (フィードバック信号) の間に一定の小さな位相差があった場合の、一般的な PD と 4 倍 OSPD が出力する位相差信号である。

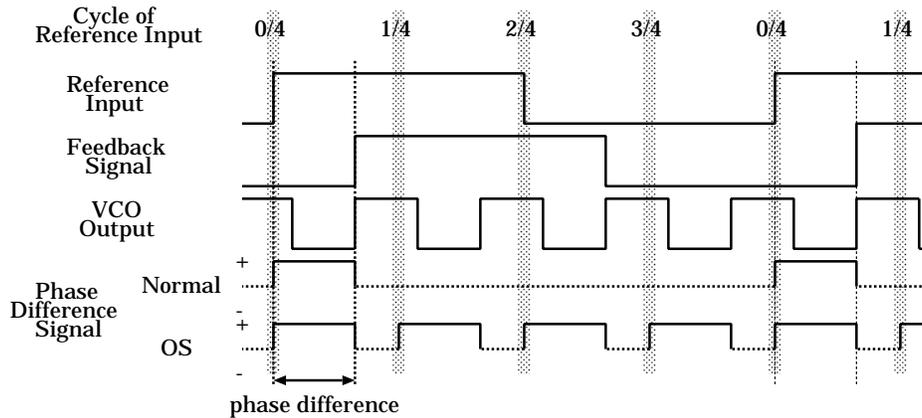


図 A.2 一定の位相偏差に対する一般の PD と OSPD の出力

この図からわかるように、4 倍 OSPD は一般的な PD に比べてパルス幅が 4 倍であり、4 倍のゲインがあることがわかる。つまり、OSPD のモデルは、一般的な PD の OS 数倍のゲインで定義すればよいといえる。

よって、OSPD-PLL のダンピング係数 ζ_{os} と自然角周波数 ω_{nos} は次のように求める。

$$\zeta_{os} = \frac{1}{2} \left(\frac{OSK}{N(\tau_1 + \tau_2)} \right)^{\frac{1}{2}} \left(\frac{N}{OSK} + \tau_2 \right) \quad (\text{A.6})$$

$$\omega_{nos} = \left(\frac{OSK}{N(\tau_1 + \tau_2)} \right)^{\frac{1}{2}} \quad (\text{A.7})$$

と定義できる。

付録 B

TDC 技術による高分解能位相補間法の効果

B.1 TDC 技術

近年の LSI の低電圧化に伴い，アナログ領域のデータの表現が電圧軸から時間軸へと移り変わり始めており，これに伴い，デジタル領域とアナログ領域間でのデータの互換技術として，DTC/TDC 技術に注目が集まっている [42] .

我々は TDC 技術の 1 種として，内部クロック周期長を基準値とした，参照信号の周期と位相ずれをデジタル値に変換する技術である，周期長推定法と位相ずれ推定法を提案する .

B.1.1 周期長推定法

原理

参照信号と内部クロックは非同期であるため，参照信号第 n 周期の立上りと第 $(n+1)$ 周期の立上りでサンプリングした内部クロックの論理と第 n 周期内の内部クロック数 $DLen(n)$ の関係として，図 B.1 の 4 つが考えられる .

参照信号第 n 周期の立上りと $DLen(n)$ の始点との差を $\Delta_f(n)$ ，第 $(n+1)$ 周期の立上りと $DLen(n)$ の終点との差を $\Delta_b(n)$ とすると，内部クロックを基準とした参照信号の周期長 $Length$ は，

$$\begin{aligned} Length &= DLen(n) + \Delta_f(n) + \Delta_b(n) \\ &= DLen(n) + \Delta \end{aligned} \tag{B.1}$$

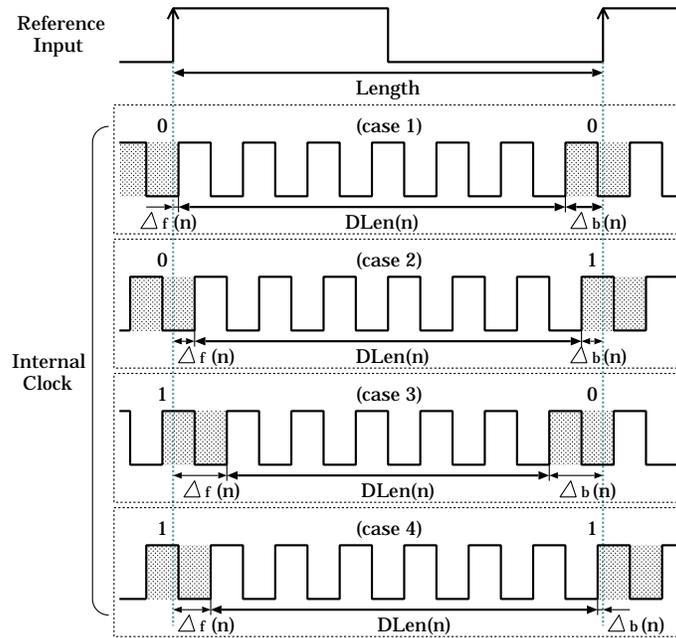


図 B.1 参照入力と内部クロックの関係

で表すことができる．しかし，実際には $\Delta_f(n)$ と $\Delta_b(n)$ の正確な値を得るのは難しい．

そこで，図 B.1 の関係から，その推定値 $\Delta_{fe}(n)$ ， $\Delta_{be}(n)$ とこれらの和 $\Delta_e(n)$ を表 B.1 のように定義する．

表 B.1 $\Delta_f(n)$ と $\Delta_b(n)$ の推定値

case	$\Delta_f(n)$	$\Delta_{fe}(n)$	$\Delta_b(n)$	$\Delta_{be}(n)$	$\Delta_e(n)$
1	0~0.5	0.25	0.5~1	0.75	1.0
2	0~0.5	0.25	0~0.5	0.25	0.5
3	0.5~1	0.75	0.5~1	0.75	1.5
4	0.5~1	0.75	0~0.5	0.25	1.0

この推定値を使い，参照信号の第 n 周期長推定値 $ELen(n)$ を表すと

$$ELen(n) = DLen(n) + \Delta_e$$

となる．また，推定値の誤差 $\Delta_e(n) - \Delta$ を $e(n)$ とすると，(B.1) 式から

$$ELen(n) = Length + e(n) \tag{B.2}$$

と，正しい参照信号の周期長 $Length$ と誤差の和 $e(n)$ で表すことができる．

そして，推定長 $ELen(n)$ からこの誤差 $e(n)$ を消すために，推定長をゲイン α^{-n} を加えて積算する (B.3) 式で定義する．

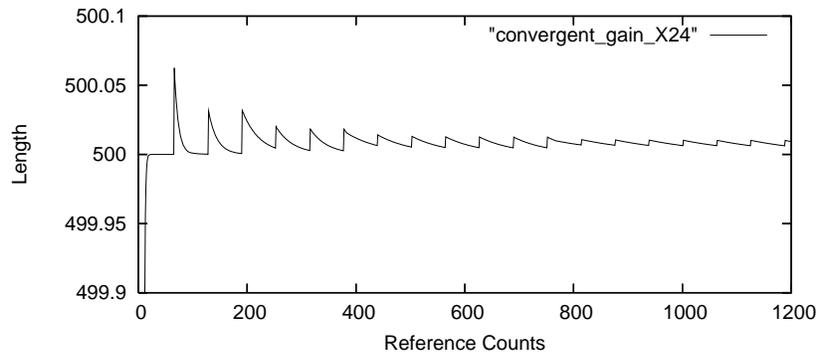
$$ELen(n) = \frac{(2 - \alpha^{-n})ELen(n-1)}{2} + \frac{\alpha^{-n}(Length + e(n))}{2} \quad (B.3)$$

$n \rightarrow \infty$ となるとき， $ELen(n)$ は $Length$ のみとなる．

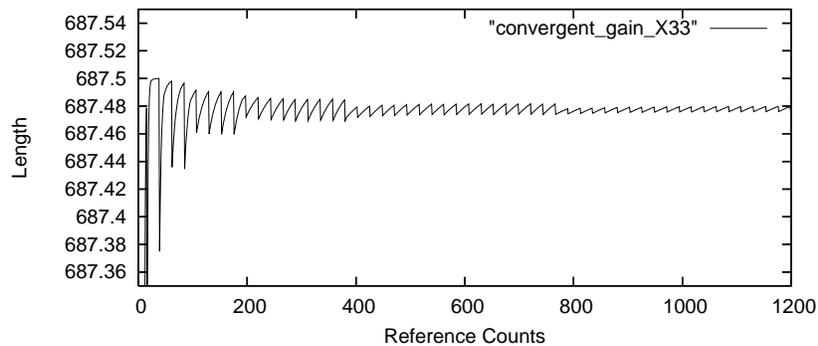
VHDL シミュレーション結果

ハードウェア記述言語である VHDL で (B.3) 式を記述し，シミュレーションした結果を図 B.2 に示す．なお，参照信号周波数を 48[kHz]，内部クロック周波数を (a)24[MHz]，(b)33[MHz] とした場合を想定し，周期をそれぞれ 2083334[psec]，41666[psec]，30304[psec] で与えている．

内部クロックの波長を 1 単位とした参照信号の周期長は，(a) は 500.00802...，(b) は 687.47802...となる．図 B.2 をみると，推定値がそれぞれこの値に収束している．したがって，提案したアルゴリズムで参照信号の周期長を推定できていることがわかる．なお，他の周波数の組合せでも同様の結果になった．



(a) 内部クロック 24 [MHz]



(b) 内部クロック 33 [MHz]

図 B.2 周期長推定法の VHDL シミュレーション結果

B.1.2 位相ずれ推定法

原理

前述の周期長推定法で得られた参照信号の周期長 $Length$ を使い、参照信号の立上り後に内部クロックが立上るまでの時間差 Δ_f を推定する、位相ずれ推定法を図 B.3 に示す。

参照信号の第 $n - 1$ 周期での時間差の推定値が $\Delta_{fc}(n - 1)$ であったとすると、次の第 n 周期の参照信号の立上りタイミングは $Length - \Delta_{fc}(n - 1)$ と予測でき、さらに時間差 $\Delta_{fe}(n)$ は、

$$\Delta_{fe}(n) = 1.0 - (Length - \Delta_{fc}(n - 1))_{fractional\ part}$$

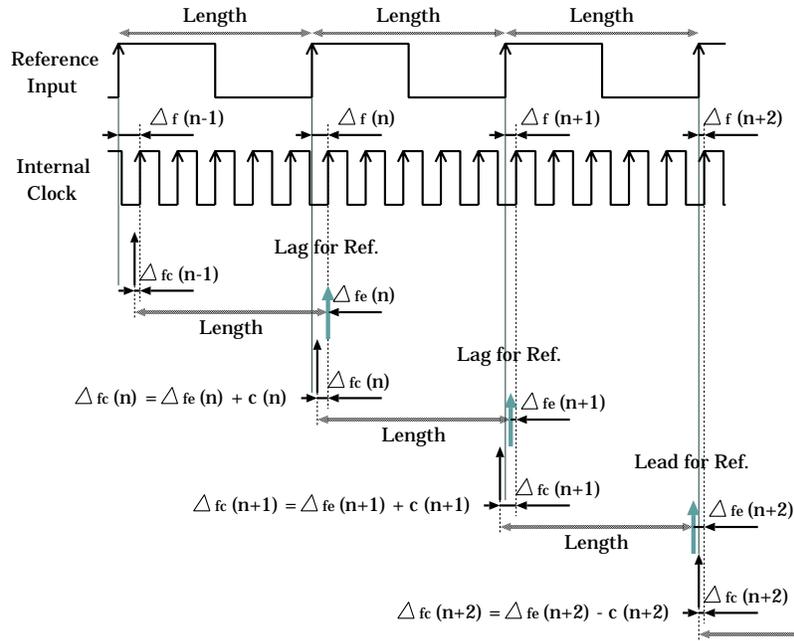


図 B.3 位相ずれ推定法

と求めることができる。

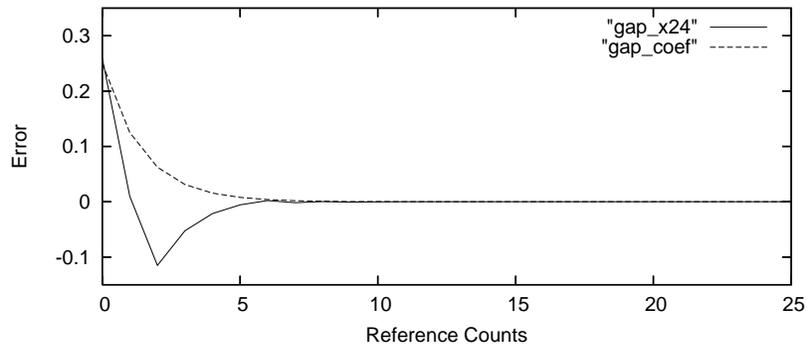
そして、アナログ・タイミング生成器 (付録 C 参照) を使い、そのタイミングでパルスを出させ、実際の参照信号の立上りのタイミングを比較する。その際に、両者が一致していれば推定値 $\Delta_{fe}(n)$ は正しく、ずれがあれば修正係数 $c(n) = \beta^{-n}$ で修正し、修正予測値 $\Delta_{fc}(n)$ を得る。

この推定と修正の操作を繰り返し、位相ずれの一致を図る。

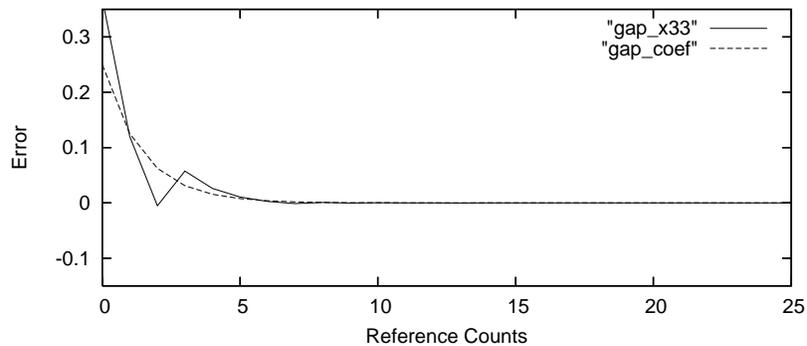
C シミュレーション結果

周期長推定法と異なり、位相ずれ推定法はアナログ要素が入るため、C 言語で記述した。シミュレーションした結果を図 B.4 に示す。なお、横軸は推定回数、縦軸は参照信号の立上りと推定したタイミングの差で、破線のデータは修正係数 $c(n)$ である。また、参照信号周波数は 48[kHz]、内部クロック周波数は (a)24[MHz]、(b)33[MHz] とした。

この結果から、提案した位相ずれ推定法で参照信号の立上りとその直後の内部クロックの立上りの時間差を推定できたといえる。なお、他の周波数の組合せでも同様の結果となった。



(a) 内部クロック 24 [MHz]



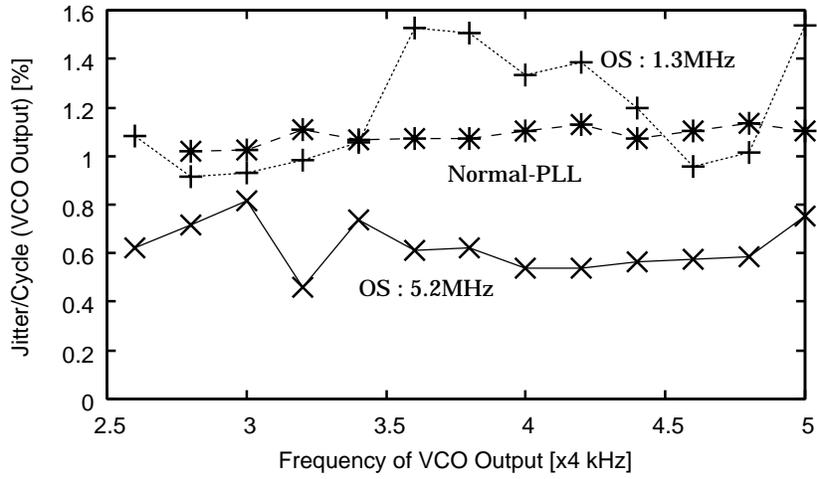
(b) 内部クロック 33 [MHz]

図 B.4 位相ずれ推定法の C シミュレーション結果

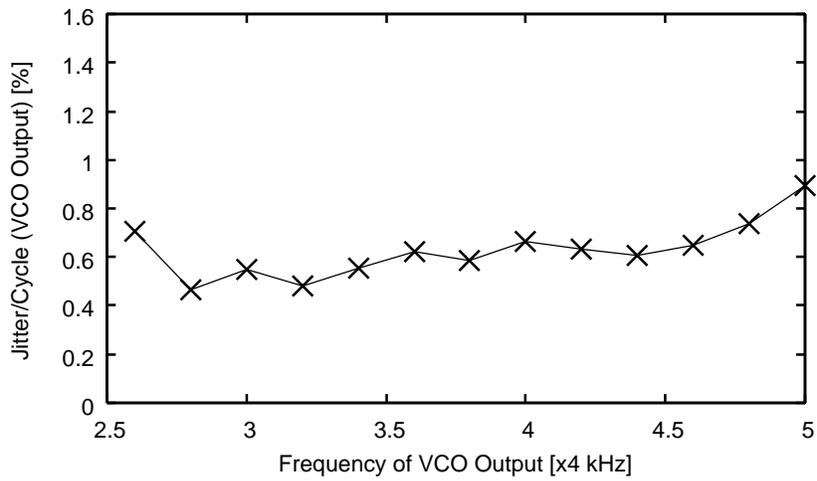
B.2 高分解能化によるジッタ特性の改善

図 B.5, B.6 の (b) は, この TDC 技術により高分解能化した位相補間回路を使った新しい OSPD を FPGA に実装し, PLL に適用して測定したジッタ特性である. なお, 分解能は内部クロックの 4 倍にし, 内部クロック周波数は 1.3[MHz] とした. 比較のため, 図 (a) に, 従来の位相補間法による OSPD-PLL と一般の PLL のジッタ特性も示す.

この図からわかるように, 位相補間の 1 クロック分解能を 4 倍に向上することで, 回路動作周波数が 1.3[MHz] であるのにも関わらず, 従来型よりもジッタ特性が改善され, 4 倍の周波数の内部クロックで動作する従来型の OSPD-PLL とほぼ同等の特性が得られて



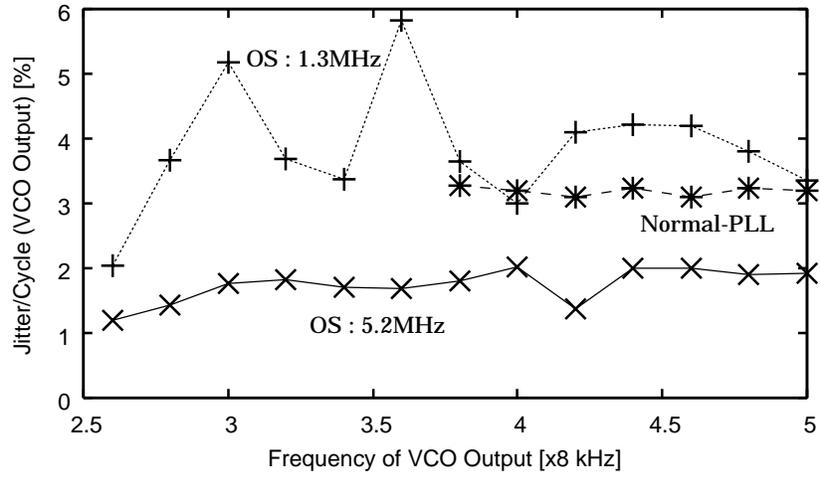
(a) 従来



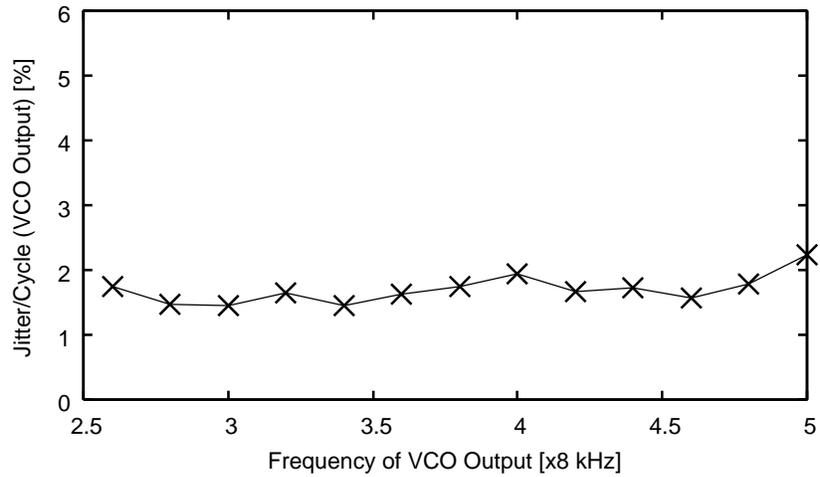
(b) 分解能 4 倍 @ 位相補間回路動作周波数 : 1.3 [MHz]

図 B.5 分解能向上前後のジッタ特性の比較 (4 倍発振)

いる .



(a) 従来



(b) 分解能 8 倍 @ 位相補間回路動作周波数 : 1.3 [MHz]

図 B.6 分解能向上前後のジッタ特性の比較 (8 倍発振)

付録 C

アナログ・タイミング生成器

図 C.1 は、DTC 技術の一種で、内部クロックの 1 クロック内の任意のタイミングでパルスを出力する回路である。

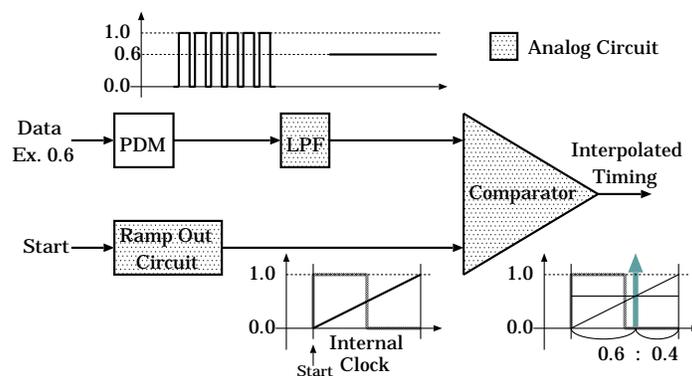


図 C.1 Analog timing generator

たとえば、1 クロック長を 1.0 とし、これに対して 0.6 のタイミングでパルスを出力する場合を考える。データ 0.6 はパルス密度変調 (PDM) とロー・パス・フィルタ (LPF) により、アナログ信号に変換され、コンパレータに入力される。コンパレータのもう一方の端子には、ランプ信号出力回路 (Ramp Out Circuit) から出力される 1 クロック長で 0.0 から 1.0 まで変化する信号が入力され、コンパレータはこの信号とデータ 0.6 を DA 変換した信号とを比較し、これらが一致したときパルスを出力する。