

<はしがき>

本報告書は、平成 16 年度から平成 18 年度にかけて実施した科学研究費補助金基盤研究 (C)「マルチフォールトモデルを対象とした LSI のテストに関する研究」(課題番号 16500036)に関する研究成果をまとめたものである。

LSI の設計・製造技術の進歩は、チップの省面積化・高速化・低消費電力化を可能にする一方、製造テストでは新たな課題を生じさせている。微細化・高速化が進む中で製造不良による故障時の LSI の動作が多様化し、接続不良(オープン故障、ブリッジ故障)やタイミングに影響する遅延故障、クロストーク故障などが問題視されている。本研究では、これらの異なるモデルで表現される複数のタイプの故障を検出するため、縮退故障用のテストパターンへの欠陥検出率向上手法、遅延故障に対する高品質テスト生成手法、故障診断手法、および、これらの手法の基盤となる技術の開発を行った。具体的には、以下の 5 項目について、研究を行った。

(1) 縮退故障用テストパターンのブリッジ故障検出率向上の研究

縮退故障検出用に生成されたテストパターンのブリッジ故障検出に対する有効性について、N 回検出テストのテストパターン数とブリッジ故障検出率の関係を実験的に究明した。テスト圧縮は N 回検出テストのブリッジ故障検出能力を高めるために有効であるが、圧縮を強力に行うと、テストパターン数削減の弊害により、ブリッジ故障検出率が低下することを確かめた。そこで、テスト圧縮技術を用いて生成された縮退故障検出用テストパターンがブリッジ故障検出により有効となるように、与えられた縮退故障検出用テストパターンを変更する手法を開発した。その手法では、与えられたパターンに含まれるドントケアビットを識別し、ドントケアビットにブリッジ故障を検出する値を割り当てる手順を用いた。ISCAS ベンチマーク回路に対する実験では、提案手法が効率的に縮退故障用テストパターンでのブリッジ故障検出率を向上できることを示した。この手法は、AND ブリッジ、OR ブリッジ故障を対象にした手法であったが、さらに 4 方向ブリッジ故障を対象故障を拡張することでより欠陥検出力の高いテストパターンの生成も出来るよう、開発した手法を拡張し、その効果を確認した。

(2) テストパターン中のドントケア判定の研究

与えられたテストパターンに潜在的に含まれるドントケアに着目し、テストパターン数を増加させず、縮退故障検出率も低下させないで、自由に論理値が割り当てられるテストパターン中のビットを高精度に見つける手法を研究した。与えられたテストパターンのドントケアをみつけることが出来れば、1. の研究で用いたように他のモデルの故障に対するテストパターンの故障検出率向上を容易に実現できるようになる。本研究では、与えられたテストパターン中のドントケアの数を最大化するため、ある入力ベクトルから内部信号値を正当化する最小キューブ抽出手法を提案した。正当化する信号値が一つの場合を基

に、複数の信号線を同時に正当化する最小キューブ抽出手法へ拡張した。複数信号値を正当化する場合、正当化可能なすべてのキューブを BDD で表現し、キューブ抽出問題を BDD 上での最短路問題に帰着させた。提案手法は、テストベクトルの特定ビット数が最小であるテストキューブを求めるため、テストパターンの品質向上の他、例えばテストデータコンプレッションの効果を高めるのに有効である。

テストパターン中のドントケアを見つける研究では、各故障を複数回検出する遷移遅延テスト用 N 回検出テストパターンも対象に研究を行った。 N 回検出用テストパターンで行う遷移遅延テストは、テストパターン数が増加するため、テストコストの増加が問題となる。その解決策として、本研究では、遷移遅延故障用 N 回検出テストパターンのドントケア判定を行う手法を提案し、判定されたドントケアを基にテストパターンを統合し、テストコスト削減に用いる手法を開発した。ベンチマーク回路による実験では、 $N=1$ のときテストパターン数は約 60%に、 $N=2$ のときテストパターン数は約 80%になり、提案手法の有効性を示すことができた。

さらに、ドントケア判定に基づくテストパターン変換をテスト圧縮 (test compression) に利用し、スキャン設計によりテスト容易化された回路のテストデータ量・テスト時間削減方法を提案した。

(3) 遅延故障に対する高品質テストの研究

DSM 技術の進歩により重要性が増している遅延故障テストに関連して、論理回路のタイミング動作に影響するパス遅延故障に対応するための、テストパターン圧縮手法を提案した。テスト対象となる長いパスは、プロセス変動やノイズの影響で実際に製造された回路では長いパスにならない可能性があるが、提案手法は、テスト対象にはならなかったが実際には長いパスの故障を検出する可能性を高めることができる。実験では、提案手法が非対象の長いパスの故障を多く検出するコンパクトなテスト集合を効率的に生成できることを示した。また、遷移故障の検出において潜在的に活性化可能な最長パス長を計算する手法を提案し、求めたパス情報を用いて高品質遷移故障 ATPG に役立つパスを抽出する手法を開発した。実験では、提案手法が SDQL を正確に計算するだけでなく、テスト生成においてテスト品質を高めることを示した。

(4) X 故障モデルによる故障診断の研究

故障がある回路の故障位置指摘手法として、様々な故障モデルを包含して扱える X 故障モデルを用いた per-test 故障診断手法を開発した。X 故障モデルは、縮退故障のみならず、ブリッジ故障やオープン故障など、複雑な論理動作を生じる欠陥を包括しており、汎用的な故障モデルである。本研究では、複数の不定値を扱うために、X 挿入、X 伝搬、X 分解といった処理を伴う故障シミュレーション手法を開発し、その故障シミュレータをもとに、様々な故障モデルに対しても正確な診断が可能な故障診断法を確立した。また、(1) ビア

を考慮した拡張 X 故障モデル, (2) 閾値電圧の順序関係を考慮した論理値組合せ発生確率を考慮した故障診断手法を実装し. 実験によって提案手法の有効性を示した.

(5) 高速故障シミュレーション手法の研究

テスト生成や故障診断の処理性能を高めることを目的に, 論理回路の故障シミュレーションの高速化手法について研究を行った. 開発した手法では, ファンアウトフリー部分回路の出力を計算する論理式をプログラムの関数として記述し, シミュレーション時の論理値の計算にはあらかじめ記述した関数を用い, ファンアウトフリー部分回路の出力値をコンパイル方式により導出した. 実験では, 提案手法により故障シミュレーション時間を従来手法 (イベント駆動方式によるパターン並列シミュレーション) より 50~60%削減できることが確認出来た.

研究組織

研究代表者: 梶原誠司 (九州工業大学 情報工学部 教授)

研究分担者: 温 暁青 (九州工業大学 大学院情報工学研究科 助教授)

交付決定額 (配分額)

(金額単位: 円)

	直接経費	間接経費	合計
平成 16 年度	1,900,000	0	1,900,000
平成 17 年度	800,000	0	800,000
平成 18 年度	900,000	0	900,000
総 計	3,600,000	0	3,600,000

研究発表

【学会論文誌等】

- [1] Kohei Miyase, Seiji Kajihara, “Scan Tree Design: Test compression with Test Vector Modification” 情報処理学会論文誌, Vol. 44, No. 5, pp. 1270-1278, May 2004.
- [2] Xiaoqing WEN, Seiji KAJIHARA, Hideo TAMAMOTO, Kewal K. SALUJA, and Kozo KINOSHITA, “On Design for IDDQ-Based Diagnosability of CMOS Circuits Using Multiple Power Supplies” IEICE Trans. Info. and Syst., Vol. E88-D, No. 4, pp. 703-710, April 2005.
- [3] 温 暁青, 梶原 誠司, 玉本 英夫, Kewal K. Saluja, 樹下 行三, “中間故障電圧値を扱う故障シミュレーションの高速化について” 電子情報通信学会論文誌 D-I, Vol. J88-D-I, No. 4, pp. 906-907, April 2005.
- [4] Masayasu Fukunaga, Seiji Kajihara, Sadami Takeoka, “On Statistical Estimation of Fault Efficiency for Path Delay Faults Based on Untestable Path Analysis” IEICE Trans. Info. and Syst., Vol. E88-D, No. 7, pp. 1671-1677, July 2005.
- [5] Lei Li, Krishnendu Chakrabarty, Seiji Kajihara and Shivakumar Swaminathan, “Three-Stage Compression Approach to Reduce Test Data Volume and Testing Time for IP Cores in SOCs” IEE Proc. Computers & Digital Technique, Volume 152, Issue 6, pp. 704-712, Nov. 2005.
- [6] Yasuo Sato, Shuji Hamada, Toshiyuki Maeda, Atsuo Takatori, and Seiji Kajihara, “A statistical quality model for delay testing,” *IEICE Trans. ELECTRONICS*, VOL. E89-C, No. 3 pp. 349-355, MARCH 2006.
- [7] 宮瀬 紘平, 梶原 誠司, レディ スダーカ, “多重スキャンツリー設計によるテストデータ量・テスト印加時間の削減” 情報処理学会論文誌, Vol. 47, No. 6, pp. 1648-1657, June 2006.
- [8] 佐藤康夫, 浜田周治, 前田敏行, 高取厚夫, 野津山泰行, 梶原誠司, “統計的遅延品質モデル(SDQM)のフィージビリティ評価”, 電子情報通信学会論文誌 D-I, Vol. J89-D-I, No. 8, pp. 1717-1728, Aug. 2006.
- [9] Yoshinobu Higami, Seiji Kajihara, Irith Pomeranz, Shin-ya Kobayashi, Yuzo Takamatsu, “On Finding Don't Cares in Test Sequences for Sequential Circuits,” *IEICE Trans. Info. & Syst.*, Vol. E89-D, No. 11, pp. 2748-2755, Nov. 2006.

【査読付き国際会議】

- [10] Seiji Kajihara, Kewal K. Saluja, Sudhakar M. Reddy, “Enhanced 3-valued logic/fault simulation for full scan circuits using implicit logic values,” *Proc. 9th IEEE European Test Symposium*, pp. 108-113, May 2004.
- [11] Lei Li, Krishnendu Chakrabarty, Seiji Kajihara, Shivakumar Swaminathan, “Efficient Space/Time Compression of Test Data for Multiple Scan Chain Designs,”

- Proc. 9th IEEE European Test Symposium*, pp. 265–266 (Informal Digest of Papers), May 2004.
- [12] Xiaoqing Wen, Tokiharu Miyoshi, Seiji Kajihara, Laung-Terng Wang, Kewal K. Saluja, Kozo Kinoshita, “On Per-Test Fault Diagnosis Using the X-Fault Model,” *Proc. IEEE/ACM International Conference on Computer-Aided Design*, pp. 633–640, Nov. 2004.
- [13] Kohei Miyase, Seiji Kajihara, Sudhakar M. Reddy, “Multiple Scan Tree Design with Test Vector Modification,” *Proc. Asian Test Symposium*, pp. 76–81, Nov. 2004.
- [14] Yoshinobu Higami, Seiji Kajihara, Shin-ya Kobayashi and Yuzo Takamatsu, “Techniques for Finding Xs in Test Sequences for Sequential Circuits and Applications to Test Length/Power Reduction,” *Proc. Asian Test Symposium*, pp. 46–49, Nov. 2004.
- [15] Lei Li, Krishnendu Chakrabarty, Seiji Kajihara, Shivakumar Swaminathan, “Efficient Space/Time Compression to Reduce Test Data Volume and Testing Time for IP Cores,” *Proc. International Conference on VLSI Design*, pp. 53–58, Jan. 2005.
- [16] Yasumi Doi, Seiji Kajihara, Xiaoqing Wen, Lei Li, Krishnendu Chakrabarty, “Test compression for scan circuits using scan polarity adjustment and pinpoint test relaxation,” *Proc. Asia and South Pacific Design Automation Conference*, pp. 59–64, Jan. 2005.
- [17] Yasuo Satoh, Sato, Shuji Hamada, Toshiyuki Maeda, Atsuo Takatori, Seiji Kajihara, “Evaluation of Statistical Delay Quality Model” Asia and South Pacific Design Automation Conference, pp. 305–310, Jan. 2005.
- [18] Kohei Miyase, Shinobu Nagayama, Seiji Kajihara, Xiaoqing Wen, Sudhakar M. Reddy, “On the Extraction of a Minimum Cube to Justify Signal Line Values,” *Proc. European Test Symposium (Informal Digest of Papers)*, pp. 79–84, May. 2005.
- [19] Seiji Kajihara, Masayasu Fukunaga, Xiaoqing Wen, Toshiyuki Maeda, Shuji Hamada, Yasuo Sato, “Path Delay Test Compaction with Process Variation Tolerance,” *Proc. ACM/IEEE Design Automation Conference*, pp. 845–850, June 2005.
- [20] Yasuo Sato, Shuji Hamada, Toshiyuki Maeda, Atsuo Takatori, Yasuyuki Nozuyama, Seiji Kajihara, “Invisible delay quality – SDQM model lights up what could not be seen,” *Proc. International Test Conference*, paper 47.1 (9 pages), Nov. 2005.
- [21] Naoya Toyota, Seiji Kajihara, Xiaoqing Wen and Masaru Sanada, “On Quantifying Observability for Fault Diagnosis of VLSI Circuits,” *Proc. 5th IEEE Workshop on RTL and High Level Testing*, pp. 192–197, July 2005.
- [22] K. Miyase, K. Terashima, S. Kajihara, X. Wen, S.M. Reddy, “On Improving Defect Coverage of Stuck-at Fault Tests,” *Proc. Asian Test Symposium*, pp. 216–221,

Dec. 2005.

- [23] Masayasu Fukunaga, Seiji Kajihara, Xiaoqing Wen, Toshiyuki Maeda, Shuji Hamada, Yasuo Sato, “A dynamic test compaction procedure for high-quality path delay testing,” *Proc. Asia and South Pacific Design Automation Conference*, pp. 348-353, Jan. 2006.
- [24] Kenjiro Taniguchi, Hideo Fujii, Seiji Kajihara, Xiaoqing Wen, “Hybrid fault simulation with compiled and event-driven methods,” *Proc. IEEE International Conference on Design & Test of Integrated Systems in Nanoscale Technology*, pp. 240-243, Sept. 2006.
- [25] Seiji Kajihara, Shohei Morishima, Akane Takuma, Xiaoqing Wen, Toshiyuki Maeda, Shuji Hamada, Yasuo Sato, “A Framework of High-quality Transition Fault ATPG for Scan Circuits,” *Proc. International Test Conference, paper 2.1* (6 pages), Oct. 2006.
- [26] Xiaoqing Wen, Yuta Yamato, Kohei Miyase, Seiji Kajihara, Hiroshi Furukawa, Laung-Terng Wang, Kewal K. Saluja, and Kozo Kinoshita, “An Improved Method of Per-Test X -Fault Diagnosis for Deep-Submicron LSI Circuits,” *Proc. 6th IEEE Workshop on RTL and High Level Testing*, pp. 55-60, Nov. 2006.

【口頭発表】

- [27] 山下善之, 梶原誠司, 温暁青, 三浦幸也, “トランジスタの動作領域を考慮したデジタル回路のテストと解析”, *第51回F T C研究会資料*, July 2004.
- [28] 三好勲元, 温 暁青, 梶原誠司, “ X 故障モデルを用いたSLAT故障診断手法について”, *情報処理学会 DAシンポジウム 2004 論文集*, pp.61-66, July 2004.
- [29] 三好 勲元, 温 暁青, 梶原 誠司, “ X 故障モデルを用いたPer-Test故障診断手法について”, *LSIテストニングシンポジウム/2004 会議録*, pp.223-228, Nov. 2004.
- [30] 宮瀬 紘平, 永山 忍, 梶原 誠司, 温 暁青, レディ スターカ, “入力ベクトルからの信号値を正当化する最小キューブ抽出”, *電子情報通信学会技術研究報告 VLD2004-77*, pp.97-102, Dec. 2004.
- [31] 土井 康稔, 梶原 誠司, 温暁青, Lei Li, Krishnendu Chakrabarty, “スキャン極性調節とピンポイントテスト変換によるテスト圧縮”, *電子情報通信学会技術研究報告 VLD2004-78*, pp.103-108, Dec. 2004.
- [32] 佐藤康夫, 浜田周治, 前田敏行, 高取厚夫, 梶原誠司, “タイミングを考慮した統計的遅延品質評価方法”, *第52回F T C研究会資料*, Jan. 2005.
- [33] 豊田直哉, 梶原誠司, 温 暁青, 真田 克, “故障診断のための観測性の定量化について”, *電子情報通信学会技術研究報告ICD2004-212*, pp.31-34, Jan. 2005.
- [34] 樋上喜信, 梶原誠司, 小林真也, 高松雄三, “順序回路に対するテスト系列中の

- ドントケア値発見とテスト圧縮・消費電力削減への応用について”，電子情報通信学会技術研究報告ICD2004-214, pp. 41-47, Jan. 2005.
- [35] 梶原誠司, 福永昌勉, 温暁青, 前田敏行, 浜田周治, 佐藤康夫, “超微細LSIのパス遅延故障に対するテスト圧縮法について”, 電子情報通信学会技術研究報告DC2004-107, pp. 93-98, Feb. 2005.
- [36] 佐藤康夫, 浜田周治, 前田敏行, 高取厚夫, 梶原誠司, “ディレイ品質を予測する統計的品质モデル”, 電子情報通信学会技術研究報告DC2004-108, pp. 99-104, Feb. 2005.
- [37] 大和勇太, 温暁青, 梶原誠司, “X故障モデルに対する故障シミュレーションの効率化について”, 第53回FTC研究会資料, July 2005.
- [38] 幸山和憲, 温暁青, 梶原誠司, “SoCにおけるブロードキャストスキャンテスト効率化手法について”, 第53回FTC研究会資料, July 2005.
- [39] 寺島健太, 宮瀬 紘平, 梶原誠司, 温 暁青, “縮退故障用テストパターンのブリッジ故障検出率向上手法について”, 情報処理学会 DAシンポジウム 2005 論文集, pp. 67-72, Aug. 2005.
- [40] 豊田直哉, 梶原誠司, 温暁青, 真田克, “故障診断のための観測性の定量化について”, LSIテストニングシンポジウム2005会議録, pp. 223-228, 2005年11月
- [41] 森島翔平, 詫間茜, 梶原 誠司, 温暁青, 前田敏行, 浜田周治, 佐藤康夫, “ブロードサイドテストにおける高品質テストパターンの生成について”, 第54回FTC研究会資料, Jan. 2006.
- [42] 森島翔平, 詫間茜, 梶原誠司, 温暁青, 前田敏行, 浜田周治, 佐藤康夫, “ブロードサイド方式におけるパス長を考慮した遷移故障用テストパターン生成について”, 電子情報通信学会技術研究報告 DC2005-81, pp. 55-60, Feb. 2006.
- [43] 谷口謙二郎, 宮瀬紘平, 梶原誠司, 温暁青, “フルスキャン順序回路用2パターンテストに対するドントケア判定”, 情報処理学会 DAシンポジウム 2006 論文集, pp. 103-108, July 2006.
- [44] 藤井 秀雄, 谷口 謙二郎, 梶原 誠司, 温 暁青, “コンパイル方式とイベント駆動方式を用いた故障シミュレーションの高速化について”, 第55回FTC研究会資料, July 2006.
- [45] 大和勇太, 温暁青, 宮瀬紘平, 梶原誠司, K.K. サルージャ, 樹下行三, “LSI回路の新しいX故障によるPer-Test故障診断手法について”, LSIテストニングシンポジウム/2006会議録, pp. 193-198, 2006年11月
- [46] 谷口謙二郎, 宮瀬紘平, 梶原誠司, 温暁青, “ブロードサイドテストにおけるN回検出用テストパターンに対するX判定”, 電子情報通信学会技術研究報告 VLD2006-57, pp. 35-40, Nov. 2006.
- [47] 山本真裕, 森島翔平, 梶原誠司, 温暁青, 福永昌勉, 畠山一実, 相京 隆, “遅

延テスト品質の正確な評価法とテスト生成への応用”，第56回F T C研究会資料，Jan 2007.

[48] 藤井 秀雄，谷口 謙二郎，梶原 誠司，温 暁青，“順序回路用故障シミュレーションにおけるコンパイル方式の適用と効果について”，電子情報通信学会技術研究報告 DC2006-82，pp. 13-18，Feb. 2007.

[49] 森島 翔平，山本 真裕，梶原 誠司，温 暁青，福永 昌勉，畠山 一実，相京 隆，“遷移遅延故障に対する高品質テスト生成手法について”，電子情報通信学会技術研究報告 DC2006-84，pp. 25-30，Feb. 2007.

【出版物】

[50] 米田友洋，梶原誠司，土屋達弘，*ディペンダブルシステム*，共立出版，2005.

[51] 藤田昌弘（編著），梶原誠司，木村晋二，高田広章，濱口清治，富山宏之，*IT TEXT システムLSI設計工学*，オーム社，2006.

発表論文 (抜粋)

- [1] Kohei Miyase, Seiji Kajihara, “Scan Tree Design: Test compression with Test Vector Modification” 情報処理学会論文誌, Vol. 44, No. 5, pp. 1270–1278, May 2004.
- [4] Masayasu Fukunaga, Seiji Kajihara, Sadami Takeoka, “On Statistical Estimation of Fault Efficiency for Path Delay Faults Based on Untestable Path Analysis” IEICE Trans. Info. and Syst., Vol. E88-D, No. 7, pp. 1671–1677, July 2005.
- [7] 宮瀬 紘平, 梶原 誠司, レディ スターカ, “多重スキャンツリー設計によるテストデータ量・テスト印加時間の削減” 情報処理学会論文誌, Vol. 47, No. 6, pp. 1648–1657, June 2006.
- [9] Yoshinobu Higami, Seiji Kajihara, Irith Pomeranz, Shin-ya Kobayashi, Yuzo Takamatsu, “On Finding Don’t Cares in Test Sequences for Sequential Circuits,” *IEICE Trans. Info. & Syst.*, Vol. E89-D, No. 11, pp. 2748–2755, Nov. 2006.
- [12] Xiaoqing Wen, Tokiharu Miyoshi, Seiji Kajihara, Laung-Terng Wang, Kewal K. Saluja, Kozo Kinoshita, “On Per-Test Fault Diagnosis Using the X-Fault Model,” *Proc. IEEE/ACM International Conference on Computer-Aided Design*, pp. 633–640, Nov. 2004.
- [18] Kohei Miyase, Shinobu Nagayama, Seiji Kajihara, Xiaoqing Wen, Sudhakar M. Reddy, “On the Extraction of a Minimum Cube to Justify Signal Line Values,” *Proc. European Test Symposium (Informal Digest of Papers)*, pp. 79–84, May. 2005.
- [19] Seiji Kajihara, Masayasu Fukunaga, Xiaoqing Wen, Toshiyuki Maeda, Shuji Hamada, Yasuo Sato, “Path Delay Test Compaction with Process Variation Tolerance,” *Proc. ACM/IEEE Design Automation Conference*, pp. 845–850, June 2005.
- [22] K. Miyase, K. Terashima, S. Kajihara, X. Wen, S.M. Reddy, “On Improving Defect Coverage of Stuck-at Fault Tests,” *Proc. Asian Test Symposium*, pp. 216–221, Dec. 2005.
- [24] Kenjiro Taniguchi, Hideo Fujii, Seiji Kajihara, Xiaoqing Wen, “Hybrid fault simulation with compiled and event-driven methods,” *Proc. IEEE International Conference on Design & Test of Integrated Systems in Nanoscale Technology*, pp. 240–243, Sept. 2006.
- [25] Seiji Kajihara, Shohei Morishima, Akane Takuma, Xiaoqing Wen, Toshiyuki Maeda, Shuji Hamada, Yasuo Sato, “A Framework of High-quality Transition Fault ATPG for Scan Circuits,” *Proc. International Test Conference, paper 2.1* (6 pages), Oct. 2006.