

高密度ダイナミック光再構成型ゲートアレー VLSI

渡邊 実^{†a)} 小林 史典[†]

A High-Density Dynamic Optically Reconfigurable Gate Array VLSI

Minoru WATANABE^{†a)} and Fuminori KOBAYASHI[†]

あらまし 近年、光による広いバンド幅を利用することで電気配線では実現できない高速な書込みと、光メモリにより大容量のコンテクトが実現可能なプログラマブル・ゲートアレー、光再構成型ゲートアレーの研究が進められている。しかし、これまでの光再構成型ゲートアレーでは、回路情報が静的なメモリ上に記憶されており、このメモリの実装部がゲートアレー部を圧迫し、光再構成型ゲートアレーの高密度化を妨げていた。そこで、回路情報を保持する静的なメモリを全廃し、受光に用いるフォトダイオードの接合容量をメモリとしても使用する新しいダイナミック光再構成型ゲートアレーが提案された。本論文では、まず、 $0.35\ \mu\text{m}$ -3 層メタルのプロセスを使用したダイナミック光再構成型ゲートアレー試作チップの評価結果を示す。そして、同じプロセスを使用することで、 $14.2\ \text{mm}$ 角チップに 26,350 ゲート規模の光再構成型ゲートアレーが実現可能であることを示すと同時に、この基本デザインを用いて従来の静的メモリ機能をもつ光再構成型ゲートアレーと比較した実装密度の改善率を明らかにする。

キーワード FPGA, ASIC, ORGA, 光再構成, 再構成型コンピュータ

1. ま え が き

1.1 FPGA の問題点

昨今の VLSI 技術は Gordon Moore 博士の経験則「半導体の集積密度は 18~24 カ月で倍増する」に従って急激に成長してきた。この VLSI 技術の飛躍的な進歩を受けて、プログラム可能な FPGA (Field Programmable Gate Array) の高密度化も劇的に進み、初期のプロトタイプ的な用途から少量多品種の生産品にまで使用されるようになってきた [1]。

しかしながら、FPGA には、そのプログラム可能な構造、つまり汎用化された LUT (Look Up Table) 構造、スイッチングマトリクス構造から、同プロセス、同チップサイズの ASIC (Application-Specific Integrated Circuit) と比較して動作周波数が低く、かつ、実装できるゲート規模が小さいという問題点があった。この問題点は、これまで FPGA に回路を実装する場合、ASIC 等と同じように大規模な回路をそ

のまま静的に実装する手法が取られてきたことに起因する。

このプログラマブルデバイスの欠点は、動的再構成を積極的に利用して回路をコンパクトに実装することで改善できる。例えばマイクロプロセッサの実装を例にとると、クロックごとに再構成ができるのであれば、単一の命令をもつ ALU (Arithmetic Logic Unit) を実装する等、その瞬間に特化した回路を実装することが可能になる。回路はコンパクトにできればできるほど、負荷容量、配線抵抗等の増加を抑えることができ、動作周波数の面で有利に働くことは広く知られている。FPGA では高速再構成が不可能であったが、これが可能になれば、回路規模を劇的に削減し、コンパクトに高速に回路を実装することが可能になる。加えて余った実装エリアに他の機能を並列実装することで、並列性による性能向上も期待できる。つまり、プログラマブルデバイスの性能向上は、そのプログラマビリティの積極的な活用にある。

1.2 動的再構成デバイス

最近では、そのプログラム可能な性質をより積極的に利用することで、性能、ゲート規模の問題を解決しようとする動的再構成デバイス、DAP/DNA チップ [2]、DRP チップ [3] や、マルチコンテクト FPGA [4] の

[†]九州工業大学情報工学部、飯塚市

Faculty of Computer Science and Systems Engineering,
Kyushu Institute of Technology, 680-4 Kawazu, Iizuka-shi,
820-8502 Japan

a) E-mail: watanabe@ces.kyutech.ac.jp

研究開発が進められている。FPGA では一つの回路情報のみを記憶する SRAM が実装されていたのに対し、これらのデバイスでは、複数の回路情報を記憶するための複数のバンクをもつメモリが分散実装されており、このバンクが切り換えられることで ALU やゲートアレーの高速な再構成が実現されている。しかし、これらデバイスでは高速再構成は実現できるものの、チップサイズの制限からコンテキスト数が 4~16 パターン程度に制限されている。このように、VLSI 技術単体では、高速再構成と大容量のコンテキストの両立は困難である。

1.3 従来の光再構成型ゲートアレー

近年では、光による広いバンド幅を利用することで高速な書込みを実現したプログラマブルデバイス、光再構成型デバイスの研究が進められている [6]~[12]。光再構成型デバイスの研究は、光再構成型ゲートアレーの将来性について論じた論文 [5] から始まり、メモリとゲートアレー、PLD (Programmable Logic Device)、プロセッサ間を光バスで接続する第 1 世代の光再構成型デバイスの研究 [6] へと続いた。しかし、光バス方式では、メモリデータを一度光信号に変換し、そして、光信号から電気データに変換する、二つの変換が必要になる。フォトダイオードが VLSI 内に分散実装できる反面、VCSEL (Vertical Cavity Surface Emitting Laser) とメモリ機能は 1 チップ内に混在実装することが難しい。この VCSEL とメモリ間の電気的なバスがボトルネックとなり、光の並列性が生かしきれなかった。その一方、第 2 世代の光プログラマブルゲートアレー (OPGA: Optically Programmable Gate Array) [7], [8] では、メモリ部に光メモリであるホログラムメモリを採用し、先のメモリデータから光信号への変換をなくし、ホログラムメモリのアドレッシングにのみ VCSEL を使用する新しいアーキテクチャーを採用した。この結果、ホログラムメモリと VLSI 間での光バスのビット数に制限がなくなり、光配線の利点を最大限に利用することができるようになった。かつ、ホログラムメモリの大容量性を用いることで、大容量のコンテキストも確保できる。ダイナミック光再構成型ゲートアレーもこの第 2 世代の光再構成アーキテクチャーを用いている。

1.4 光再構成型ゲートアレー VLSI 部の問題点

これまでに提案された光再構成型ゲートアレーでは、動作中の回路情報は VLSI 内部の静的なメモリ上に記憶されており、そして、このメモリの実装部がゲート

アレー部を圧迫し、光再構成型ゲートアレーの高密度化を妨げていた。しかし、先に述べた動的再構成を利用した高速・並列実装を行う場合、長期にわたって同じ回路が静的に実装され続けるケースは逆に少なくなることから、VLSI 内部には静的なメモリ機能は必ずしも必須ではなく、ある一定時間、回路情報が保持できるだけでも十分にその目的を達することができる。そこで、回路情報を保持する静的なメモリを全廃し、受光に用いるフォトダイオードの接合容量をメモリとしても使用する新しいダイナミック光再構成型ゲートアレーが提案された [11], [12]。

本論文では、まず、 $0.35\ \mu\text{m}$ -3 層メタルのプロセスを使用したダイナミック光再構成型ゲートアレー試作チップの評価結果を示す。そして、同じプロセスを使用することで、 $14.2\ \text{mm}$ 角チップに 26,350 ゲート規模の光再構成型ゲートアレーが実現可能であることを示すと同時に、この基本デザインを用いて従来の静的メモリ機能をもつ光再構成型ゲートアレーと比較した実装密度の改善率を明らかにする。

2. ダイナミック光再構成型ゲートアレー

2.1 光再構成型ゲートアレーの概要

光再構成型ゲートアレーは、図 1 に示すように、VCSEL、ホログラムメモリ、ゲートアレー VLSI から構成される。VLSI 上部に実装されたホログラムメモリ内に回路情報であるコンテキストが多重的に記憶され、VCSEL アレーはその読み出しのアドレッシングに使用される。一つ、若しくは複数の VCSEL の照射により読み出されたホログラムメモリのコンテキストは、二次元的に VLSI 部に照射される。この二次元的な光によるコンテキスト情報は、ゲートアレー VLSI 部の二次元的に実装された PD (Photodiode) により

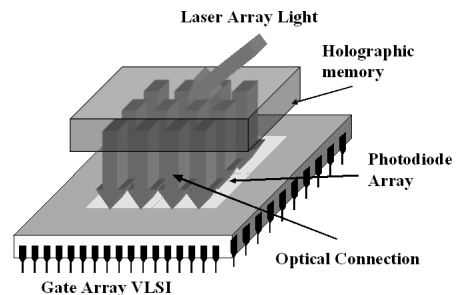


図 1 光再構成型ゲートアレーの概要
Fig.1 Overview of an optically reconfigurable gate array.

並列的に受光され、数百メガヘルツにも達する高速な再構成を可能にする。

2.2 受光部のレイアウト

光再構成型ゲートアレー VLSI 部はゲートアレー部、メモリ、受光部から構成される。初期の光再構成型ゲートアレー [7], [8] では、受光部が集中的にレイアウトされる集中レイアウト手法がとられており、受光部とゲートアレーメモリ間がシリアル的に結合されていた。このことから再構成速度が $16 \sim 20 \mu$ 秒と遅く、クロックごとの動的な再構成が難しかった。そこで、我々は受光部とゲートアレー部の各プログラム要素間を最短で配線する分散レイアウト方式を採用した。この方式では、受光部とゲートアレー部が完全に並列に接続できることから、フォトダイオードの受光時間にほぼ一致する数ナノ秒という高速な再構成が可能である。本論文で述べるダイナミック光再構成型ゲートアレーも、この分散レイアウト方式を用いている。

2.3 従来のスタティック光再構成回路

これまでの光再構成型ゲートアレーでは、FPGA に受光部を加えた構成をとっており、回路情報を VLSI 上に保持できるように設計されてきた。図 2 には、例として、一つの 4 入力-1 出力 LUT (Look-Up Table) 構造を示している。図中の P1~P16 は 4 入力 LUT の 16 状態の各値を決定する入力であり、光再構成回路に個別に接続される。光再構成回路は受光の働きをするフォトダイオード、リフレッシュトランジスタ、バッファ類と、フリップフロップ、ラッチ、メモリ等のメモリ素子から構成される。フォトダイオードで受光された情報はメモリ素子に格納された後、ゲートアレー部に供給される。このように、光により与えら

れた情報は、VLSI 内部に一時的に蓄えられるので、光を常時照射し続ける必要はなく、またゲートアレーの回路は電源が切られるまでその状態が保たれる。これは、光再構成型ゲートアレーにおいても、従来の IC, LSI, FPGA と同様、回路が静的に保たれるという思想を踏襲してきたことを示している。しかし、その結果、これまでに提案されてきた光再構成回路の受光部とその情報を保持するメモリ部の面積は全チップ面積の $2/3$ にも達しており、それらメモリの実装エリアが光再構成型ゲートアレーの高密度化を妨げてきた。

2.4 ダイナミック光再構成回路

光再構成型ゲートアレーでは、クロックレベルでの高速再構成が可能になるので、光メモリ内の回路情報はいつでも非常に少ないオーバーヘッドで瞬間的に VLSI 部に書き込むことが可能である。よって、たとえば、VLSI 内部に静的なメモリ機能がなく、回路情報を短時間しか蓄えることができなかったとしても、必要に応じて再度書き込みを行えばよい。更に、光再構成型ゲートアレーでは、クロックごとに動的に再構成することで演算能力を高める運用が想定されており、この動的な再構成は、この再度の書き込みさえも不要にする。加えて、従来の VLSI にあった静的な機能は、回路が静的になくとも、演算結果、つまり、VLSI 外部への出力が静的に保たれれば十分実現できる。この新しいコンセプトを図 3 に示す。タイミング図に示すように、動的に再構成を行う際に、演算結果を再構成タイミングと同期させて、フリップフロップ内に蓄えることで、これまでの VLSI と同様、演算結果を静的に VLSI 外部に取り出すことができる。回路情報の静的な長期記憶はゲートアレーの I/O 部等、ごく一部に限られる。このように、光再構成型ゲートアレーでは、回路情報を蓄える静的なメモリ機能は余剰であると考えられる。ダイナミック光再構成型ゲートアレーでは、フォトダイオードの接合容量を回路情報を蓄えるメモリとしても利用している。この結果、回路情報を保持するスタティックメモリは全廃することができ、これまでとは次元の異なる高密度な光再構成型ゲートアレーが実現できる。

もちろん、ダイナミック手法にも欠点がある。それは、長期にわたって回路を実装し続ける場合、リフレッシュ操作が必要になることと、フォトダイオードの接合容量そのものをメモリとして使用することから、光照射を行うビット以外のバックグラウンド光を極力抑える必要があることである。つまり、コントラスト比

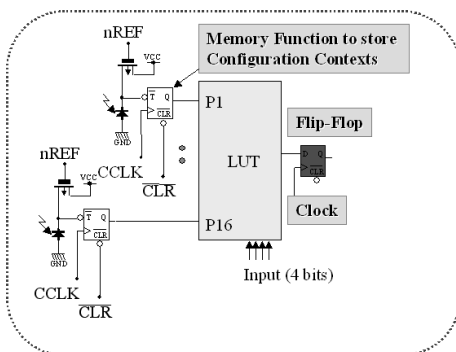


図 2 回路情報を保持するコンセプト

Fig. 2 Concept to keep the configuration of a programmable gate array.

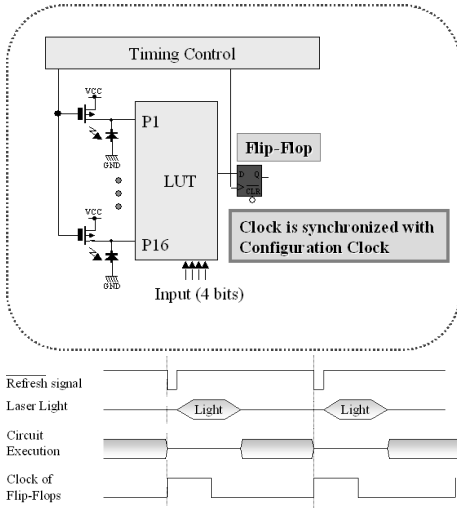


図 3 演算結果を保持するコンセプトと再構成タイミング図

Fig. 3 Concept to keep the calculation results generated from a programmable gate array and timing diagram of optical reconfiguration.

の良い光メモリが必須である。しかし、本方式で用いるホログラムメモリでは、回折光のコントラスト比が高くできず、ある一定のバックグラウンド光を許容する必要がある。しかしながら、それでも、後の実験結果でも示すように、実用上問題のないミリ秒の保持時間が確保でき、本質的な問題とはなり得ないことが確認できている。

3. ダイナミック光再構成型ゲートアレー試作チップ

0.35 μm 3-Metal プロセスを用いてダイナミック光再構成型ゲートアレーのチップ試作を行った。設計は VHDL 言語を用いてスタンダードセルベースで行い、論理合成ツールに Synopsys 社の Design Compiler、配置配線ツールに Synopsys 社の Apollo を使用した。PD や再構成回路等の一部のセルのみカスタム設計とした。配線はメタル 2 層分で行い、第 3 層目は光のシールドに使用している。実装したゲートアレーのブロック図を図 4 に、その仕様を表 1 に示す。実装したゲートアレーの仕様は、論理ブロックが 4 個、スイッチングマトリックスが 5 個、I/O ブロックが 4 個である。今度の設計では、光回路と VLSI 部との位置決めを容易にするため、PD のサイズを $20.1 \mu\text{m} \times 18.9 \mu\text{m}$ 、PD の実装間隔を $99 \mu\text{m}$ として実装を行っ

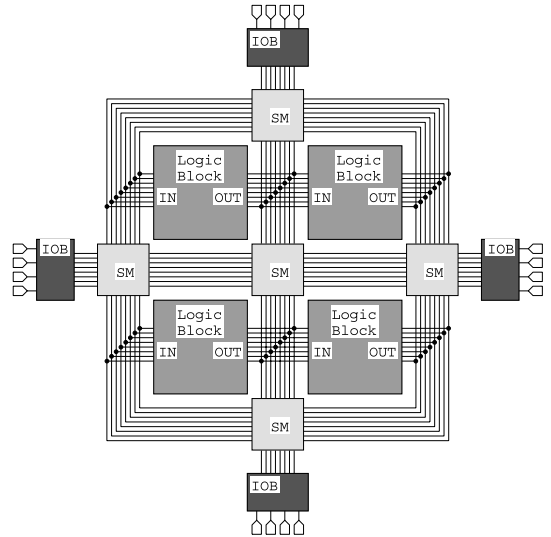


図 4 ダイナミック光再構成型ゲートアレーのゲートアレー構造

Fig. 4 Block diagram of gate array of a dynamic optically reconfigurable gate array.

表 1 ダイナミック光再構成型ゲートアレーの仕様
Table 1 Specification of a dynamic optically reconfigurable gate array.

Technology	0.35 μm double-poly triple-metal CMOS process	
Chip size	4.9 \times 4.9 [mm]	
Supply Voltage	Core 3.3V, I/O 3.3V	
Photodiode size	20.1 \times 18.9 [μm]	
Distance between Photodiodes	$h. = 99$	$v. = 99$ [μm]
Number of Photodiodes	605	
Number of Logic Blocks	4	
Number of Switching Matrices	5	
Number of I/O bits	16	

た。このダイナミック光再構成型ゲートアレーの CAD レイアウト図を図 5 に、同チップ写真を図 6 に示す。CAD レイアウト内では、論理ブロックを CLB1, 2, 3, 4, スイッチングマトリックスを SM1, 2, 3, 4, 5, I/O ブロックを IOB1, 2, 3, 4, 各ブロックの再構成指示ビットを含むコンフィギュレーションブロックを CONF で示している。

以下に実装した論理ブロック、スイッチングマトリックス、I/O ブロックの詳細な構造を示す。基本的な回

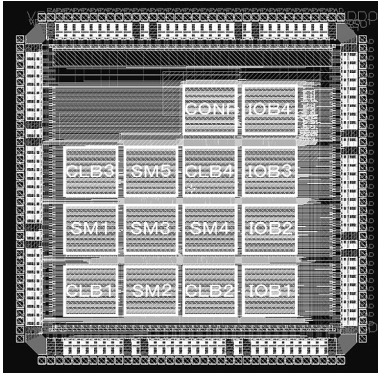


図 5 ダイナミック光再構成型ゲートアレイの CAD レイアウト
Fig. 5 Layout of dynamic optically reconfigurable gate array.

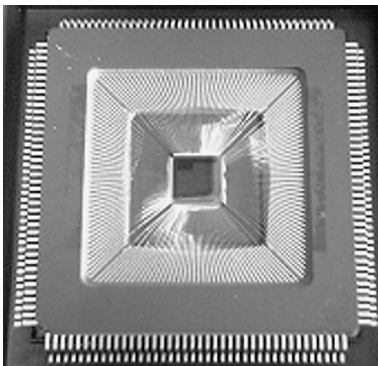


図 6 ダイナミック光再構成型ゲートアレイのチップ写真
Fig. 6 Chip photograph of dynamic optically reconfigurable gate array.

路構造は既存の FPGA と同様である。

3.1 論理ブロック構造

論理ブロックのブロック図を図 7 に示す。図に示すように配線領域とは 22 本の入力と 8 本の出力とで接続される。論理ブロックには 4 入力 1 出力の LUT が一つあり、その各々の状態は 16 個の光再構成ビットによって決定される。その LUT の 4 本の入力は四つのマルチプレクサを介して配線領域と結合される。これらのマルチプレクサには、論理 0、論理 1、そして 5 本の配線領域からの入力があり、3 個の光再構成ビットによってその状態が決定される。この LUT に対する論理 0 と論理 1 の入力は、これまでの FPGA や OPGA にはない、光による LUT の状態決定を可能にする目的で追加されている。この結果、LUT の状態は、光

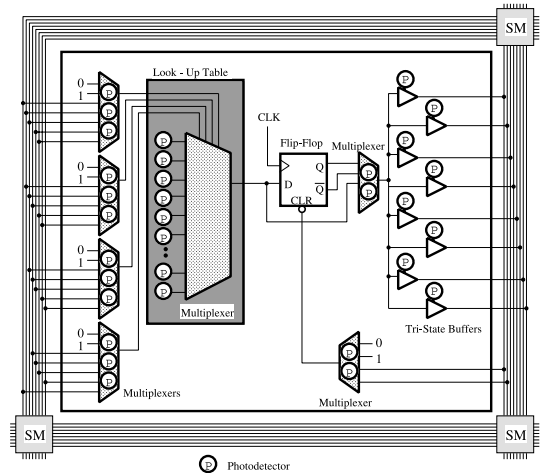


図 7 論理ブロックの構造
Fig. 7 Block diagram of a logic block.

によっても、電気信号によっても、また両方によっても決定でき、多様な用途に対応することが可能になる。

LUT からの出力は D-FF (Delay-Flip-Flop) に直結され、その後段にあるマルチプレクサによって、D-FF の出力、同 D-FF の反転出力、LUT の出力が、2 個の光再構成ビットによってどれを出力するかを選択される。配線領域への接続はスリーステートバッファを介して行われ、それぞれ 1 ビットの光再構成ビットによって接続、非接続が決定される。また、D-FF のリセットは、光からも電気回路からも初期化できるようにマルチプレクサを介して接続され、論理 0、論理 1、配線領域からの 2 ビットの入力が 2 個の光再構成ビットによって選択できる。電源起動時には、このマルチプレクサの出力が 0 となることで、D-FF が強制的にリセットされる。

論理ブロック 1 個は、プログラム要素に相当する 40 個の PD と、そのブロックを再構成するかどうかを決定する PD の合計 41 個の PD によって再構成される。ただし、このブロック再構成指示用 PD は論理ブロックではなく、コンフィギュレーションブロックにまとめて実装されている。論理ブロックのセルサイズは $695 \mu\text{m} \times 695 \mu\text{m}$ となる。

3.2 スイッチングマトリックス構造

スイッチングマトリックスのブロック図を図 8 に示す。これは図 8 に示すように垂直・水平の 4 方向にある配線領域の交差点に置かれ、配線領域内の 8 本の配線同士を結合する役割をもつ。一つのスイッチングマ

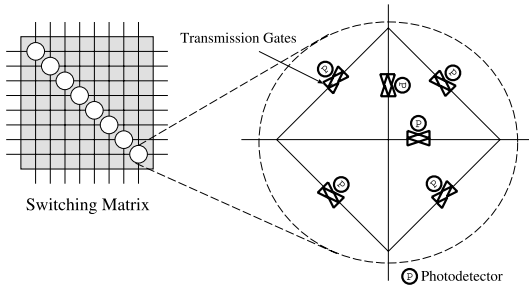


図 8 スイッチングマトリクス構造
Fig. 8 Block diagram of a switching matrix.

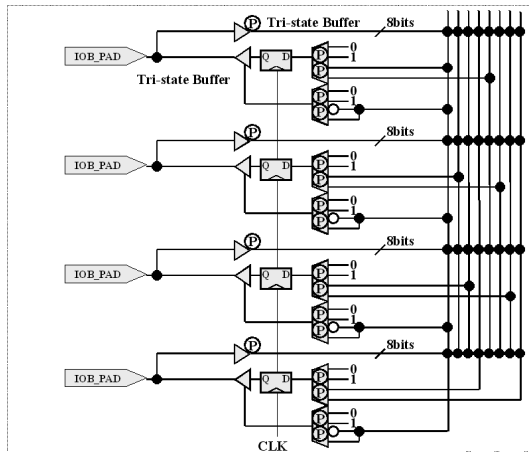


図 9 I/O ブロックの構造
Fig. 9 Block diagram of an I/O block.

トリックスには 8 個の 4 方向スイッチが用いられ、その各スイッチは、既存の FPGA と同様に、6 個のトランスミッションゲートによって構成される。セルサイズは $695 \mu\text{m} \times 695 \mu\text{m}$ である。

3.3 I/O ブロック構造

I/O ブロックは、四つの外部からの入出力と配線領域内の 8 本の配線とを結合する役割をもつ。これは図 4 に示すようにスイッチングマトリクスの 4 端に接続される。このブロック図を図 9 に示す。I/O ブロックには再構成時の中断を防ぐ目的のフリップフロップが含まれる。パッドに対する出力はマルチプレクサによって配線チャンネル内の 2 本の配線、論理 0、そして論理 1 の中から選択される。またスリーステートバッファのイネーブル信号も同様にマルチプレクサによって、配線チャンネル内からの配線の正論理、負論理、論理 0、論理 1 の四つの状態の中から選択される。電源

起動時、イネーブル信号には論理 0 が出力され、すべての PAD はハイインピーダンスとなる。内部の配線とは、スリーステートバッファを介して接続される。

多くの既存のアプリケーションにおいて、I/O ブロックは外部との接続を静的に担う場合が多く、光再構成型ゲートアレーにおいても動的に再構成される可能性は低いものと考えられる。そして実装されるセルの個数が論理ブロックやスイッチングマトリクスと比較して少ないことから、I/O ブロックのセル面積がゲートアレー全体に与える影響は小さい。以上の二つの理由から、ダイナミック光再構成型ゲートアレーにおいても、I/O ブロックのみには静的なメモリ機能をもつ光再構成回路を接続しておくことが望ましい。ただ、本試作チップでは、ダイナミック光再構成型ゲートアレーの特性を評価しやすいように I/O ブロックにまでダイナミックな光再構成手法を適用し、また出力用フリップフロップは含めていない。後の 26,350 ゲート規模の実装時には、本仕様における I/O ブロックが適用されている。I/O ブロックのセルサイズは $695 \mu\text{m} \times 695 \mu\text{m}$ である。

3.4 評価結果

HSPICE シミュレーションと評価光学系を用いて試作チップを評価した。評価光学系は液晶パネルと 20 mW-633 nm-He-Ne レーザから構成され、任意のパターンの書込みが可能である。この評価光学系を用いて、フォトダイオードの応答時間と保持時間を測定した。結果、フォトダイオードの応答時間は 4 ns 以下、レーザを消灯した場合での回路情報の保持時間が 93 ms 以上であることが確認された。HSPICE のシミュレーションの結果からは、1 ns のパルス幅のリフレッシュ信号が許容可能であること確認できたことから、チップ内にパルスジェネレータを実装することで、5 ns での再構成が可能となること確認ができた。

ただし、実際の運用においては、ホログラムメモリと組み合わせられて用いられることから、液晶を用いる場合と比較して、更にコントラストが悪くなることを考慮する必要がある。1 μm の分解能の二次元のホログラム、波長が 633 nm のレーザを使用した場合のシミュレーション結果から、ホログラムメモリのバックグラウンドノイズは ON に相当するビットの光量の 50% にも達することが分かっている。このバックグラウンド光を考慮すれば、コンテキストを書込み中に、コンテキストの保持に使用される電荷の 50% 近くが失われることになる。しかし、残りの電荷においても

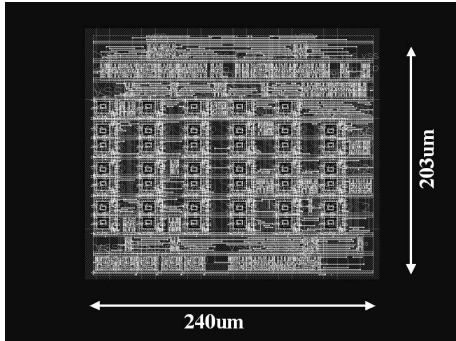


図 10 論理ブロックの CAD レイアウト図
Fig.10 CAD layout of a logic block.

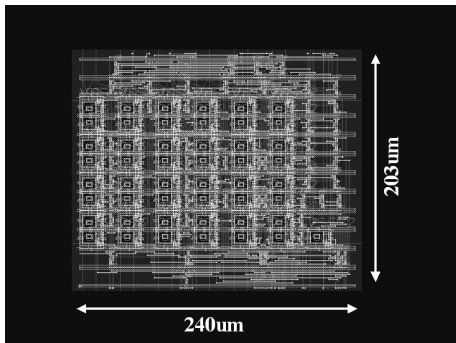


図 11 スイッチングマトリックスの CAD レイアウト図
Fig.11 CAD layout of a switching matrix.

46 ms 以上の保持時間が確保できることから、応用上問題ないことが確認できる。よって、動的再構成に必須であるクロックレベルの再構成速度を達成し、かつ、実用上問題ない DRAM レベルの保持時間が達成できたといえる。今後、PD が小さくなるにつれ、接合容量も小さくなることが予測されるが、 $2\mu\text{m}$ 角程度のフォトダイオードのサイズになってもミリ秒近い保持時間が確保できると見積もれることから、ダイナミック光再構成型ゲートアレーの有効性を確認することができた。

3.5 26,350 ゲート規模 VLSI 実装

先の試作チップでは、PD のサイズと間隔を大きくとり、PD の個数を制限したことから、テスト回路を含めたことから、そのゲート規模は 68 ゲートに止まったが、PD のサイズ、間隔を狭めることで、より大規模な光再構成型ゲートアレーが実現できる。ここでは、PD のサイズを $9.1\mu\text{m} \times 9.5\mu\text{m}$ に縮小した 26,350 ゲート規模チップの設計、そして評価を行った。ここで、

表 2 $9.1\mu\text{m} \times 9.5\mu\text{m}$ の PD を用いたダイナミック光再構成型ゲートアレーの実装評価

Table 2 Evaluation of the implementation area of a dynamic optically reconfigurable gate array using PDs of $9.1\mu\text{m} \times 9.5\mu\text{m}$.

Technology	0.35 μm double-poly triple-metal CMOS process
Chip Size	14.2×14.2 [mm]
Supply Voltage	Core 3.3 V, I/O 3.3 V
Photodiode size	9.1×9.5 [μm]
Horizontal Distance between Photodiodes	33.0 or 39.0 [μm]
Vertical Distance between Photodiodes	12.0 or 21.0 [μm]
Number of Photodiodes	141,200
Number of Logic Blocks	1,550
Number of Switching Matrices	1,634
Number of I/O bits	64
Logic Gates	26,350

表 3 論理ブロックの実装面積比較

Table 3 Implementation area comparison of a logic block.

	Flip-Flop Type	Dynamic Type
Implementaiton Area of Configuration Circuits including Photodiodes	25,740 [μm^2] (69.2%)	14,207 [μm^2] (55.3%)
Implementaiton Area of Gate Array	11,481 [μm^2] (30.8%)	11,481 [μm^2] (44.7%)
Total Area	37,221 [μm^2]	25,688 [μm^2]

ゲート規模の計算には XILINX と同じ評価方法 [13] を用い、4 入力 XOR を LUT に実装した場合を想定して、LUT を 9 ゲート換算、リセット付 D-FF を 8 ゲート換算で計算した。チップサイズは 14.2mm 角である。評価に使用した論理ブロックの CAD レイアウト、スイッチングマトリックスの CAD レイアウトをそれぞれ図 10、図 11 に示す。ここで、論理ブロック、スイッチングマトリックスの回路構成は先の試作チップと同じである。

以下では、図 2 に示した再構成情報の記憶にトグルフリップフロップを実装した静的なメモリ機能を有する光再構成型ゲートアレー [10] とダイナミック光再構成型ゲートアレーの実装比較結果について、光再構成回路、ゲートアレー部とを分けて示す。論理ブロックの比較結果を表 3 に、同じくスイッチングマトリックスの比較結果を表 4 に、そして、26,350 ゲート規模のゲートアレーにおける論理ブロック、スイッチングマ

表 4 スイッチングマトリックスの実装面積比較

Table 4 Implementation area comparison of a switching matrix.

	Flip-Flop Type	Dynamic Type
Implementation Area of Configuration Circuits including Photodiodes	30,888 [μm^2] (89.2%)	16,979 [μm^2] (82.0%)
Implementation Area of Gate Array	3,737 [μm^2] (10.8%)	3,737 [μm^2] (18.0%)
Total Area	34,625 [μm^2]	20,716 [μm^2]

表 5 26,350 ゲート規模における実装面積の比較

Table 5 Implementation area comparison in a 26,350 gate count ORGA.

	Flip-Flop Type	Dynamic Type
Implementation Area of Configuration Circuits including Photodiodes	90.368 [mm^2] (79.0%)	49.765 [mm^2] (67.5%)
Implementation Area of Gate Array	23.962 [mm^2] (21.0%)	23.962 [mm^2] (32.5%)
Total Area	114.330 [mm^2]	73.727 [mm^2]

トリックスの総合的な比較結果を表 5 に示す。結果、同じ PD を使用した静的なメモリ機能をもつ光再構成型ゲートアレーと比較して、光再構成回路同士の比較で実装面積を 55%まで削減、ゲートアレー全体の比較で 64%まで削減できた。

4. む す び

本論文では、回路情報を保持する静的なメモリを全廃し、受光に用いるフォトダイオードの接合容量をメモリとしても使用する新しいダイナミック光再構成型ゲートアレーのアーキテクチャを示した。そして、 $0.35\ \mu\text{m}$ -3 層メタルのプロセスを使用したダイナミック光再構成型ゲートアレーチップを試作し、再構成特性について評価を行い、再構成時間が 5 ns 以下、記憶の保持時間が 93 ms と実用上問題のないことを確認した。そして、同じプロセスを使用することで、14.2 mm 角チップに 26,350 ゲート規模の光再構成型ゲートアレーが実現可能であることを示すと同時に、この基本デザインを用いて従来の静的メモリ機能をもつ光再構成型ゲートアレーと比較して、26,350 ゲート規模、PD のサイズが $9.1\ \mu\text{m} \times 9.5\ \mu\text{m}$ の場合に、64%にまで実装面積が削減できることを明らかにした。

謝辞 本研究の一部は、科学技術振興機構・研究成果活用プラザ福岡・育成研究「部分再構成可能な高密度光再構成型ゲートアレーの開発」の支援を受けて行われた。また、本チップ試作は東京大学大規模集積シ

ステム設計教育研究センターを通じ、ローム（株）及び凸版印刷（株）の協力で行われたものである。

文 献

- [1] Xilinx Inc., “XC5200,” <http://www.xilinx.com>.
- [2] <http://www.ipflex.co.jp>
- [3] H. Nakano, T. Shindo, T. Kazami, and M. Motomura, “Development of dynamically reconfigurable processor LSI,” NEC Tech. J. (Japan), vol.56, no.4, pp.99–102, 2003.
- [4] A. Dehon, “Dynamically programmable gate arrays: A step toward increased computational density,” Fourth Canadian Workshop on Field Programmable Devices, pp.47–54, 1996.
- [5] M. Vasilko and D. Ait-Boudaoud, “Optically reconfigurable FPGAs: Is this a future trend?,” 6th International Workshop on Field-Programmable Logic and Applications, pp.23–25, 1996.
- [6] L. Selavo, S.P. Levitan, and D.M. Chiarulli, “An optically reconfigurable field programmable gate array,” OSA Spring Topical Meeting on Optics in Computing, pp.146–148, 1999.
- [7] J. Mumburu, G. Panotopoulos, D. Psaltis, X. An, F. Mok, S. Ay, S. Barna, and E. Fossum, “Optically programmable gate array,” SPIE of Optics in Computing 2000, vol.4089, pp.763–771, 2000.
- [8] J. Mumburu, G. Zhou, S. Ay, X. An, G. Panotopoulos, F. Mok, and D. Psaltis, “Optically reconfigurable processors,” SPIE Critical Review 1999 Euro-American Workshop on Optoelectronic Information Processing, vol.74, pp.265–288, 1999.
- [9] M. Watanabe and F. Kobayashi, “An optical reconfiguration circuit for optically reconfigurable gate arrays,” 2004 IEEE International Midwest Symposium on Circuits and Systems, I-529–I-532, 2004.
- [10] M. Watanabe and F. Kobayashi, “An optically differential reconfigurable gate array VLSI chip with a dynamic reconfiguration circuit,” IEEE International Parallel & Distributed Processing Symposium, p.145a, 2005.
- [11] M. Watanabe and F. Kobayashi, “A high-density optically reconfigurable gate array using dynamic method,” International Conference on Field-Programmable Logic and Its Applications, pp.261–269, 2004.
- [12] M. Watanabe and F. Kobayashi, “A dynamic optically reconfigurable gate array using dynamic method,” International Workshop on Applied Reconfigurable Computing, pp.50–58, 2005.
- [13] XILINX, “Gate Count Capacity Metrics for FPGAs,” XILINX Application Note, XAPP 059, 1997.

(平成 17 年 8 月 15 日受付, 12 月 27 日再受付)



渡邊 実 (正員)

1994 静岡大大学院修士課程了。同年日産自動車(株)入社。2000年1月九州工業大学助手, 2005年同大学講師(学内), 現在に至る。光再構成型ゲートアレーの研究に従事。応用物理学会, 計測自動制御学会, IEEE 各会員。



小林 史典 (正員)

1980 東工大大学院博士課程(制御工学専攻)を修了し, 長岡技術科学大学機械系・同情報処理センター兼務を経て, 1989 九州工業大学情報工学部制御システム工学科。現在, 同システム創成情報工学科教授。計測, 制御における回路とシステムの研究に従事。電気学会, 計測自動制御学会, IEEE 各会員。