

平成 21 年度 博士学位論文

バイパスダイオード内蔵型 3 接合宇宙用太陽電池
セルの帯放電劣化特性に関する研究

指導教員 : 趙 孟佑 教授

九州工業大学大学院 工学府

電気電子工学専攻 博士後期課程

野崎 幸重

目 次

記号のリスト

1. 序論	
1.1 研究背景	… 1
1.2 研究の目的	… 7
1.3 太陽電池パドルの軌道上での帯電および放電現象と研究動向	… 8
1.4 宇宙用太陽電池セルとバイパスダイオード	… 12
1.5 論文構成の説明	… 18
2. 研究手法と実験設備	
2.1 研究手法	… 19
2.2 実験設備	… 20
2.3 供試体	… 22
2.4 供試体の性能評価方法	… 29
2.5 試験回路の設定と試験方法	… 30
3. MD セルアレイの放電実験	
3.1 MD セル ESD 耐性比較実験	… 35
3.2 MD セル劣化閾値測定	… 43
3.3 実機模擬回路試験の劣化評価	… 60
4. 総括とまとめ	… 65
謝辞	… 66
参考文献	… 67

記号のリスト

AM0: Air Mass 0(Zero)

C ext : 外部回路コンデンサ容量

C p* : 電流プローブ (Current Probe)

F.F : Fill Factor

I mp : 最大電力電流 (Maximum Power Current)

I sc : 短絡電流 (Short Circuit Current)

L ext : (放電波形形成用)外部回路インダクタンス

Pmax : 最大電力(Maximum Power)

R b : バイアス電源(保護)抵抗

R ext : (放電波形形成用)外部回路抵抗

V f : 順方向電圧 (Forward Voltage)

V b : クーポンパネルバイアス電圧

V mp : 最大電力電圧 (Maximum Power Voltage)

V oc : 開放電圧 (Open Circuit Voltage)

V p* : 電圧プローブ (Voltage Probe)

1. 序論

1.1 研究背景

サービス性能の向上に伴う衛星の使用電力の増加により、人工衛星の一次電源である太陽電池パドルも大電力化・大型化の一途を辿ってきた。図 1.1-1 は、1990 年から約 20 年間に日本の代表的な人工衛星に搭載された太陽電池パドルの発生電力とサイズを示しており、1960 年代に人工衛星が打ち上げられてから現在まで、多くの中小型衛星が開発されながら、海外の大型衛星ではついに 20kW 超級の衛星も打ち上げられている。特に通信・放送サービスでは、衛星側が大容量・大電力の送信を広域に行うことが求められ、また、静止軌道のスロットの制約もあり、衛星の大型化・大電力化・長寿命化が進んでいる。長寿命化に伴って、軌道制御に使用する推進系が推進剤利用効率の高い電気推進が採用されてきたことも、衛星の大電力化を後押ししている。

太陽電池パドルの性能、例えば発生電力密度、電力質量比は、その殆どが太陽電池セルの性能で決まるが、太陽電池セルの代表的な性能である変換効率は、増加の一途を辿っている。図 1.1-2 に宇宙用太陽電池セルの変換効率の変化を示す。宇宙用の太陽電池セルは単結晶シリコン(Si)を中心に、変換効率が 18% 近くまで上げられてきたが、ガリウム・ヒ素(GaAs)の化合物セルが登場して 20% に迫り、21 世紀の始まりとともに多接合化合物セルが市場に供給され、現在の量産セルの変換効率は平均でも 30% に手が届くレベルに至った。

低い変換効率の太陽電池セルを使用して大電力化に対応すると、太陽電池パドルが巨大になり、太陽電池パドルの構造質量、電力電送のための計装の質量が増加し、その分衛星のペイロードが削減される。

更に、太陽電池パドルは太陽輻射による衛星の姿勢外乱源であることから、姿勢制御用アクチュエーターへの負担が増し、衛星のポインティング性能にも不利となり、結果として衛星システムの性能を損なうこととなる。従って、高価でも変換効率の高い太陽電池セルを採用して、パドルのサイズを大きくせずに発生電力を増加させる方式が次第に選ばれて、近年の多くのプロジェクトは 3 接合セルを採用するに至っている。即ち、太陽電池セルの変換効率の絶え間ない向上が、人工衛星の大電力化を支えてきた立役者であるといえる。然しながら、このことは電力密度高い太陽電池パドル上で何がしかの理由で意図しない部分に電力が流れ込む事態となった場合、その被害は大きくなる傾向にあることが懸念される。

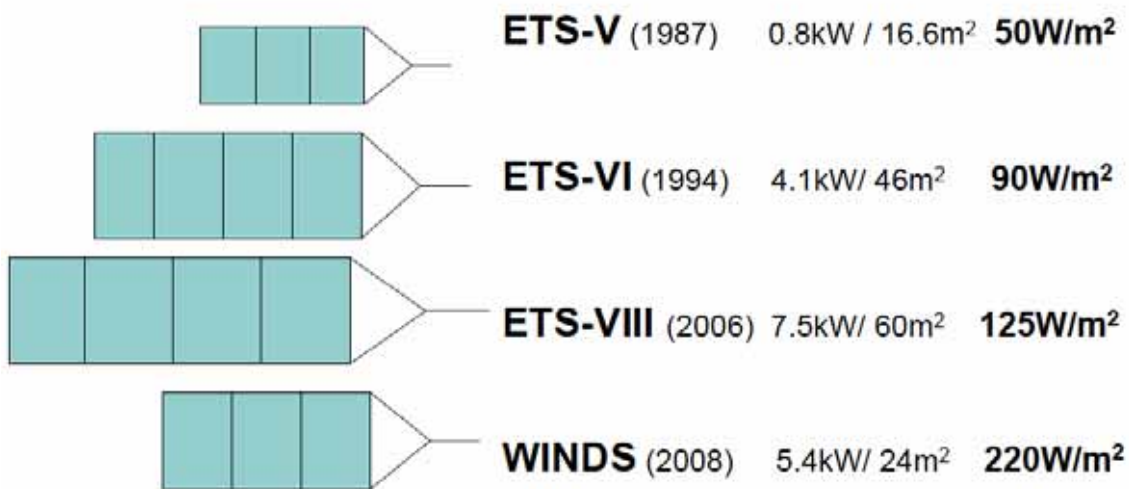


図 1.1-1 主な衛星の太陽電池パドル発生電力の推移

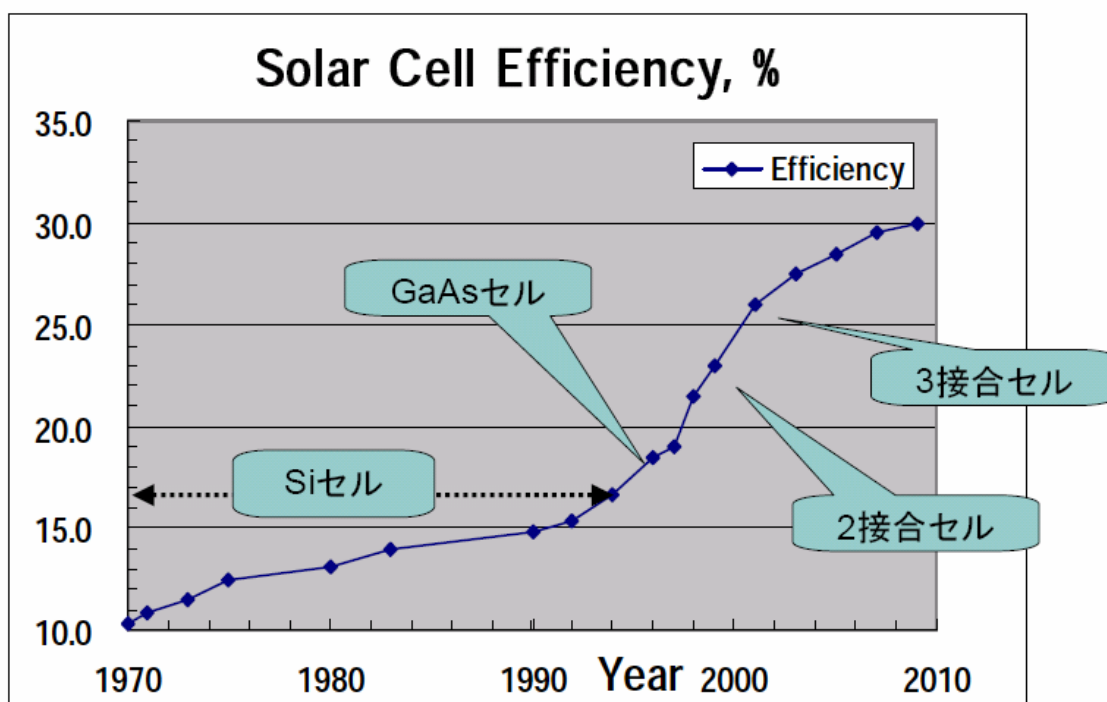


図 1.1-2 主要な宇宙用太陽電池セルの変換効率の推移
縦軸は AM0, 28 での変換効率を示す

さて、太陽電池セルの変換効率を飛躍的に向上させたものは、3 接合型の - 族化合物セルの普及であり、それまで AM0 (Air Mass 0 : 大気圏外の太陽光のスペクトル)での変換効率が 17%台であった単結晶 Si セルに対して、本研究が進められた 2005 年～2010 年の間には、PN 接合を具備したゲルマニウム基板上に 2 つの接合(InGaAs、InGaP、等)をエピタキシャル成長させた変換効率 28% 台の 3 接合宇宙用太陽電池セルが衛星のフライト品に使用され、フライト実績を有してきた。

3 接合型太陽電池セルは、接合がエピタキシャル成長により形成された薄い PN 接合で構成されるため、逆バイアス状態での耐圧が低く、セルごとにバイパスダイオードを接続する必要がある。これまでは Si のダイオードをインタコネクタで太陽電池セルに接続する構成が主流であった。図 1.4-4、図 1.4-5 にこのタイプのバイパスダイオードの実装例を示すが、バイパスダイオードと太陽電池セルは受光面と反受光面それぞれにおいてインタコネクタによって並列接続され、その全体はカバーガラスで覆われる設計となっている。

このタイプの接続構成では、ダイオード/太陽電池セル間に少なくとも 4 箇所 の溶接が必要となる上に、インタコネクタも受光面側と反受光面側で計 2 個必要であり、部品点数が増えるという欠点があった。そこで、近年はバイパスダイオードを内蔵する太陽電池セルも商品化されてきた。バイパスダイオードがモノリシックタイプであり、Monolithic Diode を具備したセルということで、以下、本論文では MD セルと表記する。図 1.1-3 にこのタイプの太陽電池セルの外観を、図 1.1-4 に太陽電池パネルレベルでの接続断面構成を示す。

従来の実装例ではインタコネクタやバイパスダイオードは完全にカバーガラスに覆われているのに対して、この接続構成では MD セル/太陽電池セル間のインタコネクタが MD にそのまま接続される為、インタコネクタのストレスリリーフがカバーガラスから飛び出す形となる。

人工衛星に搭載される太陽電池パネルは、静止軌道でも極軌道でも、サブストームが発生したときに絶縁体であるカバーガラス表面が衛星本体と電位が大きく異なる状態に陥り、時としてその電位差を解消するために放電が発生する。カバーガラス表面に ITO (Indium Tin Oxide) 等による導電性コーティングを施し、その表面をボンディングワイヤまたは導電性接着剤で接地することで、カバーガラス表面が帯電しないようにすることは出来るが、産業的観点での費用対効果は薄く、多くの人工衛星ではこのコンティギュレーションを採用していない。

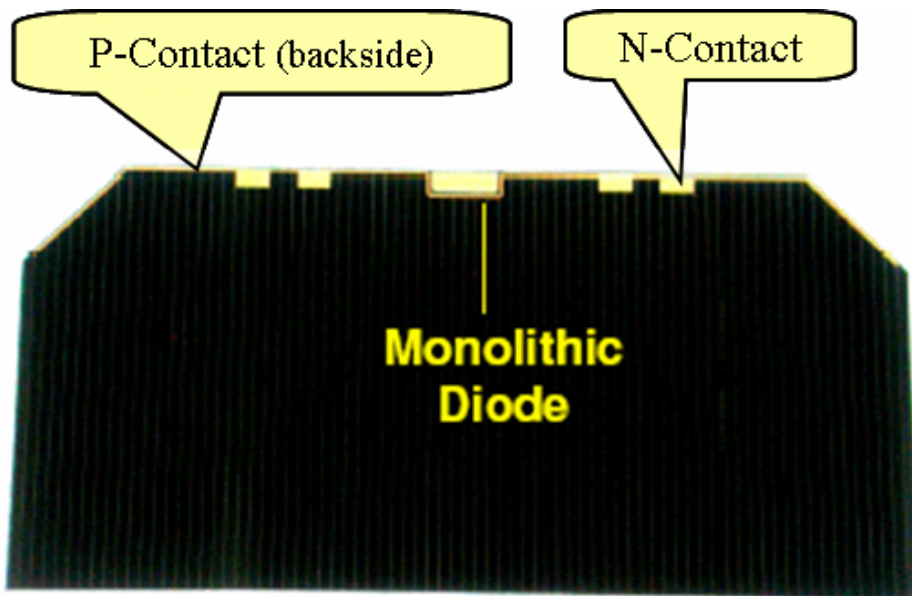


図 1.1-3 MD セルの構成と外観

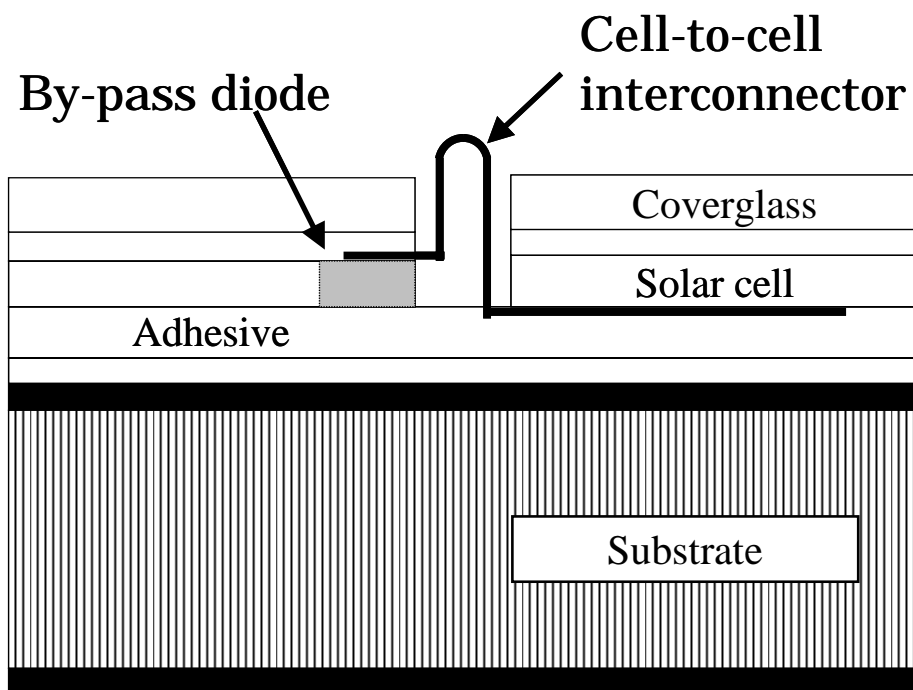


図 1.1-4 MD セルを使用した太陽電池パネル断面構成(典型例)

然しながらダイオード内臓型は、ダイオードと隣接セルを接続するインタコネクタで導体/絶縁体の複雑な電位構成が形成され、軌道上でカバーガラス表面が帯電する際に、放電しやすい個所にダイオードが位置することになる。図 1.1-5 に太陽電池パネル上で発生する典型的な放電を、図 1.1-6 には太陽電池パネルクーポンの帯放電試験における放電発生個所の分布を示す。これらに示す通り、インタコネクタの部分では多くの放電がみられることがわかる。

MD 近傍で放電発生しやすい事から、以下が懸念される。

- ・放電によるラッシュカレント(突入電流)により、バイパスダイオードの破損
(通常、バイパスダイオードは接続する太陽電池セルの短絡電流 I_{sc} 、若しくはそれにある一定のマージンを加味した電流を定常的に流すことを想定して設計されている。)
- ・放電繰り返し発生する放電によるバイパスダイオードの損傷
(近年の静止衛星は軌道上で 15 年以上の運用を想定されており、経年的な劣化も考慮する必要がある。)
- ・MD そのものは他の接合(例えば太陽電池セルやディスクリットタイプの Si ダイオード)より面積が小さく、放電電流による発熱による破損
- ・放電が MD の淵の接合部で発生し、接合そのものの損傷

このような状況から、MD セルについては放電によるバイパスダイオードの劣化については、他の形式のダイオード以上に十分評価して使用すべきである。

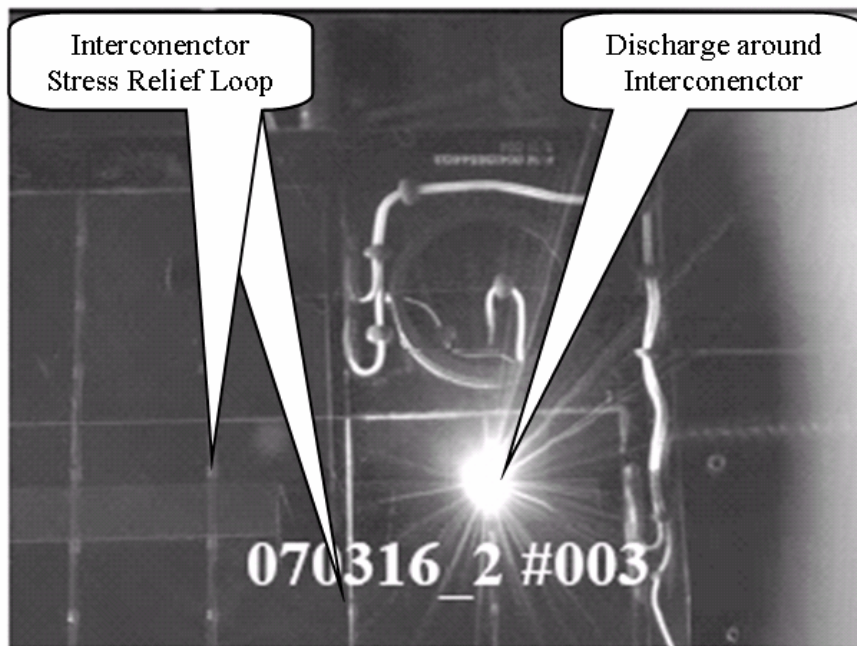


図 1.1-5 太陽電池クーポンパネル帯電・試験での放電の一例

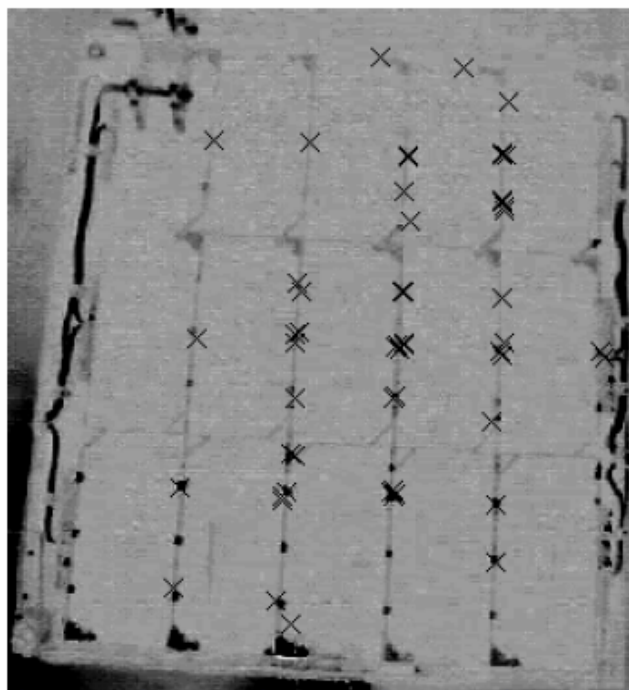


図 1.1-6 太陽電池クーポンパネル帯電試験での放電発生個所の一例⁹⁾

1.2 研究の目的

人工衛星用太陽電池パドルでは 3 接合型宇宙用太陽電池セルの採用が主流となり、組立てが簡易なバイパスダイオード内蔵型太陽電池セルが使用される機会が増えていることから、このタイプの太陽電池セルの帯放電に対する耐性を確認しておく必要がある。

そこで、最終的には本タイプの太陽電池セルが実際に宇宙用として使用できるのかを評価することを目的に、以下の内容について着目した地上試験による研究を行った。

- (1) 異なる MD 接合構成のセルに対して、MD 部の帯電・放電に対する耐性を評価する地上実験を実施して、放電電流/エネルギーで劣化する閾値を調べる。また、劣化する場合のメカニズムを検討し、耐性の向上について考察する。
- (2) 極力実機に近い試験コンフィギュレーションで帯電・放電試験を実施して、実使用環境での劣化の有無を確認し、MD セルが実際の人工衛星で使用可能か評価する。

本研究を進めることで、実際に使用されている MD セルの劣化の様子が理解でき、MD セルの構造に対して耐性向上に対する方向、指針が理解でき得る。

また、MD を含む太陽電池セルの放電による劣化閾値が理解できれば、帯電解析、回路シミュレーションによって、衛星及び太陽電池パドルでの使用の可否、リスクの定量的評価も可能となる。

これまでの太陽電池アレイクーポンパネルの帯放電試験では、放電波形を確実に取得する為に、試験回路をある程度単純化する必要があった。この場合、実際の衛星プログラムで使用する太陽電池パネルの設計の良否を明確に判断するために、いわばワーストケースの条件で試験を進めざるを得ない状況があった。より実機に近い試験回路を使用して、放電電流の流れと太陽電池アレイ外部回路との関係を理解できれば、ワーストケースではなくより実際に近い状態で太陽電池パドル上での帯電・放電によるアレイ回路のリスク評価が可能となる。

1.3 太陽電池パドルの軌道上での帯電および放電現象と研究動向

人工衛星が軌道上で帯電することは良く知られている。宇宙空間中のプラズマを構成する荷電粒子や光電効果をもたらす光子が人工衛星表面に入射することで、衛星表面と周辺の空間電位との間で電位差が発生し、帯電状態となる。

一般的に、正イオンよりも質量の小さい電子の方が速い速度で運動するので、表面への荷電粒子の流入は電子電流が支配的であり、その結果衛星表面は空間に対して負に帯電することになる。

しかし、電子衝突による 2 次電子の発生や、日照部分は光電子電流の発生もあり、これらの現象は表面の負帯電を緩和する方向に動く。

さて、衛星表面が全て導電性の物質で覆われ、全て接地されているとしたら、衛星表面は全て同電位となり、衛星と周辺空間とが電位差を持つだけである。しかし、衛星表面に絶縁体がある場合、その表面は他の部位と 2 次電子放出係数も違えば、光電子電流も異なるため、絶縁体周辺と異なる電位となる。このことは同じ衛星表面において電位差が発生することを意味する。電位差がある程度高くなると、その電位差を解消しようとして放電が発生する。絶縁体の誘電率が高く、面積が大きい場合、すなわち静電容量が大きい場合は、放電規模も大きくなる。その絶縁体近傍に衛星の制御や電力系統のラインがある場合は、そのラインの絶縁機能を破壊するなどして、衛星の機能喪失にも繋がりがねず、注意を要する。¹⁾

太陽電池パネルは、導電性を有する CFRP (Carbon Fiber Reinforced Plastic) でアルミハニカムをサンドイッチしたパネル(サブスレート)に、太陽電池セルを直列接続した太陽電池アレイを接着した構成では(図 1.4-4)、パネル(サブスレート)は衛星に接地するので、CFRP のアレイ接着側の表層には絶縁体であるポリイミド(カプトン)シートを取り付け、その上に太陽電池アレイを接着する。従って、太陽電池パネル表面は何がしかの絶縁体が表面に露出した状態となる。

また、取り扱い上の保護や放射線に対するシールドのために、太陽電池セルにカバーガラスを接着するが、このカバーガラスは絶縁体であり、太陽電池パネル受光面側の表面の殆どは絶縁体で覆われることとなる。

科学ミッションでは観測機器が所定の観測を行うために、衛星から飛び出す太陽電池パネルの表面電位を常時数 V 以下に抑制するよう要求されることがある。この場合、カバーガラス表面に Indium Thin Oxide (ITO)等の透明な導電性膜を形成して、それをサブスレートに接地する設計を採用する。²⁾ このような

手法で太陽電池パドル表面に電位差が発生しない様にする事は可能ではあるが、大量のカバーガラスに導電性コーティングを施し電極パッドを蒸着すること、そしてそれをサブストレートに接地することは、想像を絶する多くの手間と費用が掛かることから、商用衛星や大型衛星では稀な例となっている。

以上から、太陽電池パネルの表面の多くは、カバーガラスという絶縁体で覆われたものとなる。太陽電池パネル上のアレイ回路は、近年の多くの衛星では 50VDC ~ 100VDC で発電しており、負極側を接地としている。軌道上で keV レベル以上のエネルギーをもつ電子が多数カバーガラス表面に流入すると、カバーガラス表面は太陽電池アレイや衛星電位に固定されるパドルの構造体から大きく帯電する状況になり、結果的に太陽電池パドルの受光面のかなりの部分が衛星本体と異なる電位を持つこととなる。

さて、カバーガラスの表面は、少しでも太陽電池セルに太陽光が届くように、反射防止膜が蒸着されているのが一般的であり、代表的なものがフッ化マグネシウム(MgF₂)である。反射防止膜は Anti-Reflection coating と呼ばれることから、AR コーティングと称されるが、このフッ化マグネシウムの AR コートは 2 次電子放出能の高い物質であり³⁾、keV レベルの電子の入射によって衛星の他の部位より多くの 2 次電子を放出する。その結果、カバーガラス表面は衛星電位よりも高い電位になり、例えば、衛星が軌道上で - 10kV に帯電している時には、カバーガラス表面は空間電位に対して - 9kV 程度になり、サブストレートに対して正電位になる。この帯電状態は逆電位勾配と称されるが、いずれにしても太陽電池アレイとカバーガラス表面には衛星帯電時に電位差が生じることとなる。

太陽電池アレイの断面は図 1.1 4 に示すとおりであるが、太陽電池セルの実装効率を上げるために、隣接するセルとの間には数 mm 以下の隙間があり、そこに半導体である太陽電池セル、導体であるインタコネクタ、絶縁体である接着剤、絶縁シートが隣接している。宇宙用カバーガラスの厚さは軽量化のために 0.1mm 程度、放射線の厳しい軌道を飛翔する場合でも 0.3mm 程度と薄い為、カバーガラス近傍が数百 V/mm と電界強度が強い部分となる。カバーガラス表面の帯電電荷は、ある閾値を超えると太陽電池アレイあるいはインタコネクタ等と放電して、放電によりトリプル構造と宇宙空間の間に発生したプラズマが帯電電荷を中和し、帯電が解消する。そこ(太陽電池セル間)に例えばバス電圧のような高い電位差があると、太陽電池アレイそのものが日照中は数 A レベルの定電流源である事から、セル間での放電を誘発することがある。最初のカバー

ガラス表面の蓄積電荷の放電を 1 次放電(Primary Arc)、それによって誘発される太陽電池アレイ間の放電を 2 次放電(Secondary Arc)と称している。

2 次放電が頻繁に発生すると、ポイリミドの絶縁シート表面にアークトラッキングが形成され、ポイリミドシートそのものが炭化する。人工衛星用太陽電池パネルで使用されるポイリミドシートは、軽量化と CFRP パネルの成型で実績を考慮して、50 μm 程度と大変薄く、この為、大電流の 2 次放電ではポイリミドシートが炭化して、アレイ回路とサブスレート間に導電経路が形成される。すなわち太陽電池アレイ回路/サブスレート間の絶縁が破壊され、結果として太陽電池パドルの発生電力が低下する。これまでこの現象に主眼をおいた多くの地上実験がなされてきた。⁴⁾ また、このような放電によって、太陽電池セルそのものもダメージを受けることも判明した。⁵⁾ 防止対策として太陽電池セル間の溝を接着剤で埋め、持続放電が発生しない仕組みや⁶⁾、太陽電池アレイ近傍に衛星帯電時のみ頻繁に放電を発生させてカバーガラスの表面帯電を防止する仕組みが提案されてきた。

持続放電が起きる仕組みについては、日本国内で精力的に研究が進められ、それまで太陽電池セル間の電圧とギャップ(隙間/距離)が重要なパラメータと考えられてきたが、とりわけアレイ回路の出力可能な最大電流が重要な役割を果たすことが明確になってきた。⁷⁾

これら一連の実験、研究を通して、太陽電池セルが Primary Arc だけで劣化することが確認された。最初は Si セルを使用した太陽電池セルの地上帯放電実験をしているときに、百回近くの Primary Arc を発生させたクーポンパネルの帯放電試験において、Si セルの PN 接合が破壊され、発電能力が低下していることが観察された。破損セルの断面観察の結果、放電そのものが Si セルの結晶内に入っていた。この事から、Primary Arc による太陽電池セルの出力特性の低下は、太陽電池パドルの軌道上発生電力の低下の一要因として新たに識別されるに至った。⁸⁾

21 世紀の始まりとともに、多接合型太陽電池セルが使用されるようになり、この新しいセルを使用したクーポンパネルを用いた帯放電地試験が多数行われてきた。宇宙用 3 接合セルは、2008 年現在、世界的に 5 社が供給可能であり、年を追うごとに製造工程の改良、接合構造の改良で、変換効率が増加して、2008 年には変換効率が 29%にもなるセルが市場で流通し始めてきた。3 接合セルは Si セルと比較して単位面積あたりの出力電流は少なく、4cm \times 8cm 程度のセル

では AM0 の太陽光強度で約 0.5A 程度と、同サイズの Si セルのおよそ半分であるが、出力電圧は高く、28 の動作電圧は 2.3V と Si セルの約 4 倍強である。

多接合セルは、InGaP や InGaAs といった接合を、Ge 基板上に蒸着装置でエピタキシャル成長させて製造するため、セル受光面側のちょっとした傷でもすぐにリークパスが出来、セルの出力電力が低下し、Si と比較して低い逆バイアス電圧でも接合がショートする。このような状況から、3 接合セルはカバーガラス上の帯電電荷の Primary Arc により容易に電気性能が劣化しやすいと考えられ、Si セル同様、Primary Arc による太陽電池セルの出力特性の劣化が定量的に調査されてきた。⁹⁾

一方で、太陽電池パドルの軌道上での放電回数を静止衛星の取得した環境データと衛星の帯電解析から予測し、地上試験で測定した放電回数あたりの太陽電池セルの電力劣化率に基づき、軌道上で予想される Primary Arc による発生電力劣化を定量的に評価することが出来ている。¹⁰⁾

このような研究を通して、現在では太陽電池パドルの発生電力解析に帯放電試験の結果が取り込まれるに至っている。

太陽電池セルの Primary Arc による性能劣化の詳細についても研究がすすめられ、シリコン太陽電池セルの劣化並びに放電劣化閾値についても定量的な評価が進められてきた。¹¹⁾ 多接合セルについても、Primary Arc による劣化閾値測定の評価が試みられているが、これまでは太陽電池セルの接合と並列接続されたバイパスダイオードとをまとめた評価となっている。本研究では特にセルに内蔵されているバイパスダイオードに着目した研究を進めた。

1.4 宇宙用太陽電池セルとバイパスダイオード

太陽電池アレイは、例えば Si セルの場合、50V の電圧を出力するために 100 個以上のセルを直列接続して出力する。以下、この 100 直列の太陽電池セルのつながりを本論文ではストリングスと称することとする。

出力 50W 程度の太陽電池アレイの面積は約 0.3m² 程度であり、実際の太陽電池パドルでは、要求電力に合わせて太陽電池アレイを必要分並列接続して使用する。4～5kW クラスの中容量の人工衛星では、およそ 20～30m² もの面積の太陽電池パドルが必要なる。

これだけの面積ともなると、ミッション期間中何らかの条件において、例えば軌道変更のために衛星の姿勢を変更したり、最悪衛星が一時的に姿勢を喪失したりする場合、どうしても衛星の影が太陽電池パドル上に落ちる事となる。

日照中に太陽電池アレイ上に部分的に影が落ちると、アレイ回路の正極/負極間には、バス電圧が衛星電源または他の影の落ちていないアレイ回路により保持されている関係で、影の落ちている太陽電池セルには逆方向の電圧が掛かる。

1 ストリングス全てに影が落ちる場合は話が単純で、例えば上述の 100 直列のストリングスでは全体の正極/負極間に逆方向電圧 50V が掛かるため、1 セルあたりせいぜい 0.5V 程度しか逆電圧が掛からず、問題にはならない。

図 1.4-1 には、影や他の理由により出力の落ちたセルと、正常に出力をもつセルを 2 つ直列接続したときの電圧-電流特性を示す。出力低下したセルの短絡電流(I_{sc}: 出力電圧が 0V の時の出力電流)以下の動作電流でアレイが動作(発電)する時、2 つのセルの動作点は電圧が正の領域にあり、問題とはならない。

2 直列のアレイに正常な太陽電池セルが多数直列接続されていて、正常なセルの I_{sc} と出力低下したセルの I_{sc} の間で動作する場合は、出力低下したセルの動作点は負電圧の領域となり、即ち、出力低下したセルは逆バイアス状態となる。

この逆バイアス電圧が太陽電池セルの逆耐圧電圧を超えると、太陽電池が破損する。そのため、太陽電池アレイ上に影が落ちてもいいように、太陽電池セル/アレイにバイパス用のダイオードを並列接続する。¹²⁾

Si 太陽電池セルでは大体 30～40V の逆バイアス耐性を有するとされており、設計上逆バイアスが 20V 以下になるように、太陽電池セル 20～30 直列に 1 つのバイパスダイオードを並列接続する。この場合は、太陽電池アレイ上に影が落ちるとこの 20～30 直列のモジュールがバイパスダイオードにより電圧が発生できなくなり、太陽電池パドル上の発生電力が大きく低下する。

近年は図 1.4-2 に示すとおり、大型のメッシュアンテナを搭載するタイプの衛星も多く見られるため、このタイプのアンテナの影が太陽電池アレイ上に影を落としても発生電力を極力維持するために、Si セルといえどもセル 1 つ 1 つにバイパスダイオードを内蔵するタイプの太陽電池セルも開発され、それを使用する事例が増えてきた。¹³⁾

但し、影がセルに落ちて、バイパスダイオードを電流が通電するときは、セルそのものがバイパスダイオードの部分で発熱するため、図 1.4-3 に示す通り、熱入力もあり、バイパスダイオードも発熱するようなケースでの太陽電池パドルの温度が許容範囲を超えないよう、注意を払う必要がある。¹⁴⁾

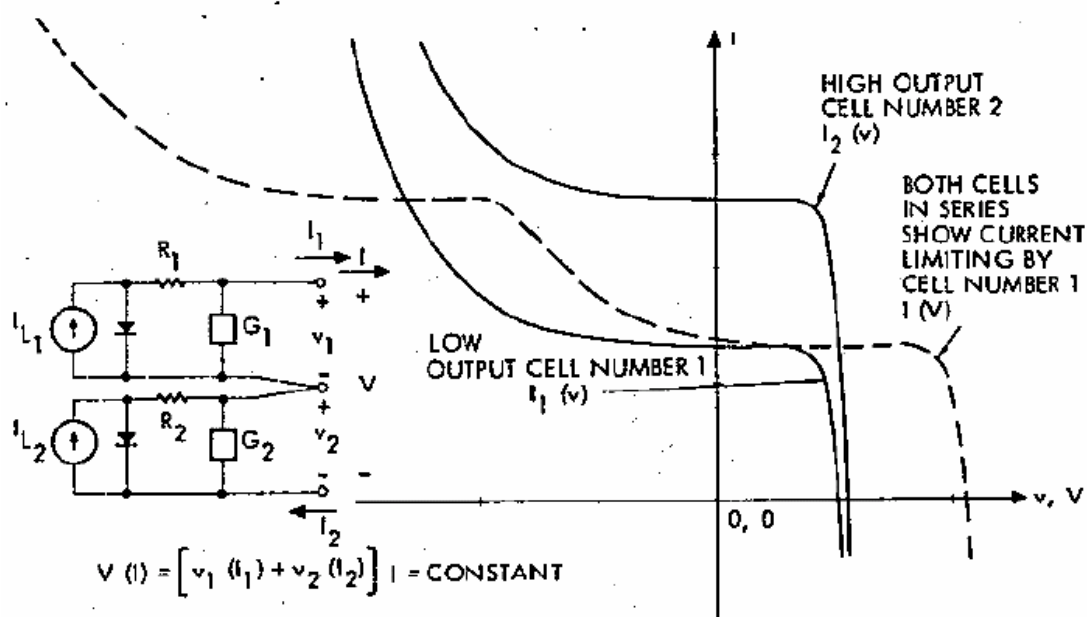


図 1.4-1 出力低下したセルと正常なセルを直列接続したときの V-I カーブ¹³⁾

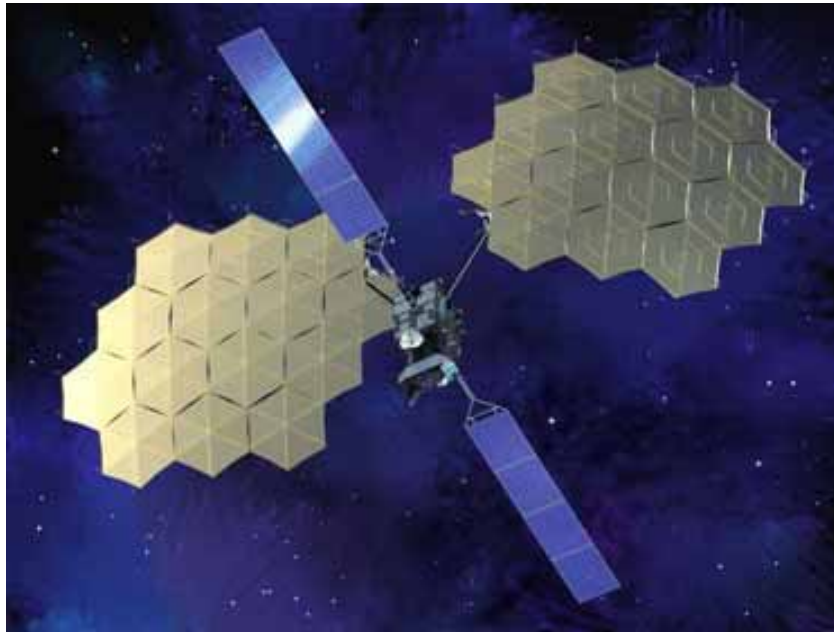


図 1.4-2 大型メッシュアンテナを具備した人工衛星¹⁴⁾

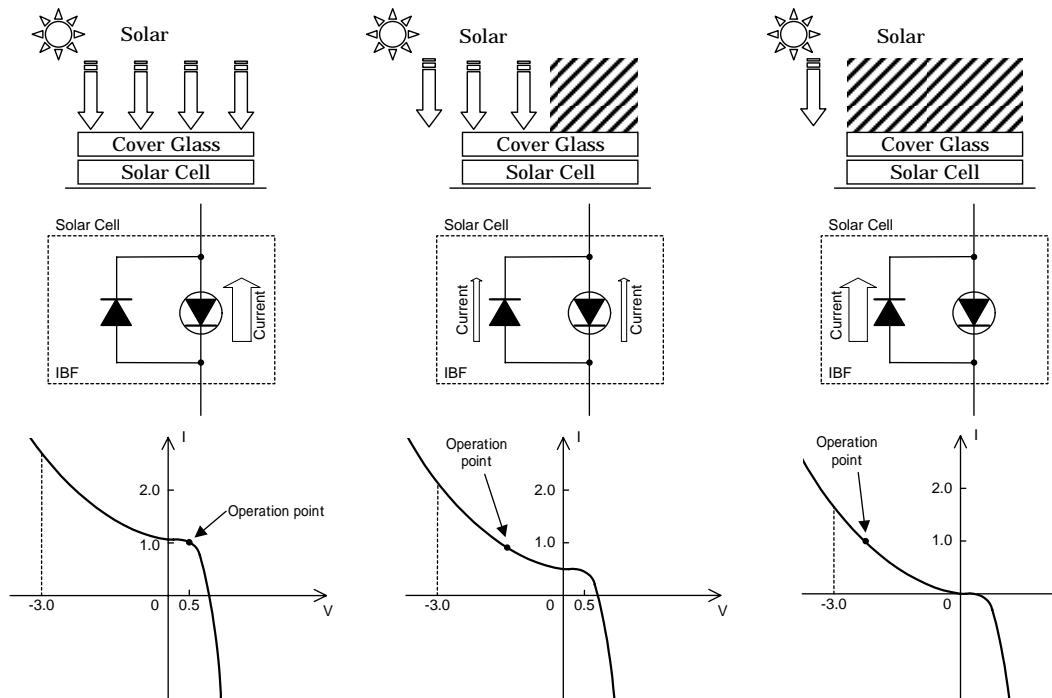


図 1.4-3 太陽電池アレイに影が落ちた時の V-I カーブの挙動¹⁴⁾

一方、3 接合セルは前述の通り Si セルと比べて逆バイアス状態に極めて弱く、数 V 程度の逆バイアス電圧が加わるだけでセルの接合が損傷を受け、劣化する事がある。その為、通常は太陽電池セル 1 つ 1 つにバイパスダイオードを具備する。

宇宙用 3 接合太陽電池セルに実装するバイパスダイオードの事例としては、図 1.4-4 に示すとおり、太陽電池セル同様に平板型にした Si のディスクリットダイオードを、太陽電池セルにインタコネクタにより並列接続する設計がある。

本事例では、太陽電池セルの切りかけに三角形の Si ダイオードが示されているが、太陽電池セルと一緒に 1 枚のカバーガラスで覆われ、放射線による PN 接合の劣化を防ぐ構成となっている。図 1.4-5 に、本ダイオードと太陽電池セルの断面構造を示すが、Si ダイオードを太陽電池セルに接続するために受光面とサブストレート側にそれぞれインタコネクタを用意して、ダイオード並びに太陽電池セルに溶接接続する必要がある。この設計では、太陽電池セルにインタコネクタを溶接してから保護用のカバーガラスを接着することで、インタコネクタ・カバーガラス付き太陽電池セル(Cover Integrated solar Cell, 以下 CIC と称す)という部品に仕上げる。しかし、この場合は製造の過程に多くの溶接工程が存在する。割れ物である太陽電池セルに対して金属電極で金属箔のインタコネクタを溶接するため、高い歩留まりで製造することが難しい。

一方、近年では、太陽電池セルの一角に PN 接合を形成してバイパスダイオードとする、バイパスダイオード内蔵型の宇宙用 3 接合太陽電池セル、MD セルが開発され、市場に登場した。図 1.4-6 に典型的な MD セルの断面構造を示す。

本タイプの太陽電池セルでは、ディスクリットタイプのセルと比較してバイパスダイオードと太陽電池セル間をインタコネクタによる接続する必要がないため、部品点数を減らすことができ、CIC 製造の工程も簡素化できる。その為、インタコネクタ溶接回数を削減でき、製造歩留まりも向上する。溶接回数の削減により、割れやすい太陽電池セルの Ge 基板そのものに与えるダメージを抑制でき、太陽電池パネル製造、試験、実際の打上げ環境、軌道上での苛酷な熱サイクル環境に晒されたときに、セルに割れが発生するリスクをより低減できる。

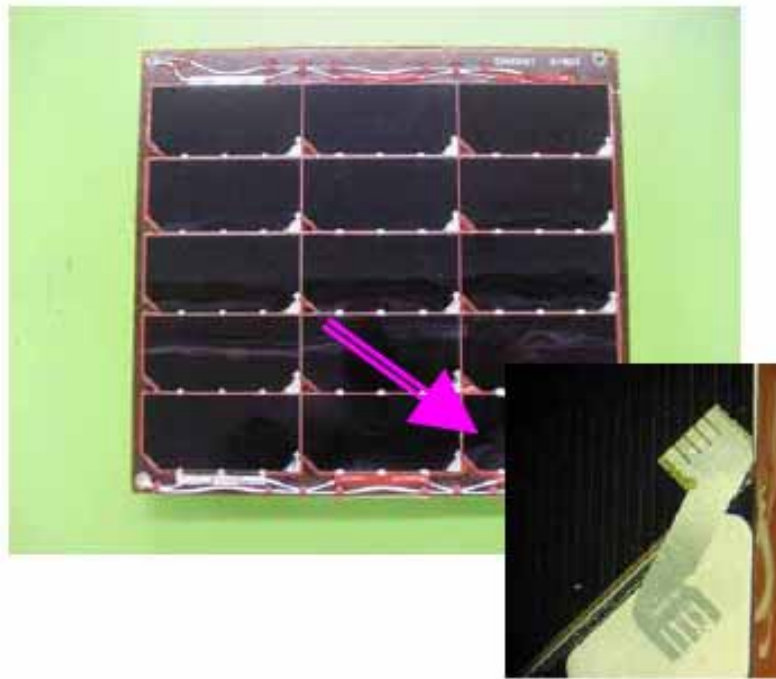


図 1.4-4 3 接合セルアレイと Si バイパスダイオード

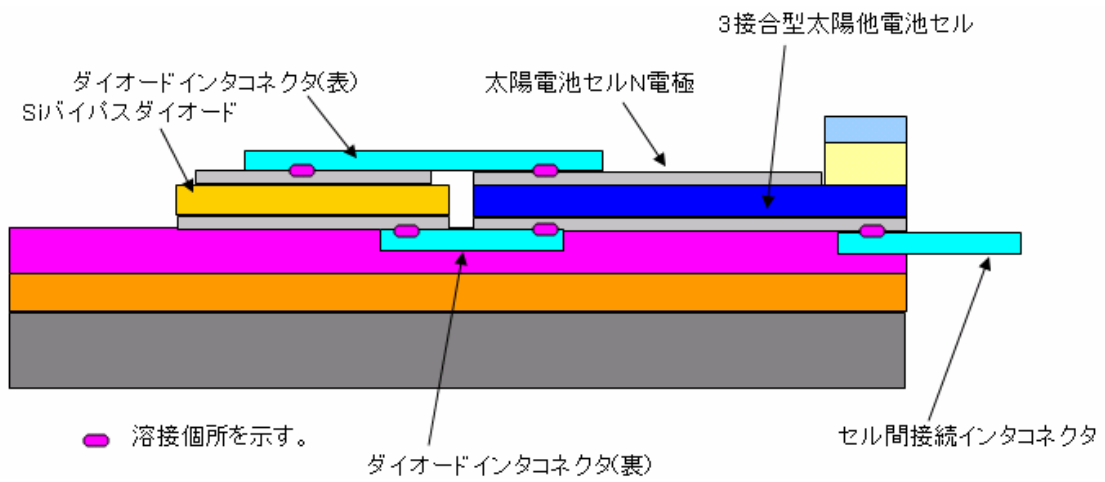
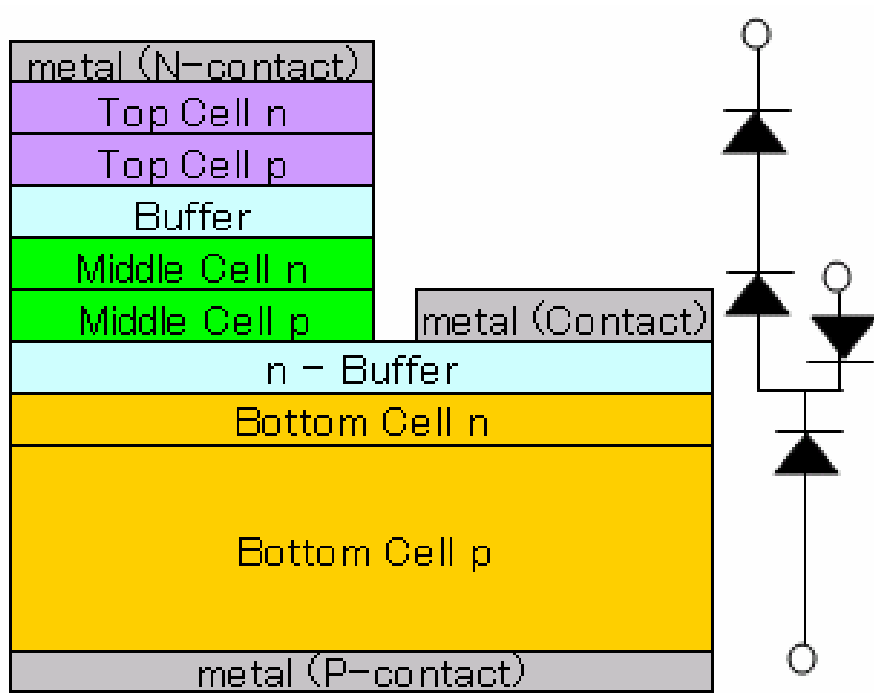
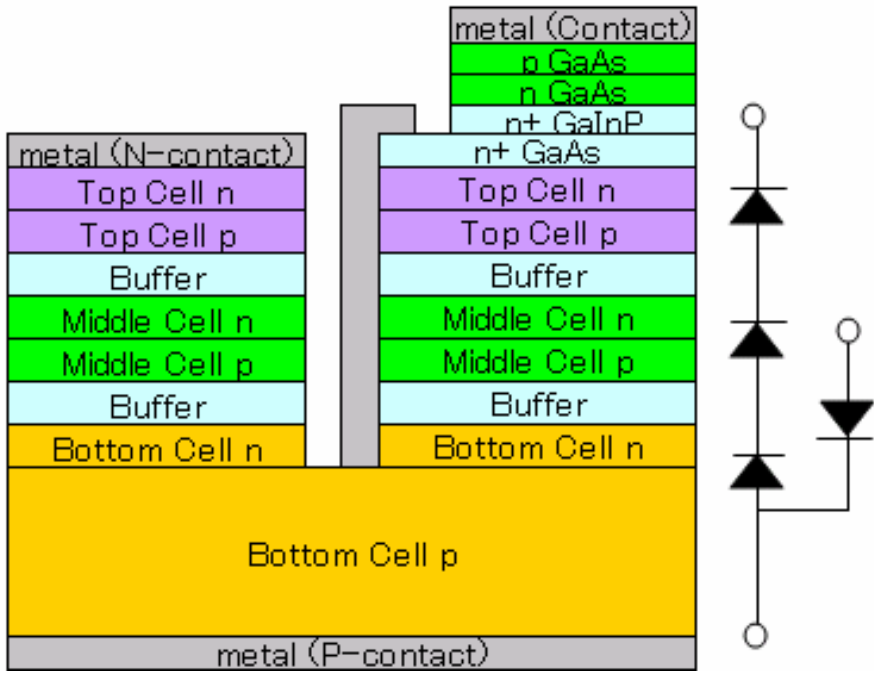


図 1.4-5 3 接合セルアレイと Si バイパスダイオードの断面構成



ショットキー構造タイプのMDセル(MD-1)



PN 接合タイプのMDセル(MD-2)

図 1.4-6 MD セル断面構成

1.5 論文構成の説明

本研究論文は、序章で研究の目的、背景、研究の動向について記述し、引き続き研究対象である 3 接合型宇宙用太陽電池セルのバイパスダイオードの形式と、今回特に研究した MD セルの構造についてまとめている。

2 章では、研究の進め方の概要、地上試験に使用した供試体、試験装置、試験回路についてまとめ、具体的な試験を記述する 3 章への橋渡しとなっている。

本研究ではまずは 2 種類の MD セルの帯電にともなう静電放電, Electro Static Discharge 以下 ESD と称すが、その ESD 耐性の比較試験を行い、MD セルの劣化の様子を調査した。引き続き MD セルの種別ごとに電子ビームを照射して、単体での放電劣化閾値測定の研究を行い、MD の耐性を評価した。

次に閾値の低い MD セルに着目して極力実機に相当する回路を構築した上で帯放電試験を行い、実際の衛星用太陽電池パドルに使用できるかどうか評価した。以上の試験評価結果を 3 章に記述している。

試験を進める上で、MD セルの劣化がどの様に発生したか、実機相当回路ではどのように放電電流が流れ、それが実機パドルにとってどういう意味を持つのかについての考察も 3 章にまとめている。

4 章は、一連の試験を通して得られた知見を総括して、本論文のまとめとしている。

2. 研究手法と実験設備

2.1 研究手法

1.2 項に示す目的を達成するために、衛星搭載用太陽電池パドルで使用する宇宙用 3 接合型 MD セルを使用して、フライト品と同一の材料、工程でクーポンパネルを製造して、軌道上の帯電環境を模擬する地上試験装置内にセットして、軌道上で予想される放電を発生させてその耐性を確認する。

帯電状態にして放電を発生させるために、電子銃を具備した真空チェンバーを使用した。真空チェンバーは上部に取りつけた電子銃から電子ビームをクーポンパネルの太陽電池アレイに照射することで、アレイ表面を帯電させることができ、また、電子線照射前にクーポンパネルをベーキング出来るよう、パネル加熱用の赤外線ヒーターを内蔵している。

試験装置の詳細は 2.2 項に記述する。

本研究の対象となる宇宙用 3 接合型 MD セルは、MD の構造として PN 接合タイプと半導体と金属の接合であるショットキータイプの 2 種類が現存し、いずれも入手可能であった。そこで両者についてその劣化閾値の測定をシンプルな回路構成で地上試験によって検証することとした。

2 種類の太陽電池セルは、同一のサイズとして、同一のカバーガラス (CMG-100-AR)、接着剤、インタコネクタ、サブストレート、電線、半田を使用してクーポンパネルに組み込み、セルのみが違う構成で比較試験を進めた。

外部回路を変化させて放電電流の変化をみる試験では、太陽電池セルを 1 枚のみ実装した単セルタイプのクーポンパネルを製作した。

供試体の詳細並びに試験途中の供試体評価方法について、2.3 項並びに 2.4 項に記している。

クーポンパネルの太陽電池アレイ回路は、パネル裏面のコネクタ、真空チェンバーのフランジを介して、外部回路に接続される。アレイ回路をバイアスするための DC 電源、放電発生時に軌道上で予測される放電波形を形成するための抵抗、インダクタンス、コンデンサ、等で構成する外部回路をチェンバー外にセットした。試験回路の詳細は 2.3 項に示す。

2.2 実験設備

クーポンパネルの帯電状態を模擬し、放電を発生させる装置として、九州工業大学の宇宙環境技術研究センターの静止軌道チェンバーを使用した。試験チェンバーの外観を図 2.2-1 に示す。

本装置は、高真空ゲートバルブを介して、メインチェンバーとサブチェンバーにわかれており、帯電・放電試験を行うメインチェンバーは直径 0.6m、長さ 0.9m である。静止軌道上でのサブストーム発生時の宇宙飛翔体表面の帯電を模擬するために、チェンバーの上部には電子銃(ULVAC 社製、RHEED)を具備している。

本真空チェンバーの排気系は、粗挽き用のロータリーポンプ(ULVAC 社製、GVD-201)と 2 台のターボ分子ポンプ(ULVAC 社製 UTM50 と SEIKI 社製 STP-400C)で構成され、最高到達真空度は 2×10^{-4} Pa 程度である。

チェンバー内の様子を図 2.2-2 に示す。中央に絶縁板を置き、その上に供試体であるクーポンパネルをセットして、上部の電子銃から電子ビームがクーポンパネル上に照射できるコンフィギュレーションとなっている。帯放電試験中は、クーポンパネルを -5kV 程度に DC 電源でバイアスするが、そのための 20kV の耐圧を有する 7 本の高電圧電流導入端子を備えるフランジが図の左側にある。

チェンバー内壁(図の左上)には、赤外線ランプ(IR ランプ)を具備しており、試験中、所定の真空度に到達したら、供試体クーポンを加熱して、アウトガスを出す機能を有する。今回の一連の放電試験では、クーポンパネルのアレイ非実装面(裏面)に熱電対を取り付け、60~70 で 2 時間、ベーキングを実施してから帯放電試験を開始した。

チェンバーの上部には窓があり、赤外線カメラ(IR カメラ)を取り付けている。試験中は常時クーポンパネルを撮影して、試験中に放電が発生した際の放電発生箇所を特定する。

放電発生後のセル、MD の健全性を確認するため、Dark V-I 特性を取得するが、その際もセル、MD 部の発光がこのカメラで確認できる。セルまたは MD が損傷(放電によりリーク箇所ができて短絡状態になると、セルまたは MD が発光しなくなるので、放電による異常個所の特定に有効である。

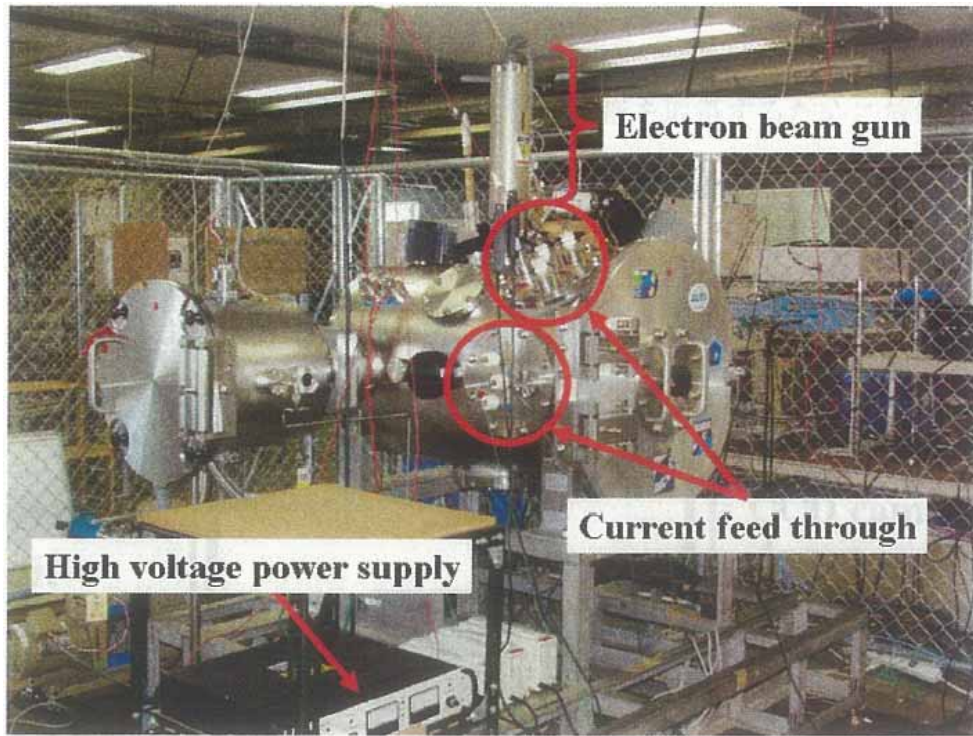


図 2.2-1 静止軌道チェンバー外観

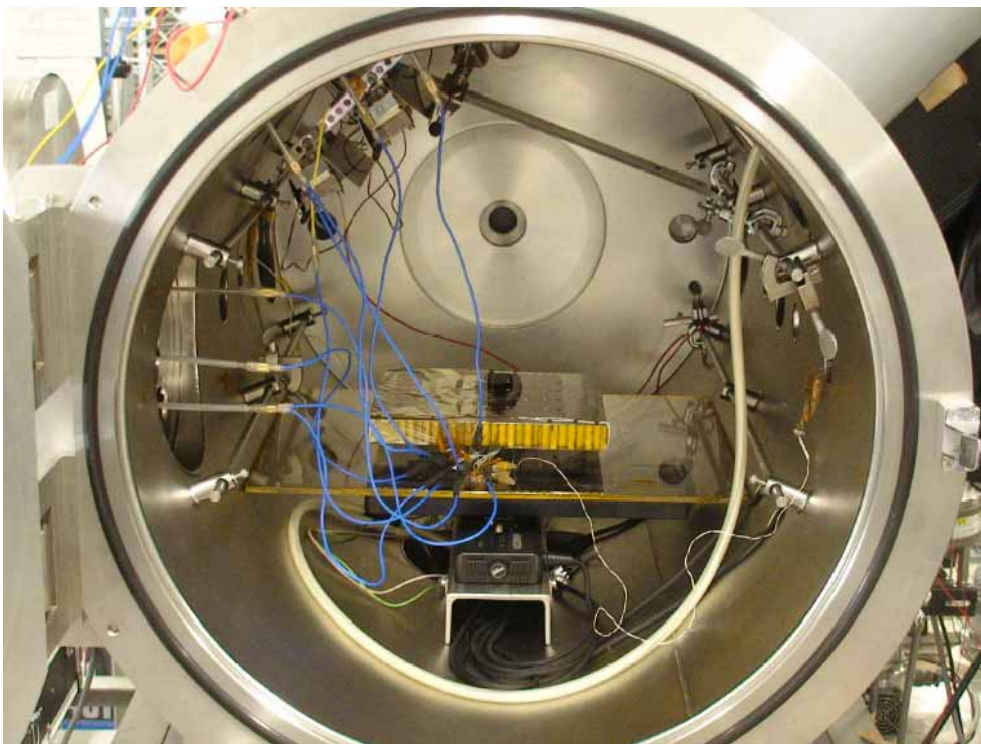


図 2.2-2 静止軌道チェンバー内

2.3 供試体

一連の地上試験で使用した供試体クーポンパネルの詳細について、本項で説明する。

2.3.1 太陽電池セル

研究に使用した宇宙用 3 接合型 MD 太陽電池セルとしては、1.4 項で記述したとおり、2 種類のもので評価することが出来た。

1 つが本論文では MD-1(図 1.4-5 の上図)と称することとするが、ショットキー構造のダイオードであり、もう一つは MD-2(図 1.4-5 の下図)と称するが、PN 接合構造のセルを使用した。

いずれの太陽電池セルも、AM0、28 で 28%程度の高い変換効率を誇るセルである。

MD-1 の外観を図 2.3-1 に示す。図 1.4-6 の上図に示すとおり、セルの一部をマスクして 3 接合セルの Middle 接合と Top 接合を成長させない部分を設け、Bottom セルに直接金属層を蒸着させることでショットキーダイオード構造を実現している。Bottom セルは、Ge 基板そのものを PN 接合にすることでセルとしており、3 接合セルの発電電圧約 2.6V のうちわずか 0.3V を担うものである。Ge 半導体に不純物をドーピングした太陽電池セルで、逆バイアス時の漏れ電流も大きいことから、逆バイアスに対して鈍感でバイパスダイオードで保護する必要がないといわれており、本構成の MD は Top 接合と Middle 接合のみを保護する接続となっている。

MD-2 の外観を図 2.3-2 に示すが、図 1.4-5 の下図に示すとおり、太陽電池セルの PN 接合形成後、MD 部の外周に溝をつくり、MD 部の淵を金属で短絡させて、その上に n-GaAs と p-GaAs を成長させてバイパスダイオードとしている。本構造では、Bottom セルの PN 接合も含めてバイパスダイオードが接続する構造となっており、3 接合とも保護する形式となっている。

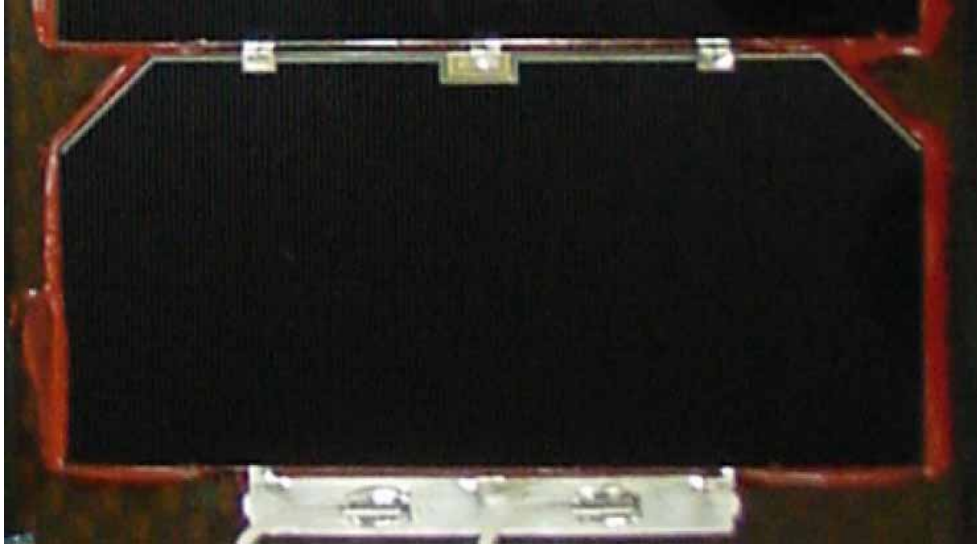


図 2.3-1 MD-1 セルの外観

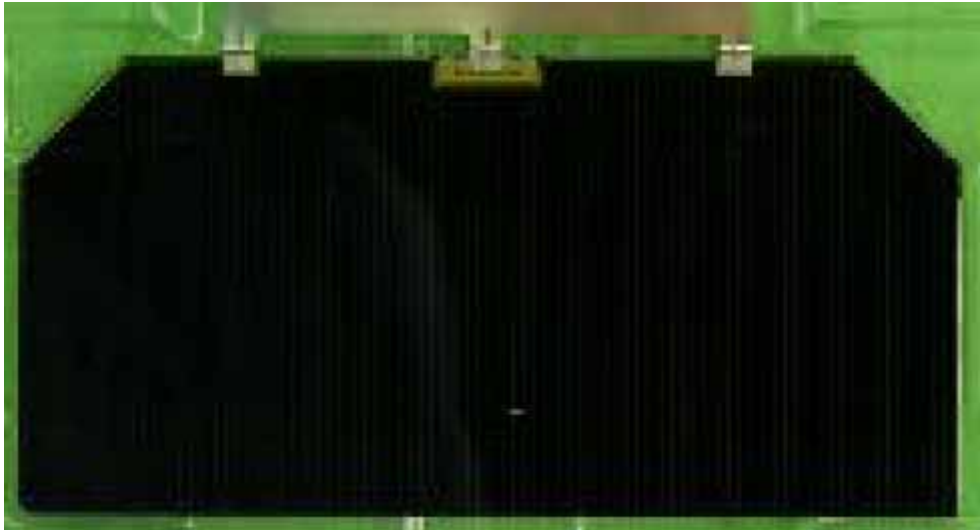


図 2.3-2 MD-2 セルの外観

MD-1 はショットキー構造であることから、ダイオードの順方向通電時の電圧降下(Vf)が MD-2 と比較して低い。MD セル 5 直列分の MD 部の電流 - 電圧特性を図 2.3-3 に示すが、MD-1 の方が MD-2 と比較して Vf は半分程度である。

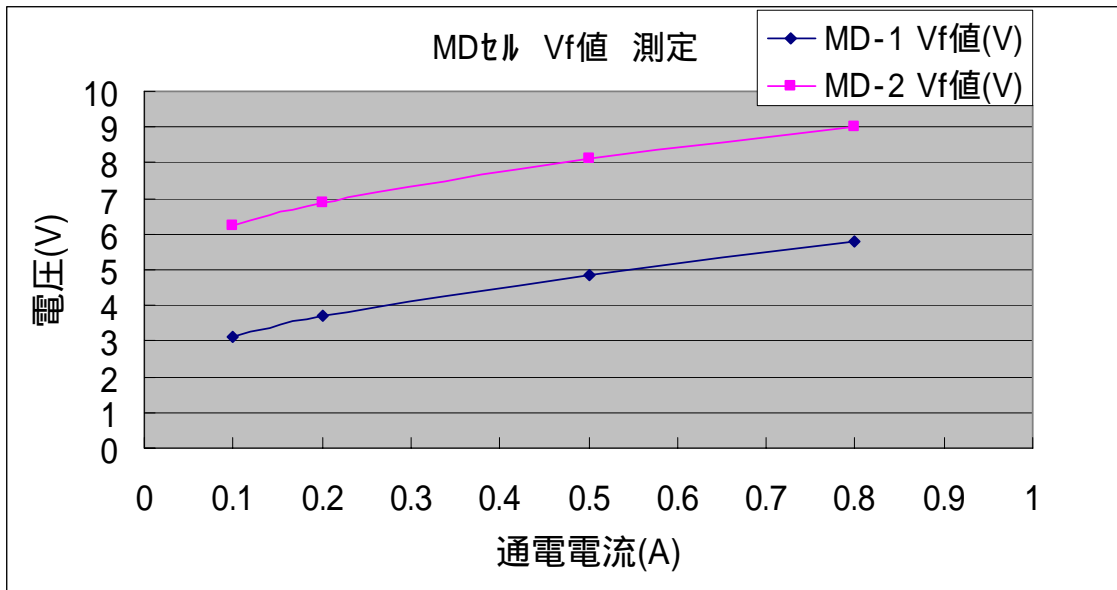


図 2.3-3 MD セル MD 部の順方向 電流 - 電圧特性

2.3.2 CIC (Cover Integrated solar Cell)

今回の研究で使用したカバーガラス、インタコネクタ付き太陽電池セル(CIC)は、2種類のMDセルの比較を行うために、太陽電池セル以外は同一の設計とした。図 2.3-1, 図 2.3-2 に示すとおり、2種類の太陽電池セルは同一サイズ(37mm×76mm に 8.5mm の切り欠けが 2 つある形状)、同一の厚さ(150 μm)とし、N 電極、MD 電極の位置も同一にした。

N 電極、MD 電極の位置が同じとすることで、同一形状のインタコネクタを使用した。本研究で使用した CIC のインタコネクタは、25 μm の銀を加工したものである。

カバーガラスは、QIOPTIQ 社製の CMG ガラスを使用した。厚さは 100 μm で、受光面にはフッ化マグネシウム(MgF₂)の単一層で出来た反射防止膜が施されている。同一のカバーガラスを同一のシリコン系接着剤(DC93-500)で両タイプのセルに実装することで、帯電状態、インタコネクタやセル端での放電発生条件が同様になるようにした。

2.3.3 供試体クーポン

実際の太陽電池パドルは、所定の要求電力を電力制御系機器により、規定のインタフェース電圧で制御された状態で給電するように設計されており、太陽電池セル 1 枚の特性と軌道上での動作温度、太陽光入射条件、放射線・紫外線などによる劣化特性を考慮した上で必要な直並列数が決められる。近年の日本の主要な人工衛星は、電力的には 3~5kW クラスのものが多く、電力的には中容量であることから、実績の多い 50V バスが採用され、3 接合セルでは 30~35 個直列に接続することで 50V バスに対応できる。あとは必要な電力に見合う分のセルストリングスを並列接続することで要求に見合う太陽電池アレイ回路が構成できる。

帯電・放電試験で使用するクーポンパネルは、九州工業大学の宇宙環境技術研究センターでの試験では、真空チェンバーのサイズや電子ビームの照射エリア地上試験装置の制約から、これまで 5 直列×3 並列程度並べたものを多く用いてきた。

そこで、まず太陽電池セルが 5 直列のモジュールを実装したモジュールタイプのものを製作して、試験に供することとした。モジュールタイプのクーポンは、MD セルの ESD 耐性比較試験と劣化閾値測定で使用した。

本タイプのクーポンは、24cm×22cm のクーポンサブストレートに 5 直列のモジュールを 2 個実装するものとした。本タイプのクーポンの外観を図 2.3-4 に示す。

クーポンサブストレートは、厚さ 25.4mm のアルミハニカムコアを 0.1mm の厚さの CFRP フェースシートでサンドイッチした構造のもので、セル実装面にはポリイミドフィルムを実装して、アレイ回路とサブストレート間の絶縁を確保している。前述の CIC5 枚を直接接続して、1 つのモジュールにし、MD-1 と MD-2 のモジュールを 1 本ずつ、同時にシリコン系接着剤でクーポンサブストレートに接着した。クーポンサブストレートも CIC・モジュールの部品・製造工程、クーポンパネル組立に使用する材料・工程はすべて NEC 東芝スペースシステム㈱でフライト製品を使用するものを適用し、フライト用の太陽電池パドルと同一の小型パネルとしている。

一方、前述のとおり、実際の太陽電池パドルは3接合セルの場合でも30個程のセルが直列に接続されているため、実機模擬回路をにおける劣化評価試験では、外部回路に太陽電池セル15直列のモジュールを2個、供試体のセルに接続につなげることにした。この為、チェンバー内には単セルタイプのクーポンをセットし、31セル直列の回路構成での試験とし、より実際の太陽電池アレイ回路を模擬し、放電電流の流れやセルの劣化を測定して、MDセルが実際の人工衛星用の太陽電池パドルに使用できるかどうかを評価した。

単セルタイプのクーポンは、外観を図2.3-5に示す通り、基板上にCIC1枚のみ実装し、Nバスバー並びにPバスバーを実装して配線したものである。サブスレートはアルミニウムのプレートにカプトンテープを付けたものである。

サブスレートこそフライト品と同等ではないが、CICの接着やCIC周辺の接着剤の塗布状態はフライト品と同等にしている。

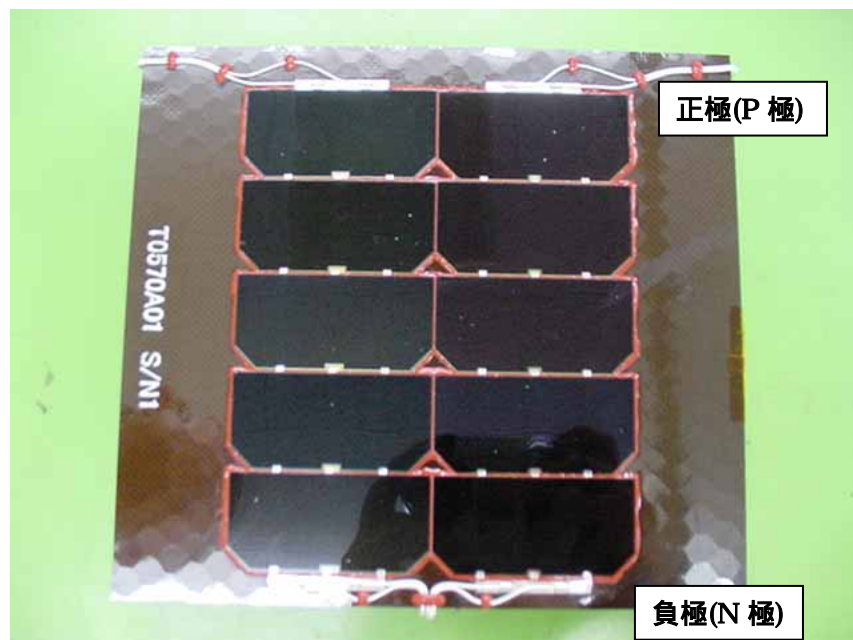


図 2.3-4 MD セルクーポンパネル(モジュールタイプ)
 写真の右が MD-1、左が MD-2 セルのモジュールである

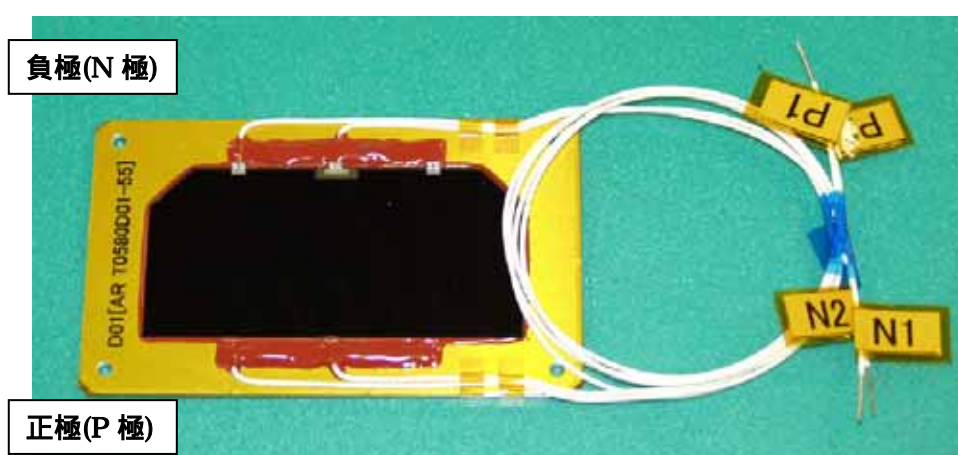


図 2.3-5 MD セルクーポンパネル(単セルタイプ)
 MD-2 セルを使用

2.4 供試体の性能評価方法

供試体クーポンの評価は、試験中の MD/セルの暗状態での V-I 特性の測定、V-I 測定時の IR カメラによる発光状態の確認に加えて、外観検査と電気性能試験による。

外観については、宇宙環境技術研究センターの保有する X-Y テーブルに実装した最高倍率 60 倍の顕微鏡により、帯放電試験前後に太陽電池アレイの外観を撮像している。試験前後の外観を比較することで、放電による変化、損傷を評価する。

アレイ回路の電気性能は、帯放電試験中は、Keithley 社製の Source Meter (Keithley, 2400) を使用して、太陽電池セル並びに MD の暗状態での電流 - 電圧特性(Dark I-V 特性)を測定することでその変化を確認した。一連の帯放電試験が終了すると、供試体クーポンを試験チェンバーから取り出し、上述の顕微鏡により外観記録を行った。その後、NEC 東芝スペースシステム(株)京浜地区に送付して、アレイ回路の導通、絶縁抵抗、擬似太陽光下でのアレイ回路の I-V カーブを測定し、電気性能の変動を確認した。

アレイ回路/サブスレート間の絶縁抵抗は、絶縁抵抗計で 250VDC を印加して測定した。

アレイ回路の I-V 特性は、Spectrolab 社の SAPSS (Small Area Pulsed Solar Simulator)にて測定した。本装置は、1 本の Xe ランプによるパルス光の照射装置試験であり、AM0 (Air Mass Zero)の擬似太陽光を直径約 30cm の範囲内で照射できる。Xe ランプのみの構成であるため、必ずしも 3 接合セルにとって最適なスペクトルを発生できるものではないが、光強度は EMCORE 社の 3 接合セルのスタンダードセル(2 次校正セル)で補正して、時期の異なる測定でも 3 接合セルにとっては常に同じ光強度になるようにしている。

2.5 試験回路の設定と試験方法

MD-1/MD-2 セルの ESD 耐性比較試験は、モジュールタイプのクーポンパネルを使用して実施するが、2つのモジュールに同時に同程度の電子ビームを照射して、同様な帯電状態を模擬する。

試験コンフィギュレーション、回路構成を図 2.5-1 に示す。

MD-1/MD-2 とともに回路の正極側ライン(HOTライン)と負極側ライン(RTNライン)をつなげ、最終的には両回路とも共にサブストレートに接続し、サブストレートと共にバイアス電源で負にバイアスし、各ラインには電流プローブをセットして、放電波形を測定する。

以上は、静止衛星用太陽電池パネルのクーポンパネル評価試験でよく使用される典型的な試験コンフィギュレーションである。¹⁵⁾

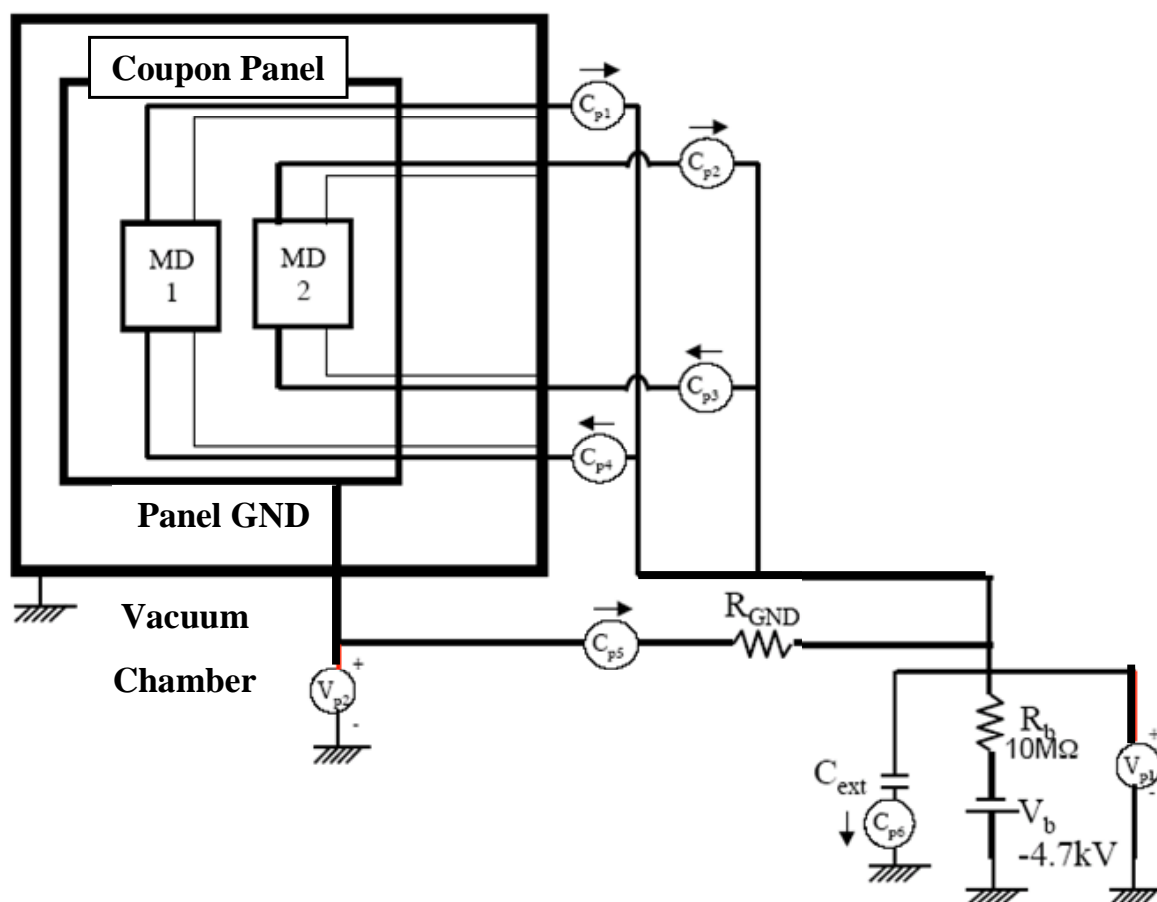


図 2.5-1 MD セル ESD 耐性比較試験 回路接続

電子ビーム設定(典型) 加速電圧 5kV ビーム電流 80 μ A
真空度 10^{-3} Pa $C_{ext} = 160$ nF

MD セル ESD 耐性比較試験では、MD-1/MD-2 同時に電子ビームを照射するため、MD セル毎の放電が制御できない。そこで、MD セルの劣化閾値測定においては、図 2.5-2 に示すとおり、片側のモジュールをマイラーシートで覆って電子ビームを照射して、マイラーシートのかかっていない方の MD セルモジュールで放電を発生させて、劣化閾値を測定した。

回路接続を図 2.5-3 示す。

図 2.5-2 では、MD-1 セルモジュールにマイラーシートが掛かっており、MD-2 セルの劣化閾値を測定する状態となっている。この時の外部回路は図 2.5-3 に示す通りであり、試験対象である MD-2 のセルモジュールには HOT ライン、RTN ラインにダイオードを接続して、放電が発生した時には必ずセルのバイパスダイオードを通して流れるようにしている。

試験の対象となっていない MD-1 セルモジュールは、マイラーシートで覆われているので放電は発生しないが、MD-2 の放電が流れ込まないように、念のため HOT ラインにダイオードを図示のとおり接続した。

試験では外部回路のコンデンサの静電容量 C_{ext} を変化させて、放電時のエネルギーをコントロールした。 C_{ext} は 0.5nF から徐々に上げていき、MD の V-I 特性が大きく変化した時点で劣化したと判断して、供試体クーポンを取り出して外観確認、電気性能確認に移行した。

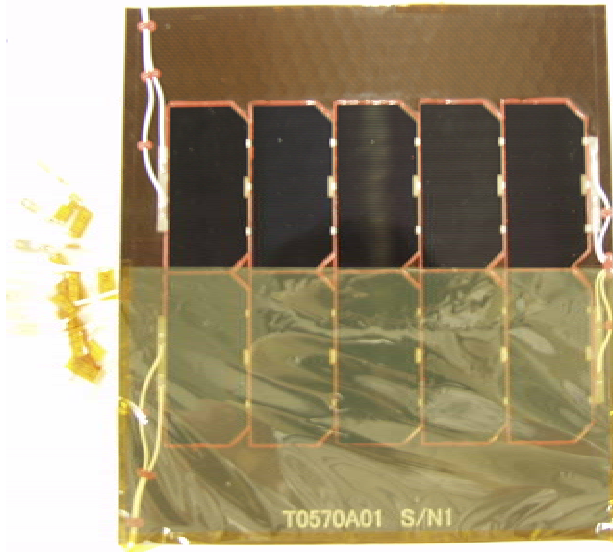


図 2.5-2 MD セル劣化閾値測定時のクーポンの状態

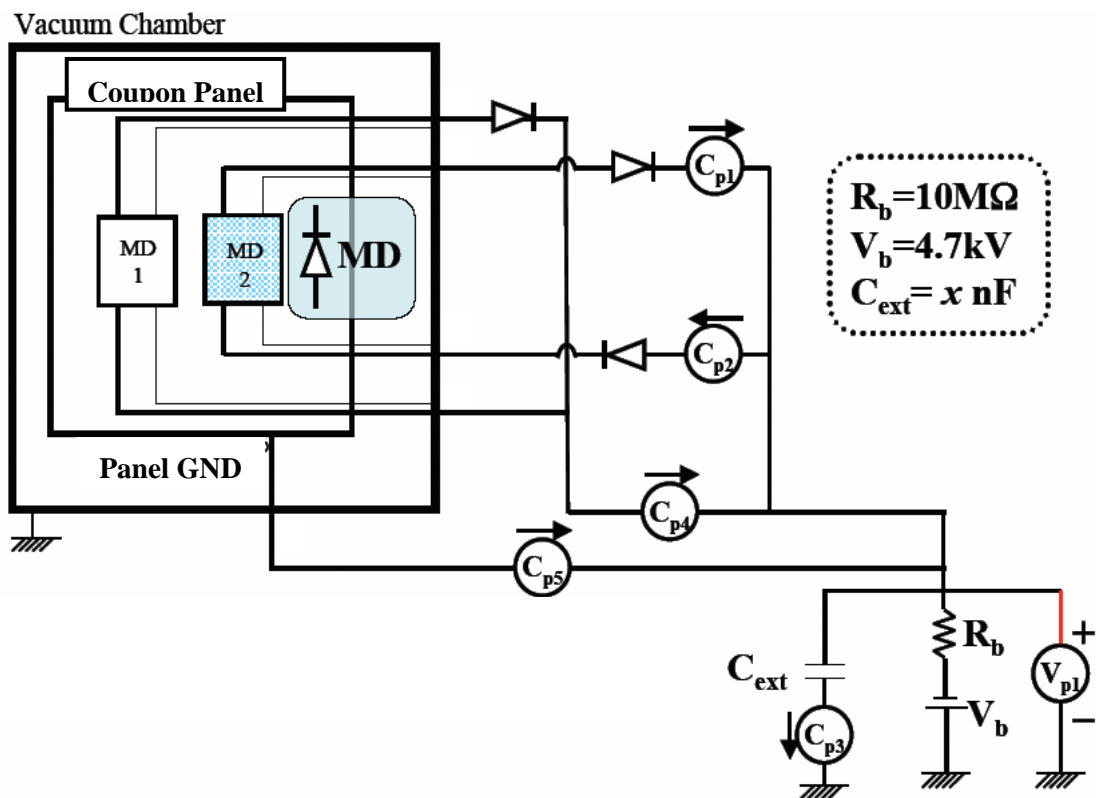


図 2.5-3 MD セル劣化閾値測定 回路接続

電子ビーム設定(典型) 加速電圧 5kV ビーム電流 80 μ A
真空度 10⁻³Pa

実機模擬回路での帯放電試験の回路を図 2.5-4 に示す。

前述のとおり、バス電圧 50V 程度の衛星を考慮して、31 直列のアレイ回路を想定した試験回路を、単セルタイプのクーポンと、セルが 15 枚直列接続されたクーポンパネル 2 枚を使用してアレイ回路を構成した。

実際の人工衛星の電源システムでは、アレイ回路の故障分離のために、HOT ラインのみに分離ダイオードが実装されていることから、本試験でも RTN ラインにはダイオードを実装しない構成とした。これにより、太陽電池アレイ上で放電が発生しても、放電電流は HOT 側にも RTN 側にも流れることができる。

人工衛星の電力制御器(Power Control Unit : PCU) には、負荷変動による電圧変動を吸収するためのコンデンサバンク(バスキャパシタ)が HOT/RTN ライン間に具備されている。本回路ではこれを意図した $1\mu\text{F}$ のコンデンサを取り付けた。

衛星負荷電力を 2.5kW 程度と想定すると、50V バスシステムでの衛星負荷断流は 50A となるため、実際の衛星負荷モデルは単純な抵抗では模擬できないが、ここでは 1 の衛星の負荷を模擬した抵抗を並列接続した。

図 2.5-4 では、単セルクーポンが 15 セルクーポンに挟まれる形になっている。これは言わば 31 セル直列の丁度中間のセルを模擬したものとも言える。例えば HOT 端のセルの劣化を調べるためには、図 2.5-5 にすることで可能となり、放電電流が MD 部とアレイ部に分流する度合いが変化する様子が定量的に評価できる。尚、いずれの構成でも、光起電力による影響を排除するために、外部接続したクーポンパネルは 2 枚とも遮光した。

放電電流は、バイアス電源と並列に実装されたコンデンサ (C_{ext})、抵抗、インダクタンスで形成される。試験では C_{ext} を変化させて、MD セルの劣化の有無、放電電流の変化を確認してきたが、最終的には幅 2.4m、長さ 8m の数 kW 級の太陽電池パドル上での GEO 環境の放電を模して、 $C_{\text{ext}}=880\text{nF}$, $R_{\text{ext}}=195$, $L_{\text{ext}}=11.3\text{mH}$ で試験を進めた。⁷⁾

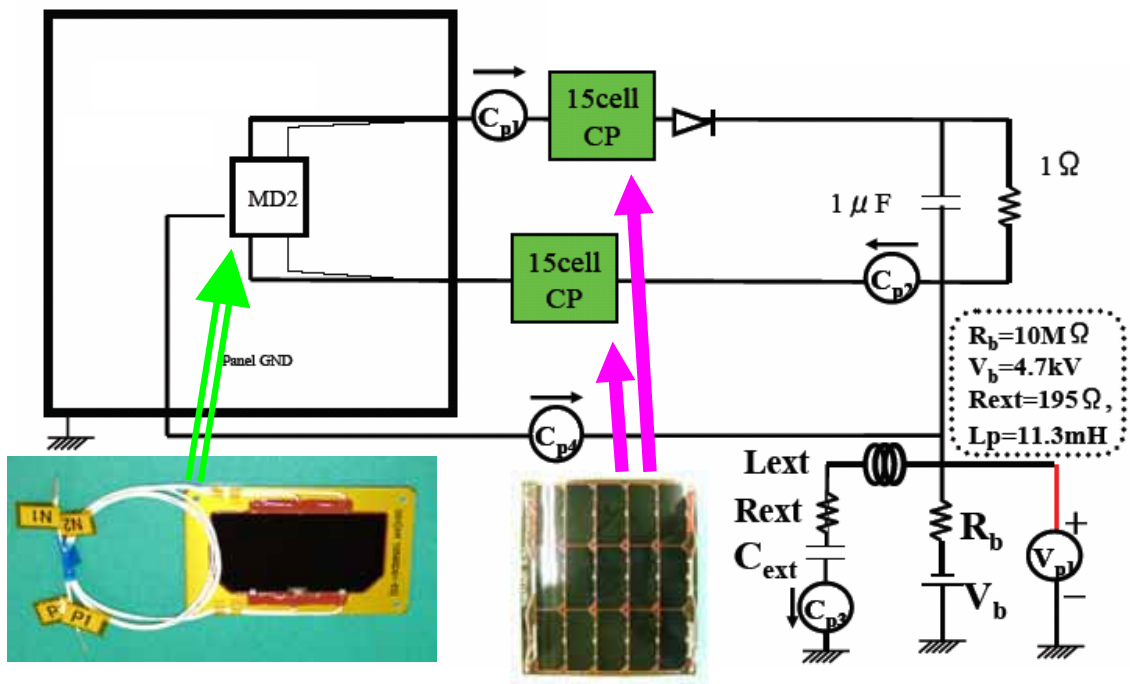


図 2.5-4 MD セル実機模擬回路試験 回路接続

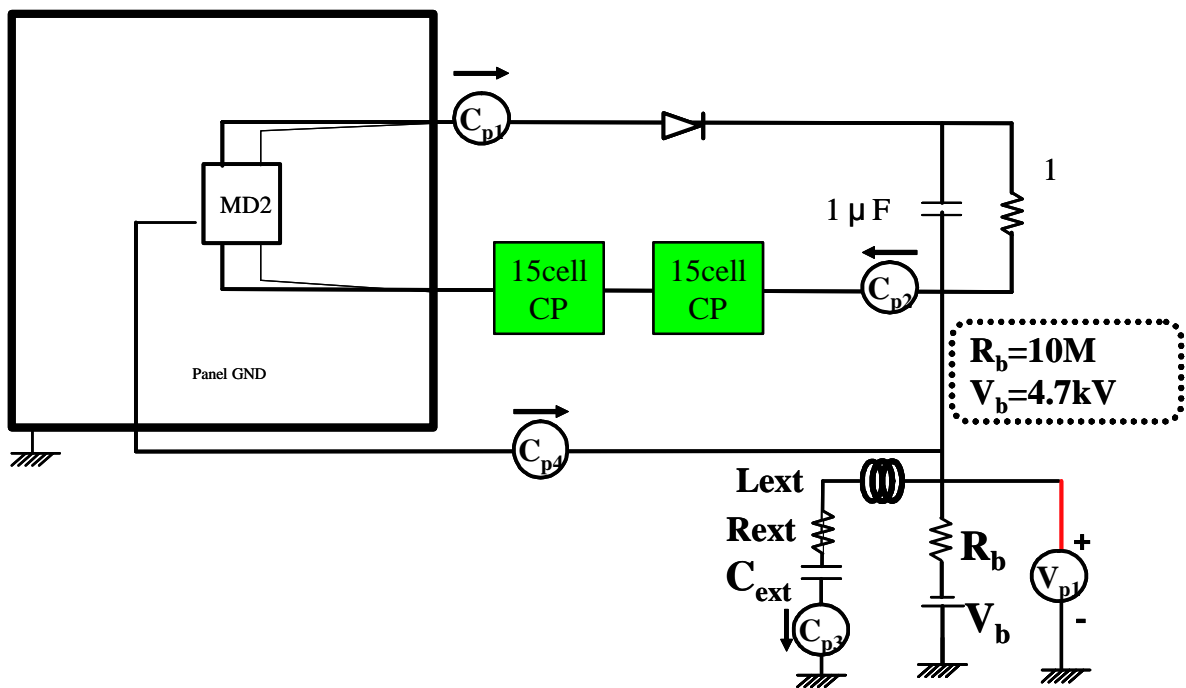


図 2.5-5 MD セル実機模擬回路試験 回路接続(その2)

3. MD セルアレイの放電実験

3.1 MD セル ESD 耐性比較試験

MD セルの ESD 耐性比較試験を進めるにあたって、当初幅 3m、長さ 20m の太陽電池パドルを想定した帯放電試験を計画した。最初の回路構成は図 3.1-1 に示す通り、トリガ用外部回路はコンデンサ C_{ext} 、抵抗 R_{ext} 、インダクタンス L_{ext} で構成した。ここでは、太陽電池パドルのカバーガラス容量を $0.3 \mu F/m^2$ とし、カバーガラス表面の乖離電圧が 400V に達すると放電が発生すると仮定。放電によって発生するプラズマは、10km/sec の進展速度で円形状に拡散してカバーガラス上の電荷を収集して、放電電流を形成していくとして放電波形を解析した。

解析した放電波形のピーク電流、放電時間が合うように、クーポンバイアス電圧-5kV 時の C_{ext} , R_{ext} , L_{ext} を検討して、上記値が決められた。放電電流の軌道上予測(計算値)と外部回路(LCR 回路)で形成される予定の放電波形を図 3.1-2 に示す。

本試験回路で放電試験を進めたが、放電波形の取得時にオシロスコープの設定が難しく放電波形がうまく取得できない上に、放電 4 回(MD-1 が 1 回、MD-2 が 3 回) が発生した時点で、外部回路のコンデンサ C_{ext} に異常がきたたした為、回路を図 2.5-1 に変更して試験を進めた。4 回の放電のうち、MD1 で発生した 1 回の放電は MD 部で発生した。この時の放電の一例を図 3.1-3 に示す。

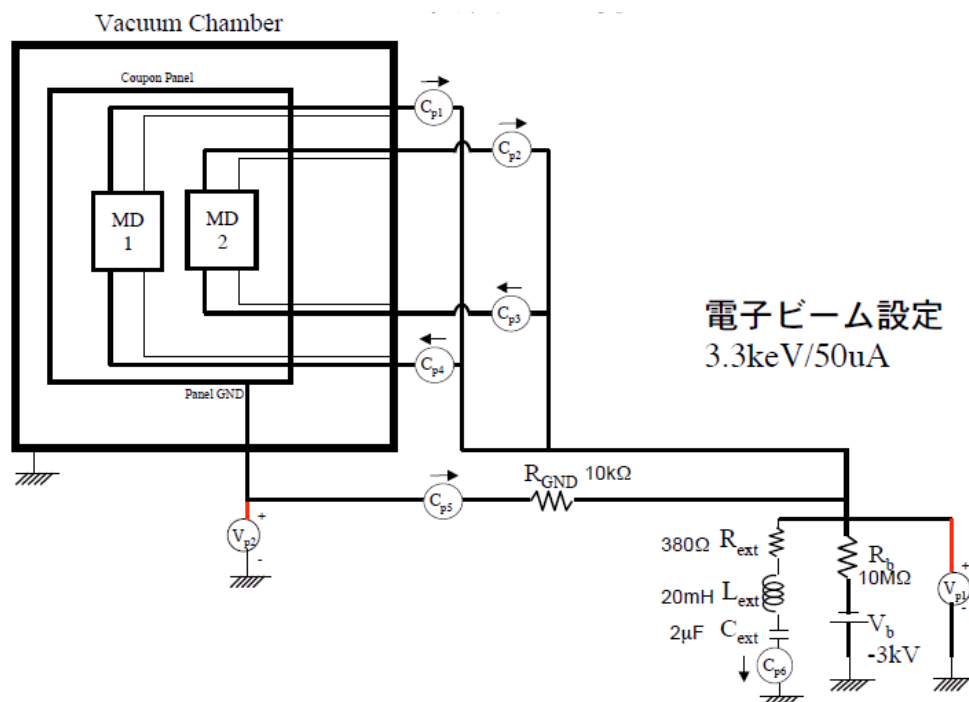


図 3.1-1 MD セル ESD 耐性比較試験 初期の回路接続

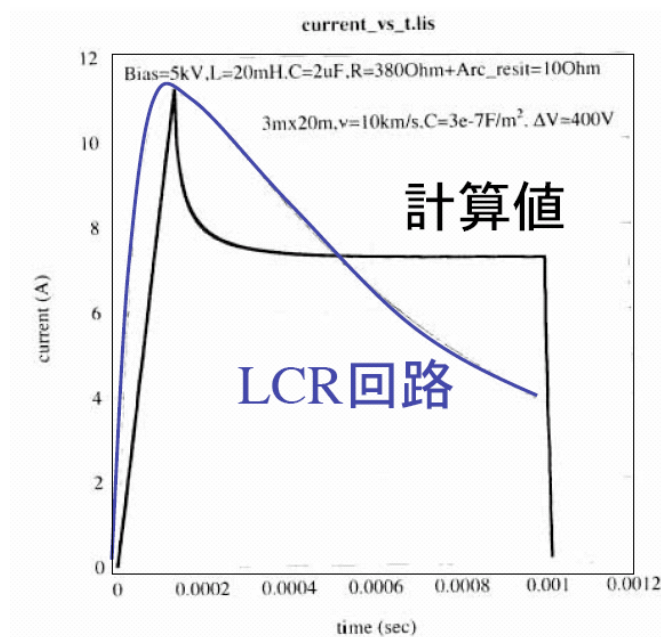


図 3.1-2 MD セル ESD 耐性比較試験 放電波形の検討



図 3.1-3 最初の試験回路での放電の状況

MD2 セルアレイの左から 3 枚目と 4 枚目の間のインタコネクタで発生
発生部位から左側は MD 部が発光、右側はセルが発光しており、
電流の流れも確認できる

図 2.5-1 に示す回路設定にしてからは、放電波形も支障なく取得でき、外部回路の損傷もなく進めることが出来たため、都合 20 時間帯放電試験を継続して、試験後のアレイの外観、電気性能を確認して両者の耐性の違いを評価した。

20 時間の帯放電試験では、合計 74 回の放電が発生したが、うち、31 回が MD1 セルアレイで、43 回が MD2 セルアレイで発生した。各モジュールで発生した放電の典型的な事例を図 3.1-4 に示す。

図 3.1-4 には実験前に期待した放電の状況を示すが、実際にはクーポン全体が放電したり、1 つのモジュールの放電が他のモジュールに回り込み 2 つのモジュール全体が発光したりするケースもあった。いずれにしても放電/発光の種類は図 3.1-5 に示す通り 6 通りに大別できた。

試験後に両アレイ回路の MD、太陽電池セルの V-I 特性を評価したところ、MD-1 は殆ど劣化が見られなかったが、MD-2 はその特性が大きく変化していた。

まず、MD 部の V-I 特性を測定したところ、図 3.1-6 に示す通り、MD-1 は殆ど変化が見られていないが、MD-2 では大きく V_f が低下しており、セルの接合もしくは MD の接合が短絡している事が予想された。

太陽電池アレイの V-I 特性をソーラーシミュレータで測定した結果を図 3.1-7 に示すが、MD-1 のモジュールは若干変化しているのに過ぎないのに対して、MD-2 のアレイは殆ど電力が取り出せない状態に陥っている。

MD-1 のアレイは、最大電力が 3.3%の低下を示しているが、短絡電流(I_{sc})が 2.4%、最大電力電流(I_{mp})が 3.3%低下しており、一方、開放電圧(V_{oc})、最大電力電圧(V_{mp})が殆ど変化ないことから、帯放電地試験中にカバーガラス表面に付着した汚染による低下と考えられる。図 3.1-8 に試験後のクーポンの外観写真を示すが、カバーガラス表面が汚染されていることが分かる。¹⁶⁾ 以上から、MD-1 については 20 時間の帯放電試験において劣化はみられなかったと判断できる。

MD-2 については、 P_{max} が壊滅的な劣化を示しているにもかかわらず、 I_{sc} は 13%程度の低下であった。セルの一部もしくは MD の短絡により、電圧が発生できない状態に陥っている推測された。

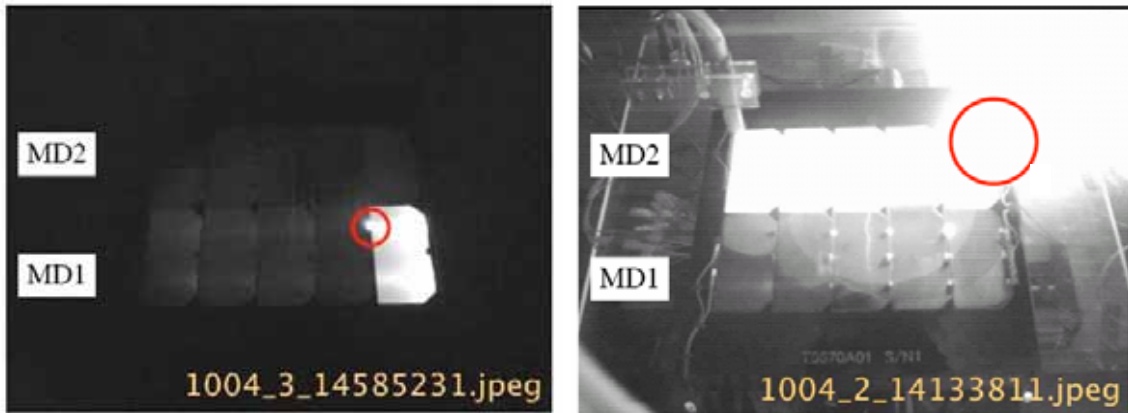


図 3.1-4 MD-1 及び MD-2 で発生した放電の典型例

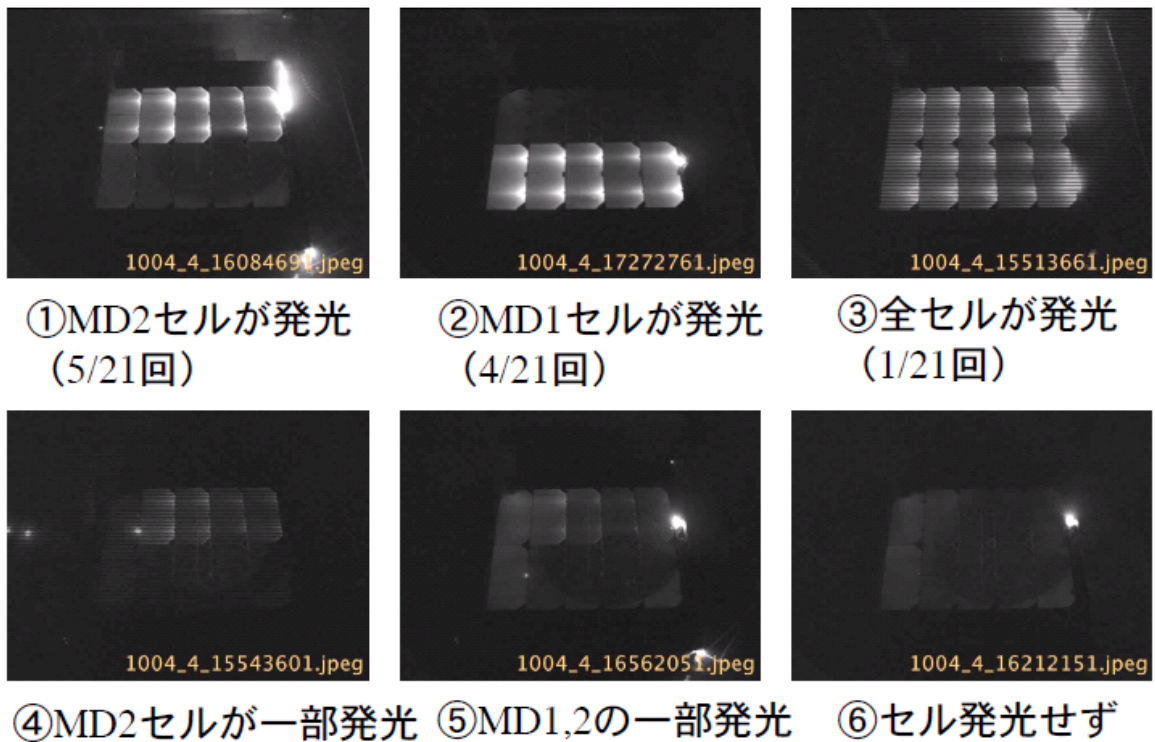
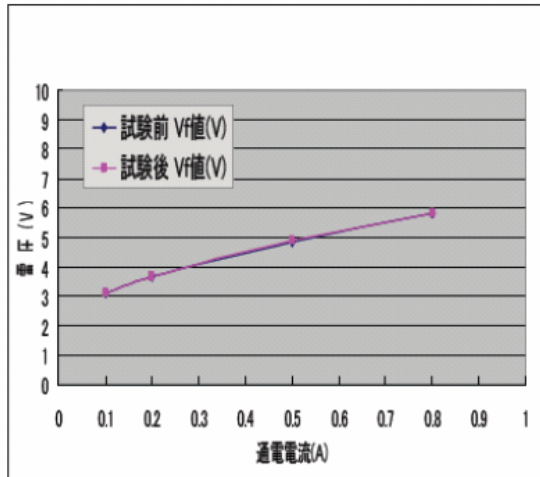


図 3.1-5 MD セル ESD 耐性比較試験時に観察された放電事例

MD1 セルアレイ



MD2 セルアレイ

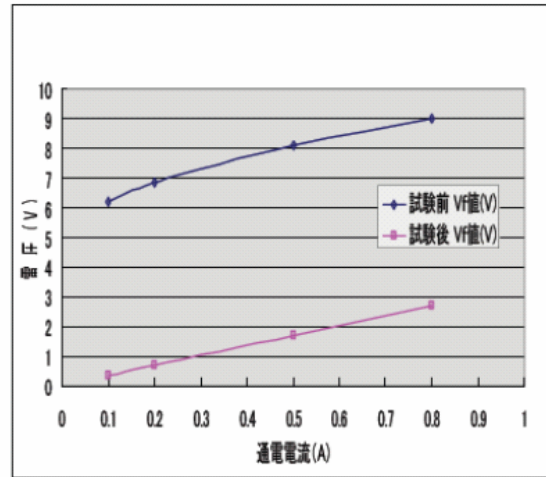


図 3.1-6 MD セル ESD 耐性比較試験前後の MD 部 V-I 特性

MD1 セルアレイ

		試験前	試験後	変化率(%)
Isc	A	0.471	0.460	-2.4
Voc	V	13.15	13.14	-0.1
I _{max}	A	0.422	0.408	-3.3
V _{max}	V	11.85	11.84	-0.1
P _{max}	W	5.00	4.84	-3.3

MD2 セルアレイ

		試験前	試験後	変化率(%)
Isc	A	0.450	0.393	-12.7
Voc	V	12.84	1.34	-89.6
I _{max}	A	0.406	0.193	-52.5
V _{max}	V	11.55	0.68	-94.1
P _{max}	W	4.69	0.13	-97.2

図 3.1-7 MD セル ESD 耐性比較試験前後の両アレイ回路の V-I 特性



図 3.1-8 MD セル ESD 耐性比較試験後のクーポン外観

ダイオード インタコネクタ切断時のセルレイV-I特性

	Isc, A	Voc, V	Pmax, W	保存率, %
試験前	0.450	13.13	4.69	100
試験後	0.393	1.34	0.13	3
	0.439	3.67	0.93	20
	0.444	4.05	0.95	20
	0.443	6.29	1.61	34
	0.430	8.61	2.41	51
	0.426	9.55	2.43	52

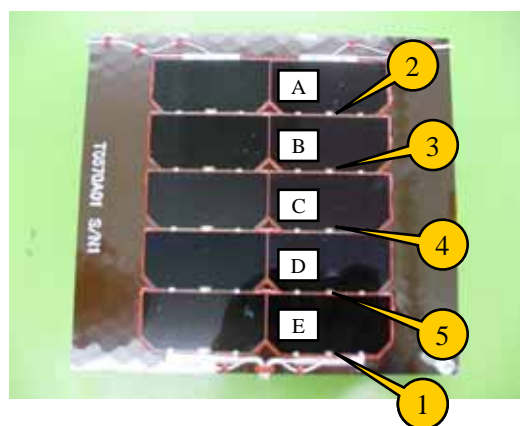


図 3.1-9 MD セル ESD 耐性比較試験後の MD-2 モジュール調査

MD-2 モジュールの劣化状態をより詳しく調べるために、中央のインタコネクタを切断して、MD 部を回路から切り離して V-I 特性を取得して、劣化した機能の特定を試みた。図 3.1-9 に示す通り、全てのセルの MD の接続を開放にすることで、電気出力が試験前の値の Pmax で 5 割程度、Isc で 9 割程度回復した。

切断の順序は図の右側の写真の番号に示す通りで、セル E とセル C は、MD を切り離す(切断、切断)ことで Pmax がセル 1 枚分回復することから、MD 部が放電により短絡したと考えられる。

一方、セル A とセル D は、MD の接続を開放しても殆ど最大電力が変化しない。(切断と切断) 即ち、この 2 枚は太陽電池セルの接合が損傷を受けていると考えられる。

セル B は MD の接続を開放することで、15%程最大電力が回復していることから、セルと MD の両方、もしくは何れかの短絡により正常な V-I 特性からずれた状態になっていると思われる。

顕微鏡による外観検査では、MD-1 については目立った変化はなく、あえて変化があった箇所として図 3.1-10 を挙げるが、これも光の加減である可能性が高く、少なくとも電気性能に影響を与える優位差ものではなかった。

一方、MD-2 セルの MD 部は、図 3.1-11 に示す外観上の変化が認められた。

写真では MD 電極の角が白濁化しており、電極の角に電界集中が発生して熱で変色したように見える。本変化はモジュールを構成する 5 枚のセル全てに見られており、特に MD 部のみが劣化していた中央のセルの変色は顕著であった。

以上から MD セルの ESD 耐性比較試験の結果は、MD-1 は MD-2 セルと比較して殆ど劣化しない耐性の強いセルといえる。しかし、MD-1 のモジュールでは 30A を超える放電は確認されていないのに対して、MD-2 では最初のコンフィギュレーション(図 3.1-1)において 100A を超える放電が発生しており、この時 MD-2 セルアレイが劣化したことが Vf 測定で確認されている、図 2.5-1 の構成になってからも 100A を超える放電が MD-2 に少なくとも 20 回以上流れており、それにより大きく劣化したものと考えられる。即ち、MD-1 が劣化しなかったのは、大きな放電電流が流れなかったためとも考えられる。

2 種類のセルを同様に実装したモジュールクーポンを使用することで、MD-1 と MD-2 は同一の条件になる様にしたつもりであったが、放電回数、放電電流に差異が生じ、個別に劣化閾値を測定して改め評価する必要がある。

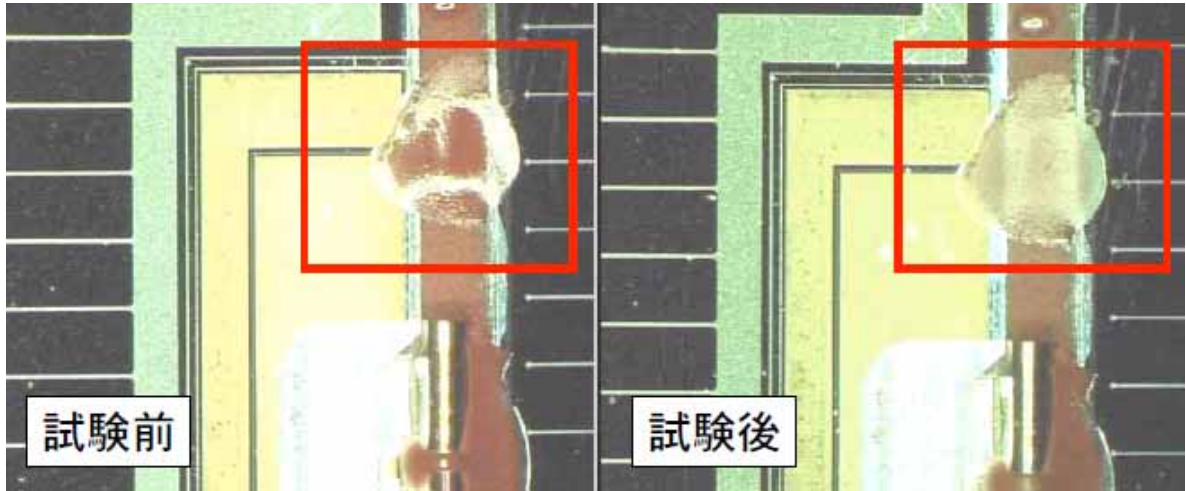


図 3.1-10 MD セル ESD 耐性比較試験後の MD-1 の外観

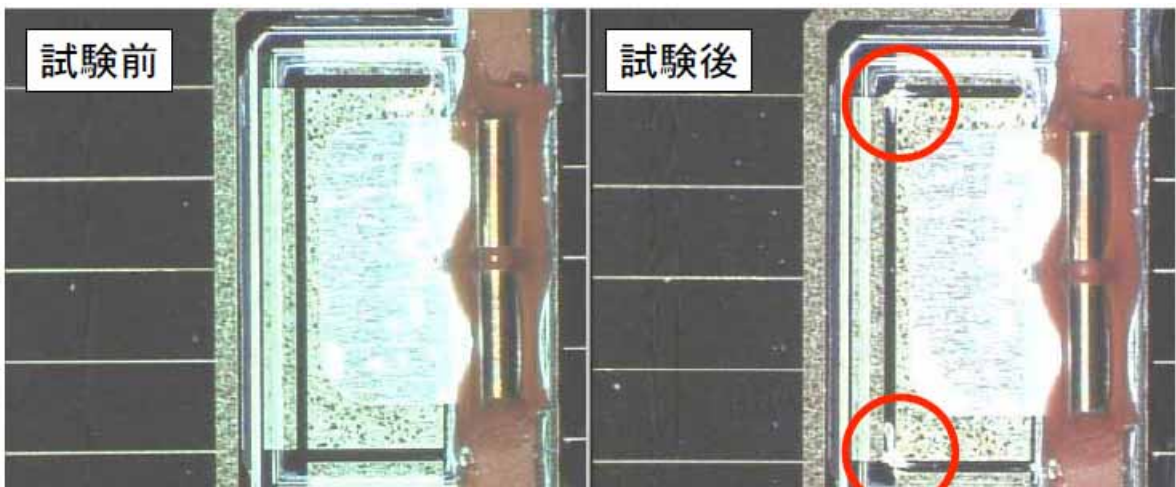


図 3.1-11 MD セル ESD 耐性比較試験後の MD-2 の外観変化

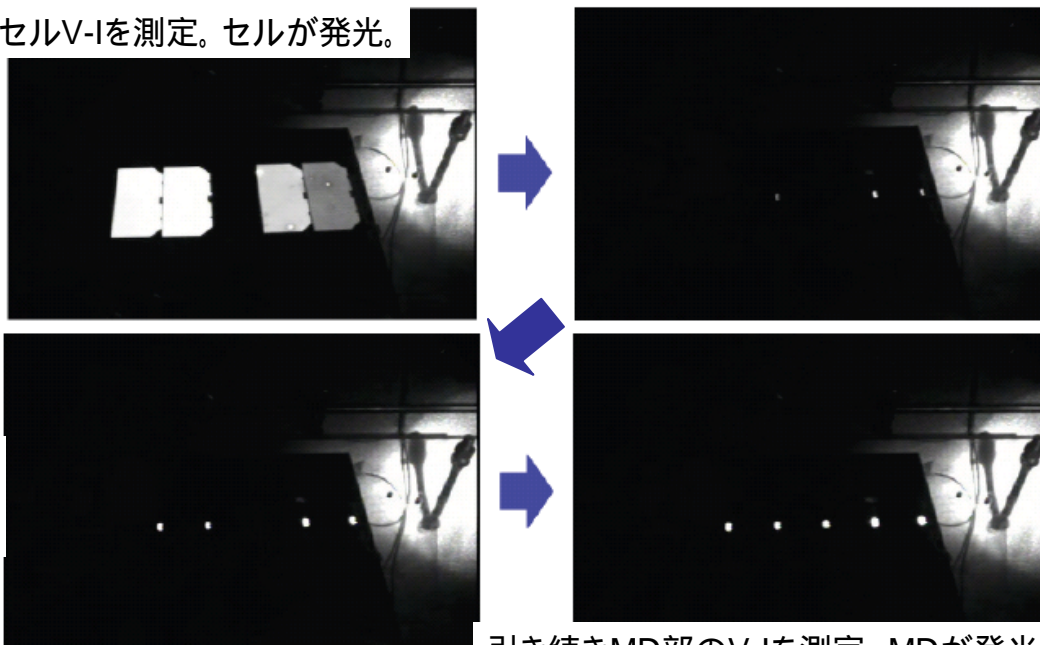
3.2 MD セル劣化の閾値測定

MD セルの劣化閾値測定は、モジュールタイプのクーポンパネルを用いて、試験対象でないモジュールをマイラーシートで覆って進めた。

図 2.5-3 に示す回路で、 C_{ext} を 0.5nF から徐々に大きくして、放電によるセル/MD 部の特性を確認して、変化が見られるところで試験を止め、外観・電気性能を確認する。劣化が見られた場合、変化が見られた時の放電エネルギーが MD の劣化閾値と判断できる。

帯放電試験では、Source Meter を使用して、セル及び MD の Dark V-I 特性を測定した。図 3.2-1 に Source Meter にてセル及び MD の Dark V-I 特性を測定した時のアレイ回路の IR カメラ画像を示すが、電流が流れることでセル及び MD が発光するので、セルや MD の短絡が即座に分かる。

最初にセルV-Iを測定。セルが発光。



引き続きMD部のV-Iを測定。MDが発光。

図 3.2-1 Source Meter による Dark V-I 特性取得時のアレイの IR カメラ画像

セル V-I を測定した後に MD 部の V-I を測定するため、矢印の順で発光する。

MD-1 の放電閾値については、 C_{ext} を 150nF まで増加させ、100A 近くの放電電流まで流したものの、劣化することはなかった。(これ以上の放電電流は試験系の容量の問題もあり、 $C_{ext}=150\text{nF}$ で試験を打ち切った。)

試験前後の MD 部の外観を図 3.2-2 に、 $C_{ext} = 96.5\text{nF}$ 時の放電状況と放電波形を図 3.2-3 に、 $C_{ext}=150\text{nF}$ 時のそれを、図 3.2-4 に示す。

一連の試験での最大の放電は、放電電流のピーク電流、 $I_{peak}=94\text{A}$ 、放電エネルギー 1.66J、放電時間 約 $20\mu\text{sec}$ 、放電電荷 約 $650\mu\text{C}$ であり、これでも劣化はみとめられなかった。

放電電流のピーク電流(I_{peak})が 75A を超える放電も 5 回以上発生したが、全く劣化が認められなかった。

MD1 は、金属と半導体により MD を構成しており、過大な放電電流に対してモリークパスが出来づら構造と考えられ、結果として放電電流に対しては強い耐性を有していたと考えられる。

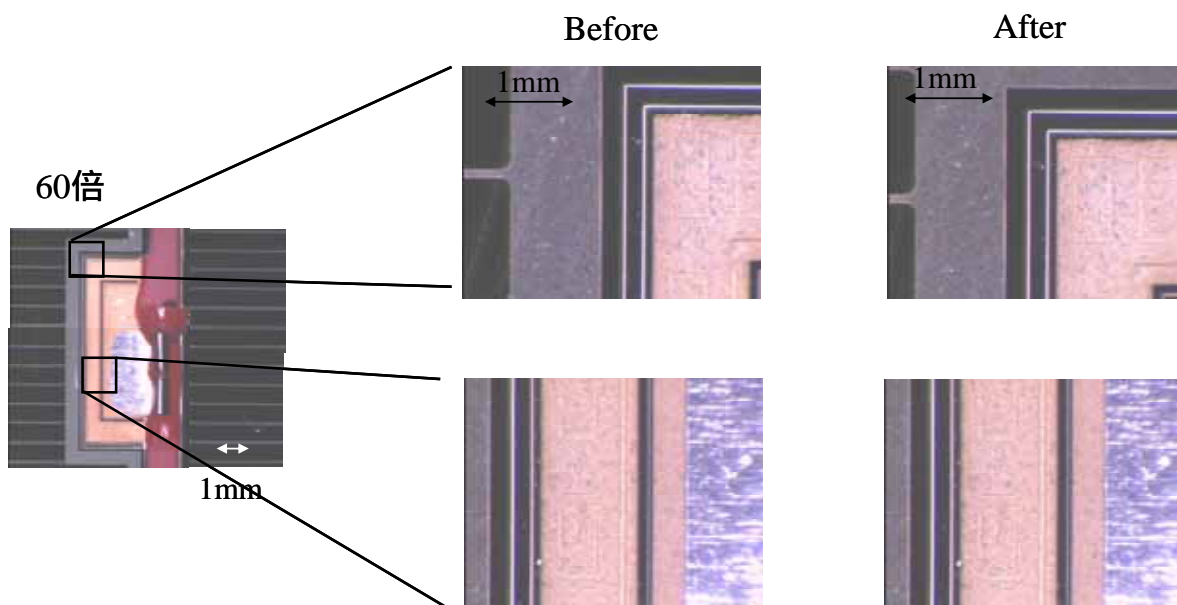


図 3.2-2 MD-1 放電劣化閾値測定試験前後の MD 部の外観

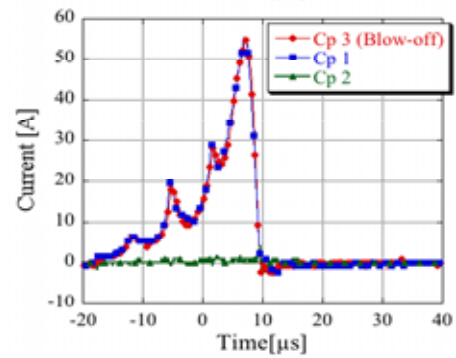
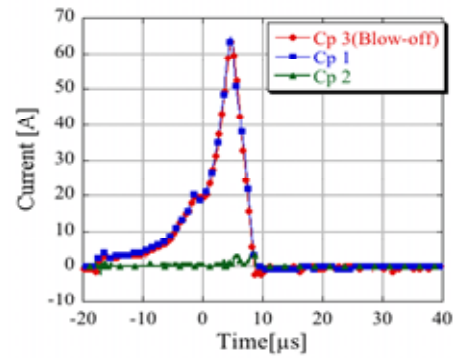


図 3.2-3 MD-1 放電劣化閾値測定試験 $C_{ext}=96.5\text{nF}$ 時の放電

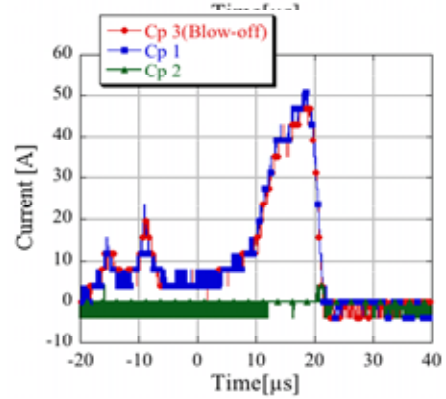
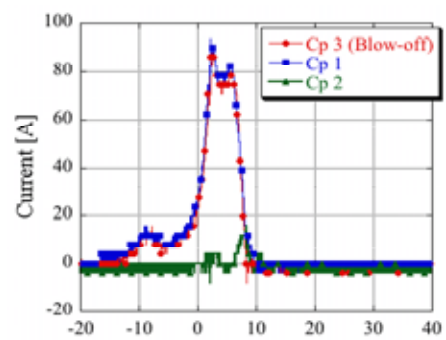


図 3.2-4 MD-1 放電劣化閾値測定試験 $C_{ext}=150\text{nF}$ 時の放電

MD-2 セルについては、MD セル ESD 耐性比較試験の結果を受けて、太陽電池セルの製造メーカーに報告した。丁度、以下の 3 つの改善点が考慮された設計のフライト用セルの製造が進められたことから¹⁷⁾、そのセルを用いて新たにクーポンパネルを製造して試験を進めた。

- (1) MD 電極パッドの角をまるめて、電界集中が発生し無い様にする。
- (2) MD 部の面積を広げて、放電電流の MD 部の電流密度を下げる
- (3) MD 部の直列抵抗を下げ、放電電流通電時の電圧上昇を抑制する。

MD-2 の MD 部の変更状況を図 3.2-5 に示す。

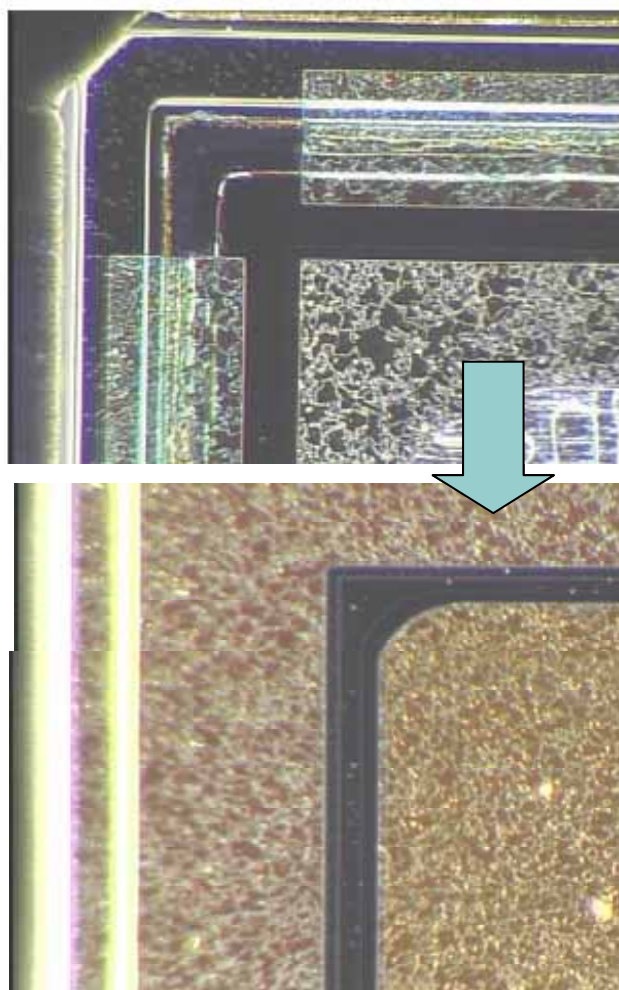


図 3.2-5 MD-2 MD 部の変更

MD-2 セルの放電劣化閾値測定も、 C_{ext} を 10.8nF から徐々に上げて、MD-1 と同様に進めていった。図 2.5-3 に示す通り、アレイ回路の HOT ライン、RTN ラインにダイオードを実装し、放電電流は MD を通過するようにしている。

図 3.2-6 に、MD-2 アレイのインタコネクタでの放電の発光と、それが MD を通って発行する様子と放電電流経路を示す模式図を示す。

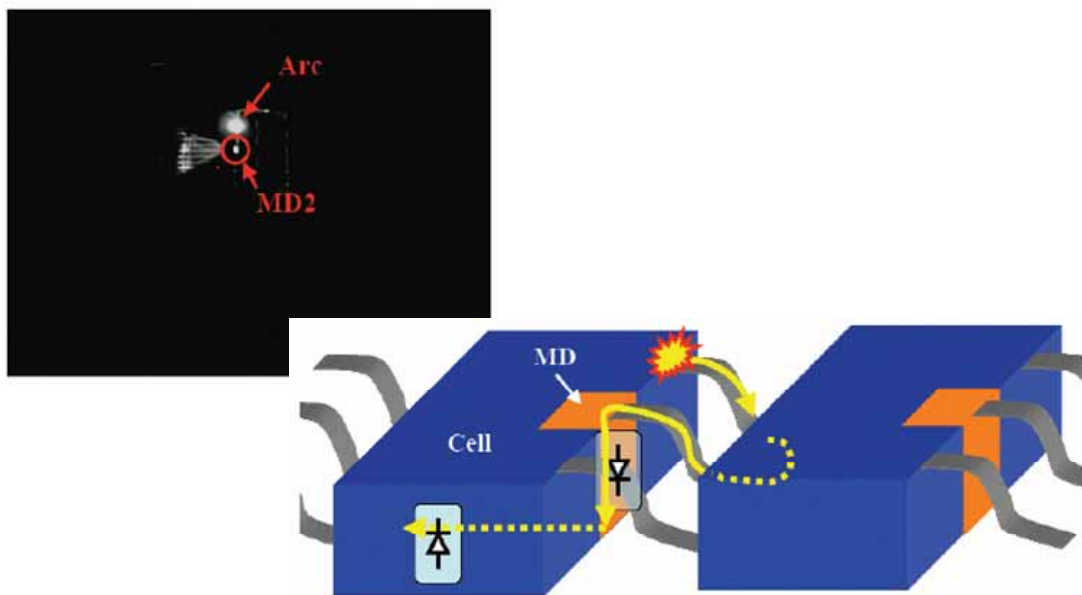


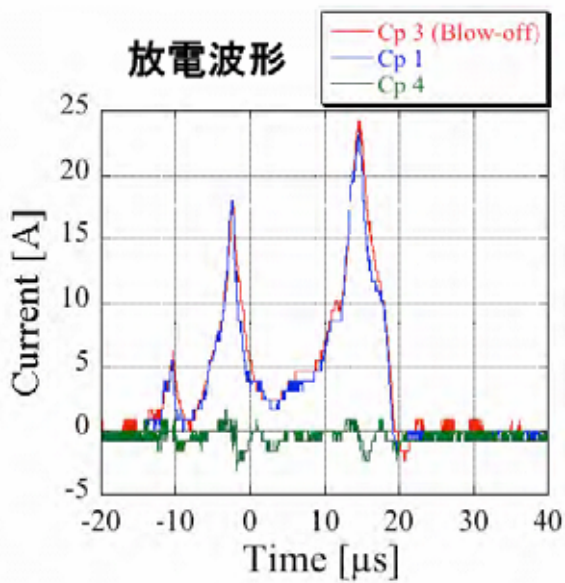
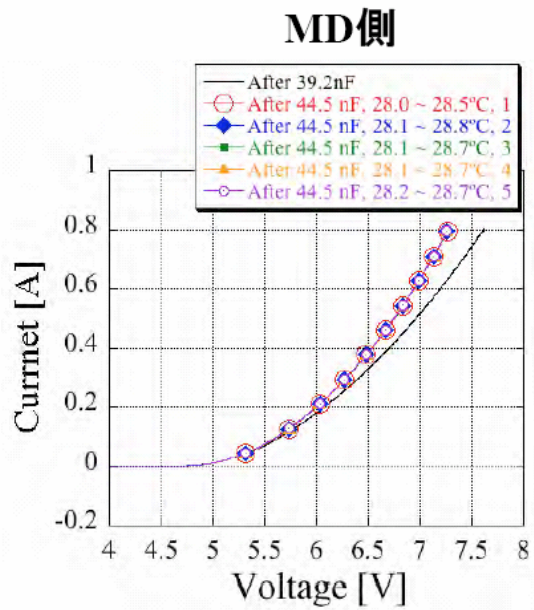
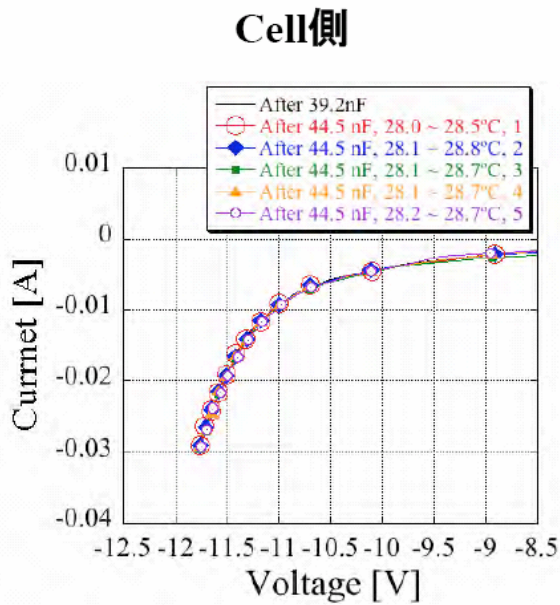
図 3.2-6 MD-2 インタコネクタでの放電と放電経路

C_{ext} は 10.8nF から最初は $2\sim 3\text{nF}$ ずつ上げていき、各容量で 10 回放電を発生させた後に、MD 部の Dark V-I を測定した。

$C_{ext}=36.5\text{nF}$ までは全く変化がみられず、 $C_{ext}=39.2\text{nF}$ からは放電回数を 5 回として、放電毎に Dark V-I を測定して正確な放電劣化閾値の特定を目指した。

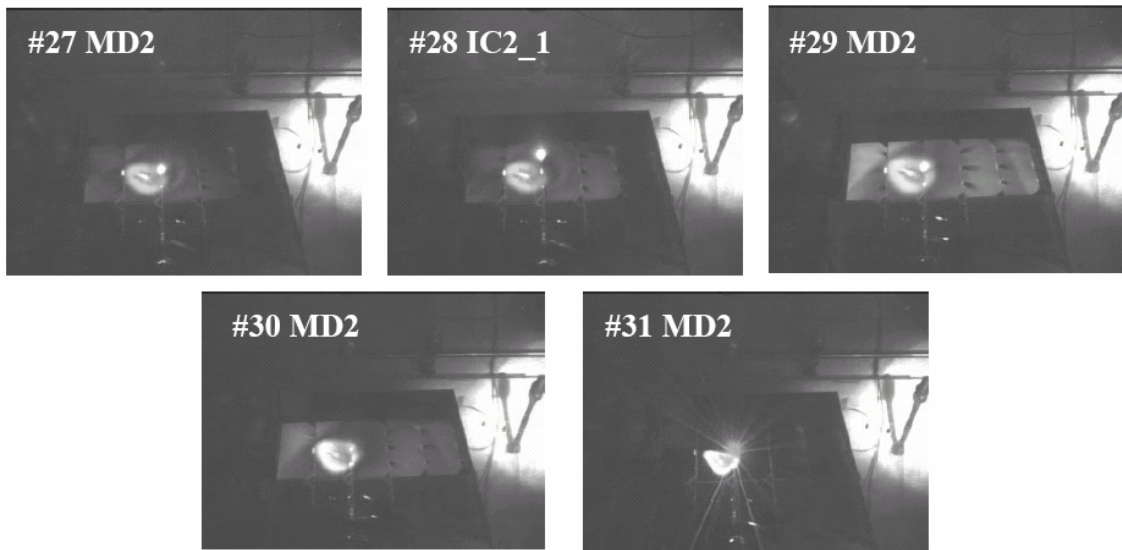
$C_{ext}=44.5\text{nF}$ の 1 回目の放電で、MD 部の V_f がわずかに変化したが、図 3.2-7 に示すとおり MD の機能としては正常でセルの Dark V-I にも変化がなかったため、有意な劣化はないと判断し、 C_{ext} を増加して試験を続行した。

C_{ext} を 49.5nF や 60.5nF にしても、セル/MD の Dark V-I は変化しなかった。 $C_{ext}=60.5\text{nF}$ 時の放電の様子と Dark V-I の測定結果を図 3.2-8 に示す。この時の 1 回目の放電はそれまでの最大となる 50.3A であった。



**MD2で発生している
電流ピーク値：24.22 A，電荷量：229 μC**

図 3.2-7 $C_{ext}=44.5\text{nF}$ 時の MD-2 の Dark V-I の変化と変化発生時の放電



インタコネクタでの放電が 1 回、MD での放電が 4 回

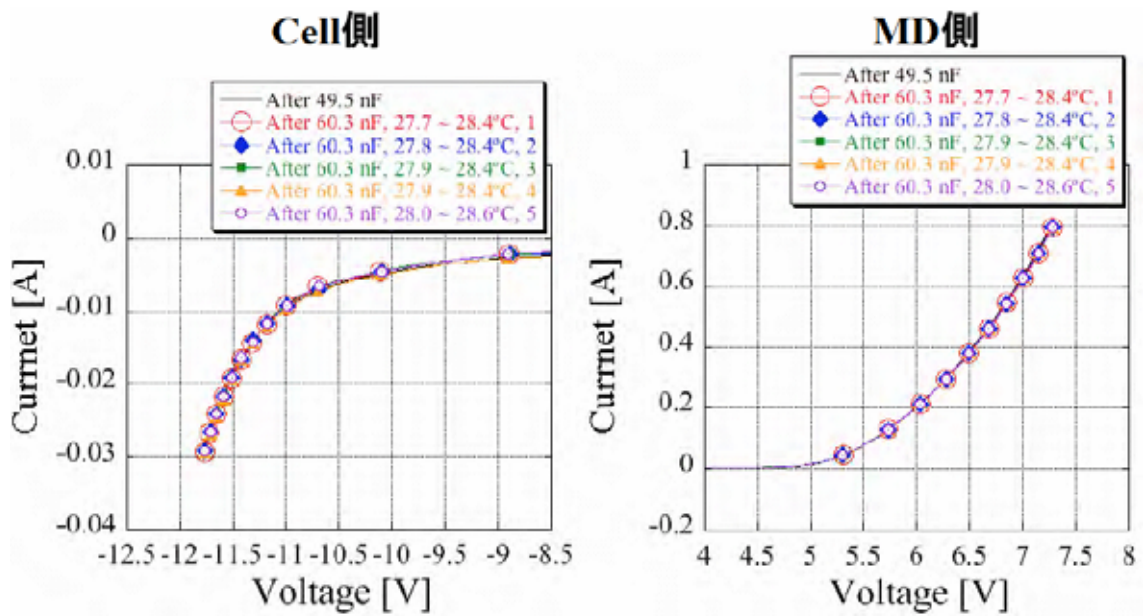


図 3.2-8 $C_{ext}=60.3\text{nF}$ 時の MD-2 の放電の状況と Dark V-I 測定結果

Cextを73.7nFにして放電試験を続けたところ、3回目の放電発生直後のDark V-I測定で、セルV-Iの大きな変化が認められた。3回の放電の様子と測定したDark V-Iを図3.2-9に示す。

このケースでは2回目の放電(IC4_1)と3回目の放電(IC2_1)が立て続けに発生したため、2回目の放電後のDark V-I特性は測定できなかった。3回目の放電波形は図3.2-10に示すとおりであるが、放電波形のピーク電流は37.5A、放電電荷は350 μ Cであった。

本放電でDark V-Iカーブが大きく変化したことから、MD-2セルアレイは劣化したものと判断し、供試体クーポンをチェンパーから取り出して調査を進めた。Dark V-Iカーブ測定時のIRカメラ画像を図3.2-11に示すが、中央のセル及びMDに発光がみられないことから、このセルが損傷を受けたことが分かった。

供試体クーポン取出し後の顕微鏡による外観確認では、特に目立った変化はなく、図3.1-11で見られるようなMD部周辺の変色もみられなかった。全体の外観は図3.2-12に示す通りであり、アレイ中央に電子ビームを向けて試験を進めた事から中央のセルを中心にカバーガラス表面に汚染がみられるものの、セルのエッジに変色や異常はなかった。

アレイ回路のソーラーシミュレータにより測定したV-I特性及びDC電源にて測定したMD部のVf特性は、図3.2-13に示す通りであり、セルV-I特性の最大電力Pmaxはおよそセル1枚分の電力低下がみられているが、MDのVf特性には大きな変化は見られていない。

ESD試験による汚染付着状態から、モジュールのP極側から3枚のセルのV-I特性を個別に測定した。結果は図3.2-14に示す通りで、中央のセル(V3)のV-I特性は、セル・MD共に他の2枚と違っており、Dark V-I測定時に発光がないことと一致している。

以上から、MD-2セルの放電劣化閾値は、放電ピーク電流37.5A、放電エネルギー0.8J、放電電荷350 μ Cと考えられるが、アレイ回路の劣化はそれ程激しくないこと、少なくともまだ4枚のセルは健全であることから、本クーポンを再度真空チェンパーに入れて、Cextを上げて試験を実施した。

尚、ここまでの放電試験でのCextの容量と、放電ピーク電流、放電電荷の相関を図3.2-15にまとめる。



インタコネクタでの放電が2回、MDでの放電が1回

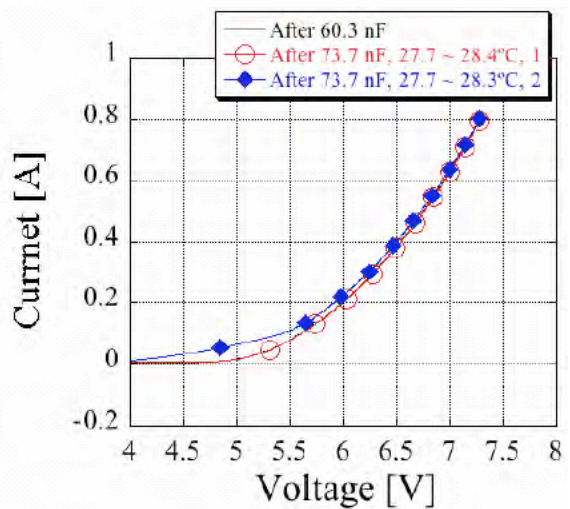
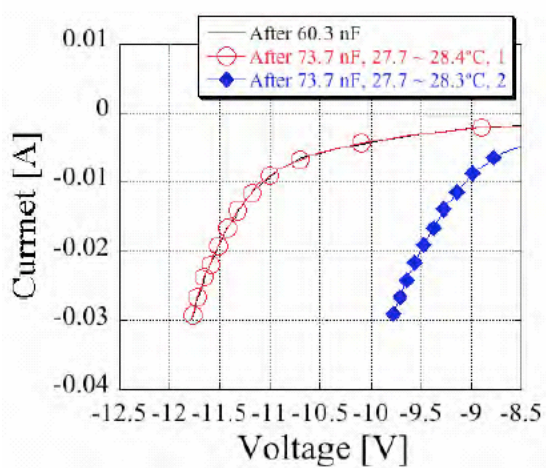
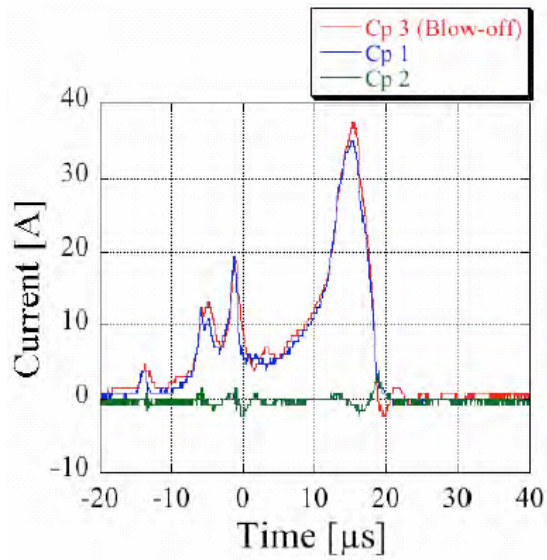


図 3.2-9 $C_{ext}=73.7\text{nF}$ 時の MD-2 の放電の状況と Dark V-I 測定結果

放電波形



放電画像



ICで発生している
電流ピーク値 : 37.50 A, 電荷量 : 350 μC

図 3.2-10 $C_{ext}=73.7\text{nF}$ 3 回目の放電と放電波形

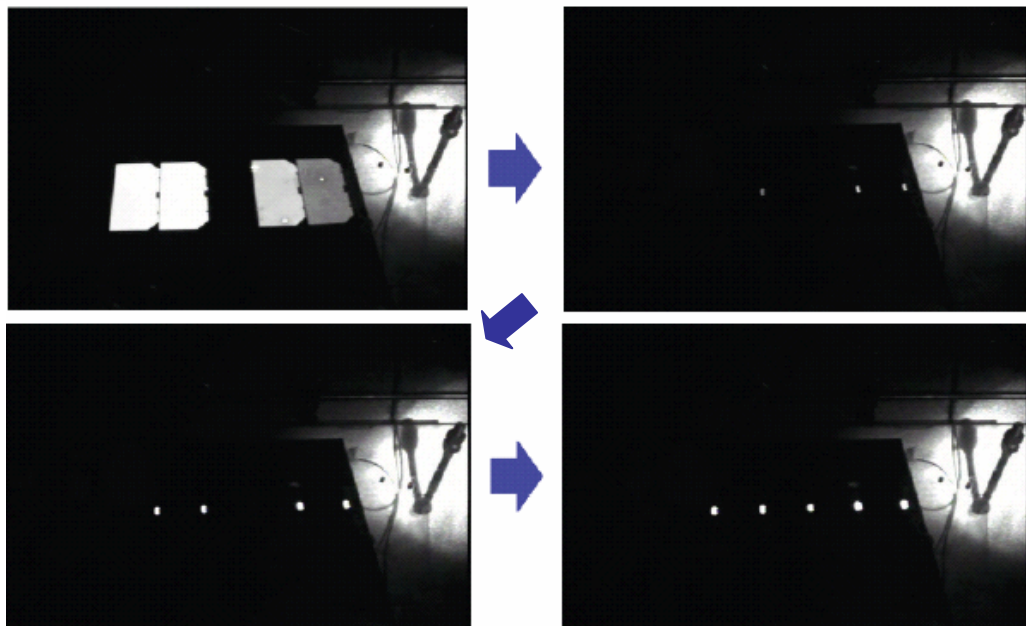


図 3.2-11 MD-2 セル閾値測定での Dark V-I 特性取得画像

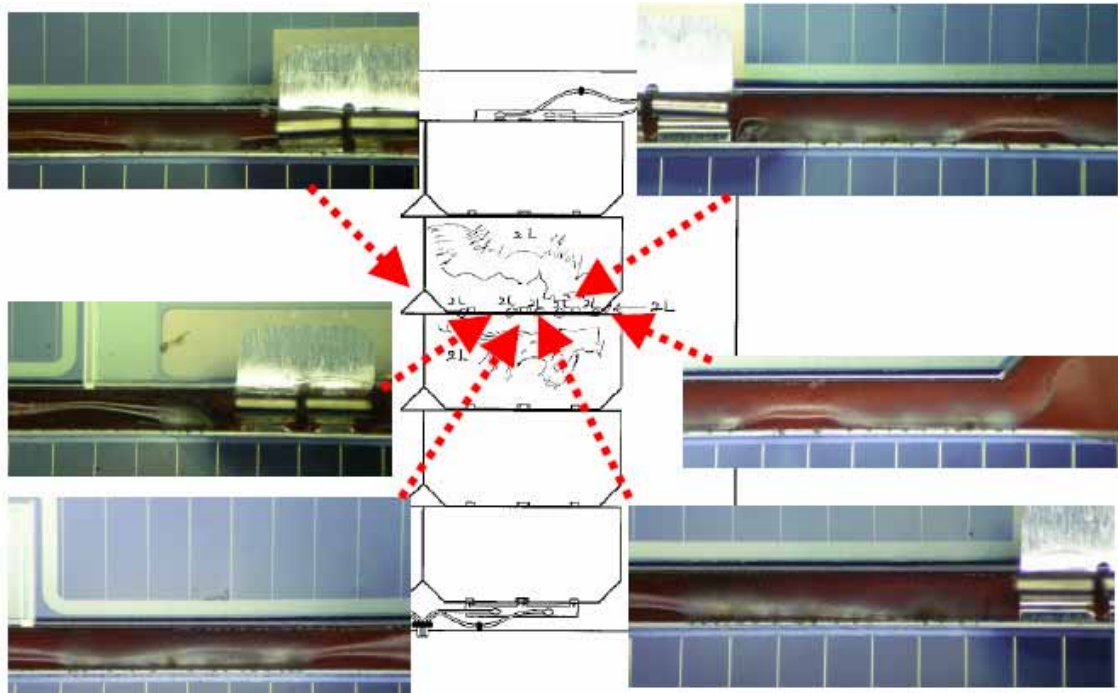


図 3.2-12 MD-2 セルアレイ 試験後の外観確認結果

		Before ESD Test	After ESD Test	
				Change,%
Isc	A	0.470	0.468	-0.40
Voc	V	13.20	13.15	-0.38
Pmax	W	5.112	4.18	-18.21
I _{max}	A	0.438	0.423	-3.42
V _{max}	V	11.68	9.88	-15.41
FF		0.824	0.680	-17.48

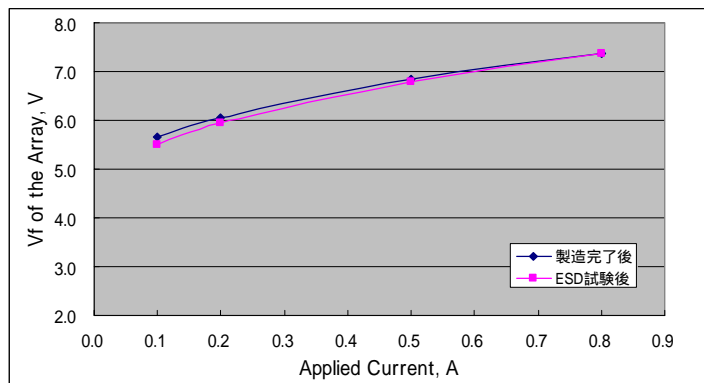


図 3.2-13 MD-2 セルアレイ 試験前後のセル/MD V-I 特性

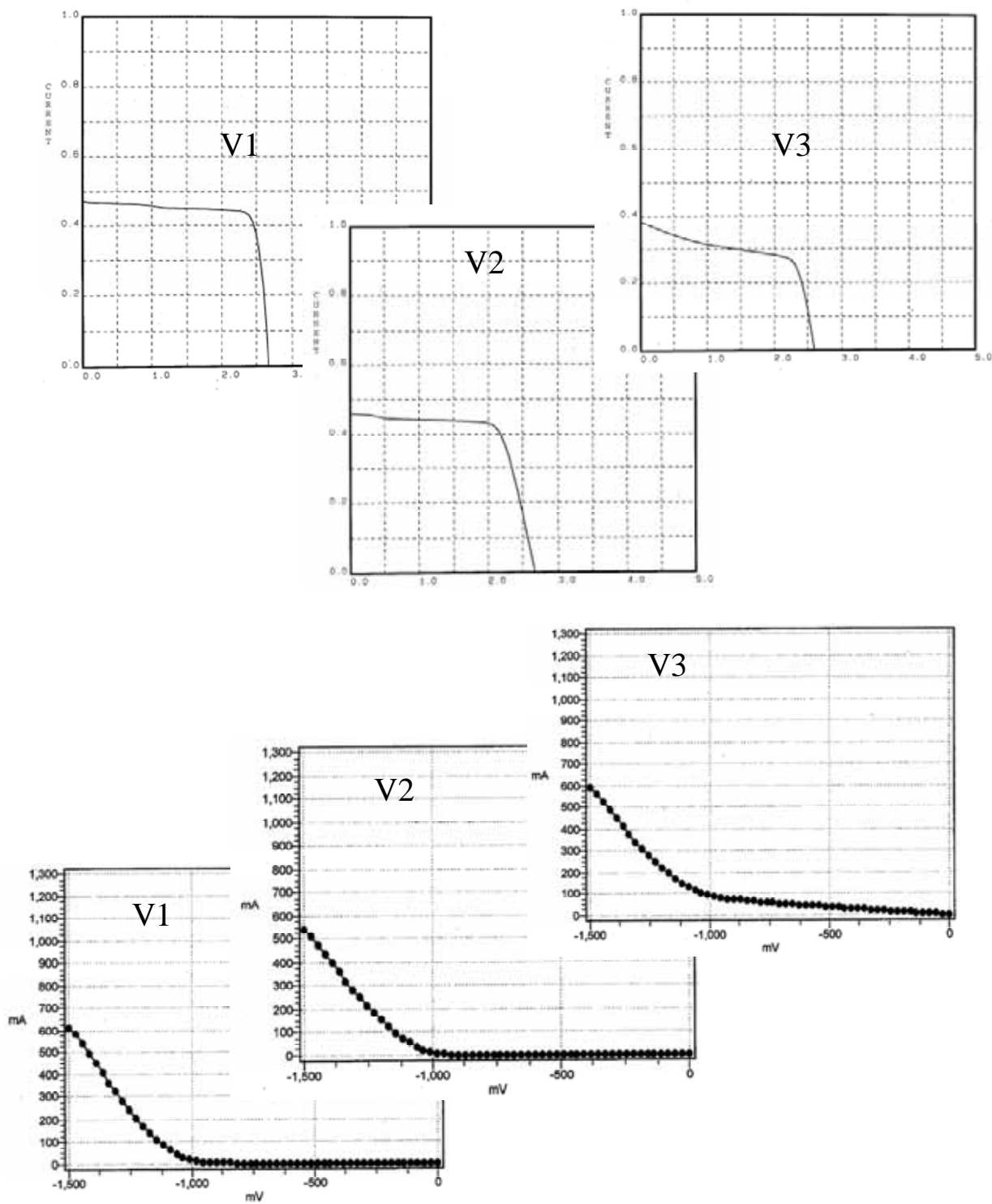


図 3.2-14 MD-2 セルアレイ ESD 試験後 セル別 V-I 特性測定結果

上：セル V-I 特性 下：MD V-I 特性

セル V1 は P 極側セル、セル V3 は中央のセルを示す

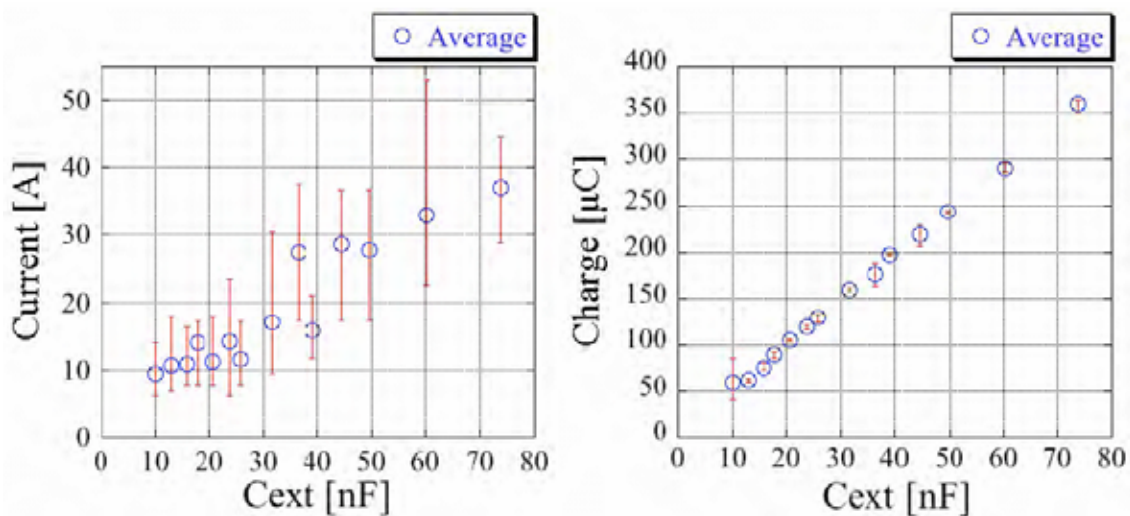


図 3.2-15 MD-2 セル閾値測定での C_{ext} と放電電流、放電電荷の相関
(エラーバーは測定値の最大、最小を示す。)

モジュールクーポンを再度チェンバーにセットして、図 2.5-3 に示す設定で帯放電試験を再開した。既に中央のセルが劣化しているのに、P バスバー側のセルに電子ビームを向け、 C_{ext} を 67.5nF とした。5 回の放電を発生させたが、図 3.2-16 に示す通り Dark V-I は僅かに変化した程度で、セルまたは MD の損傷はなかった。

次に、 C_{ext} を 78.4nF に増加させて電子ビームを照射させたところ、2 回目の放電で図 3.2-17 に示すとおり大きく Dark V-I 特性が変化し、Dark V-I 特性測定時も P 極端のセルに発光がみられなかった。

この時の放電の様子と放電波形を図 3.2-18 に示すが、放電電流のピークが 60A と大きく、この程度の放電ではかなりの確率で MD-2 セルは劣化すると思われる。

Dark V-I が大きく変化した原因を調査する為に、供試体クーポンを再度チェンバーから取り出して、各セルのインタコネクタに電線を半田接続して、セル毎の Dark V-I 特性を測定した。測定結果は図 3.2-19 に示すが、中央のセル(図の MD3)と P 極端のセル(図の MD1)のセル V-I が他の 3 枚と大きく異なっている。V-I カーブの形状から、セルまたは MD にリーク箇所があると思われるため、中央のセルと P 極端のセルの MD 部のインタコネクタを切断して Dark V-I 特性を測定したところ、図 3.2-18 に示す通り両セルともセル V-I が回復した。即ち、図 3.2-10 や図 3.2-16 の放電ではセルの接合ではなく MD の接合が劣化したことが確認できた。

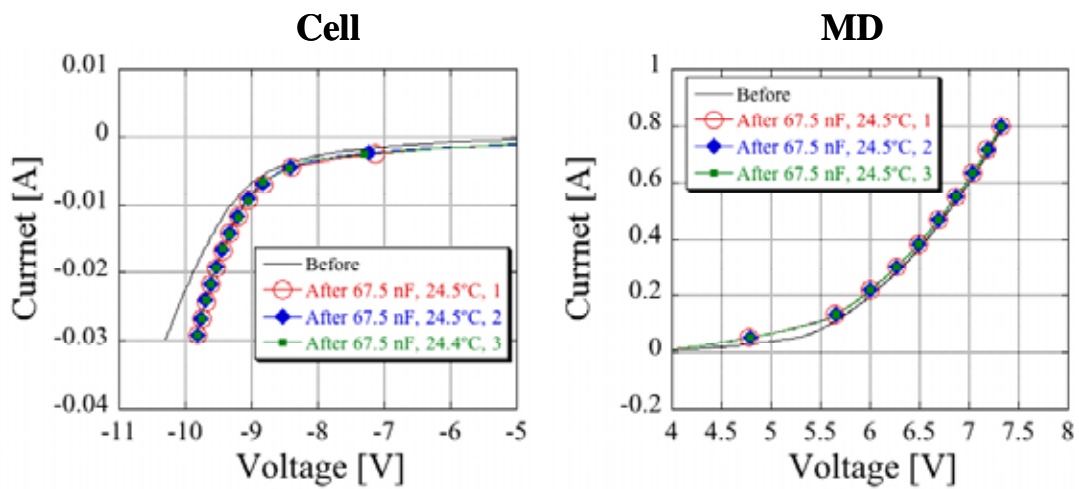


図 3.2-16 MD-2 $C_{ext}=67.5\text{nF}$ 試験後の Dark V-I カーブ

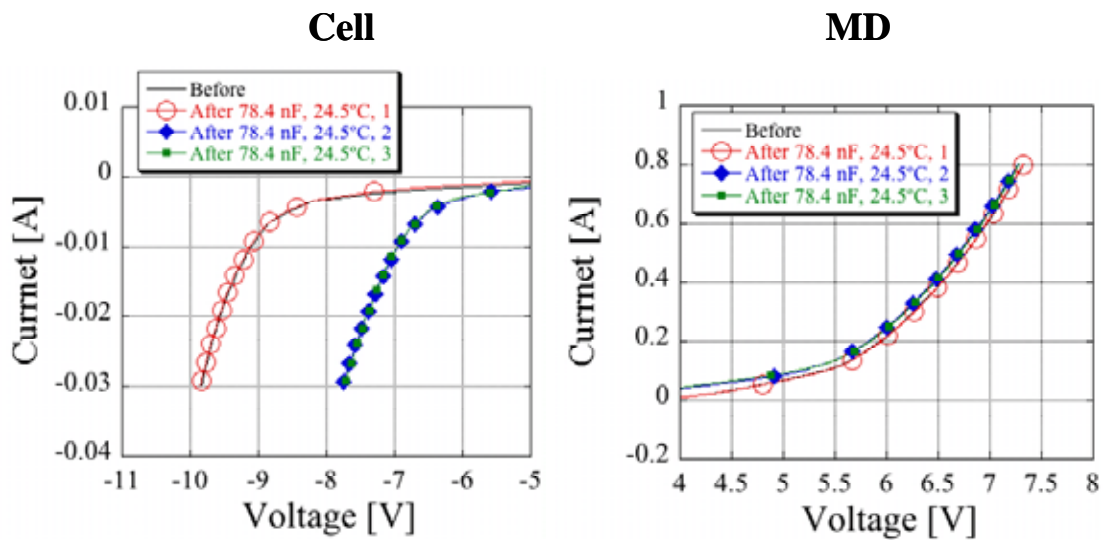


図 3.2-17 MD-2 $C_{ext}=78.4\text{nF}$ 試験後の Dark V-I カーブ

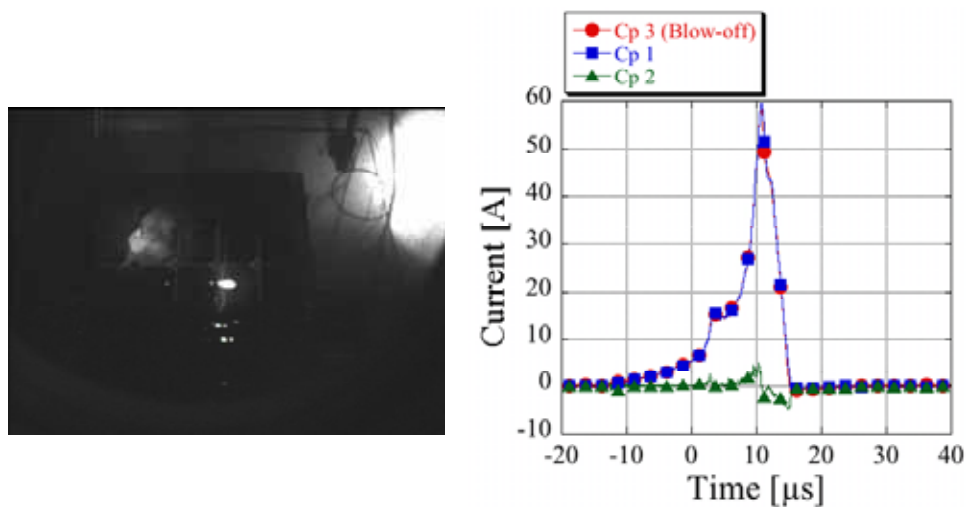


図 3.2-18 MD-2 Dark V-I カーブが変化する直前の放電と電流波形

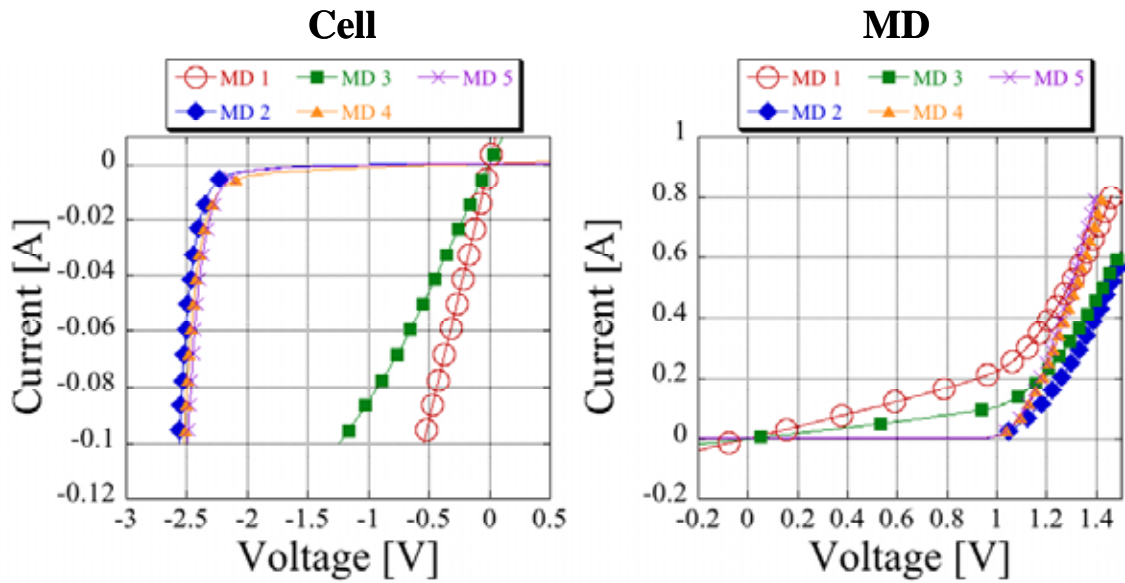


図 3.2-19 MD-2 アレイ試験後の各セル Dark V-I カーブ

図中の MD1 は P 極端セル、MD3 は中央のセル、MD5 は N 極端セルを示す

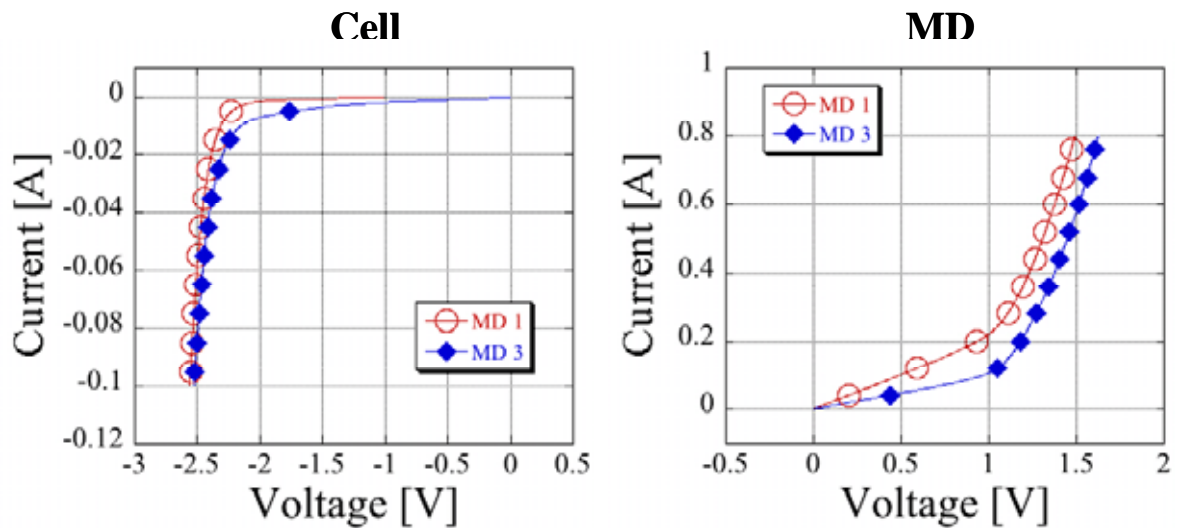


図 3.2-20 MD-2 アレイ MD 接続切り離し後の Dark V-I カーブ

図中の MD1 は P 極端セル、MD3 は中央のセルを示す

MD 部が劣化状態をより詳しく調査するために、該当セルの MD の順方向に電流を流し、顕微鏡レンズにて Electro luminescence (以下 EL と称す)を観察した。

顕微鏡には 850nm(幅 40nm) の干渉フィルタを付け、GaAs の EL を観察できるようにした。¹⁸⁾

EL の撮像結果は、図 3.2-21 に示す通りであり、正常なセルでは MD 周辺の EL 発光はきれいであるが、MD が劣化したセルでは発光にムラや強い暗部が観察された。

図 3.2-22 に、劣化 MD 部の EL 画像とセル断面の位置関係を示すが、顕微カメラは電極の金蔵蒸着層の直下の GaAs 接合の EL 発光を観察していると考えられ、電極や GaAs の MD 部の淵からセルに沿った方向の EL 発光の漏れが見えていると考えられる。従って、暗部は GaAs 接合の淵が放電電流により短絡して、GaAs 接合の発光がみられない状態にあると推察できる。

太陽電池セルがカバーガラスの帯電に伴う放電で、セルの淵を放電が走ることでセルの接合部にリーク箇所が発生して、セルの電気出力が低下する現象がこれまで報告されているが¹⁹⁾、MD に対しても同様な劣化が起こり得ると考えられる。

但し、MD は順方向に 37 ~ 60A の電流が流れることで劣化しており、単純に GaAs 接合の弱いところに電流が集中して、熱でリーク部が出来るという、通常のダイオードの過大電流時の故障と同じである可能性は否定できない。

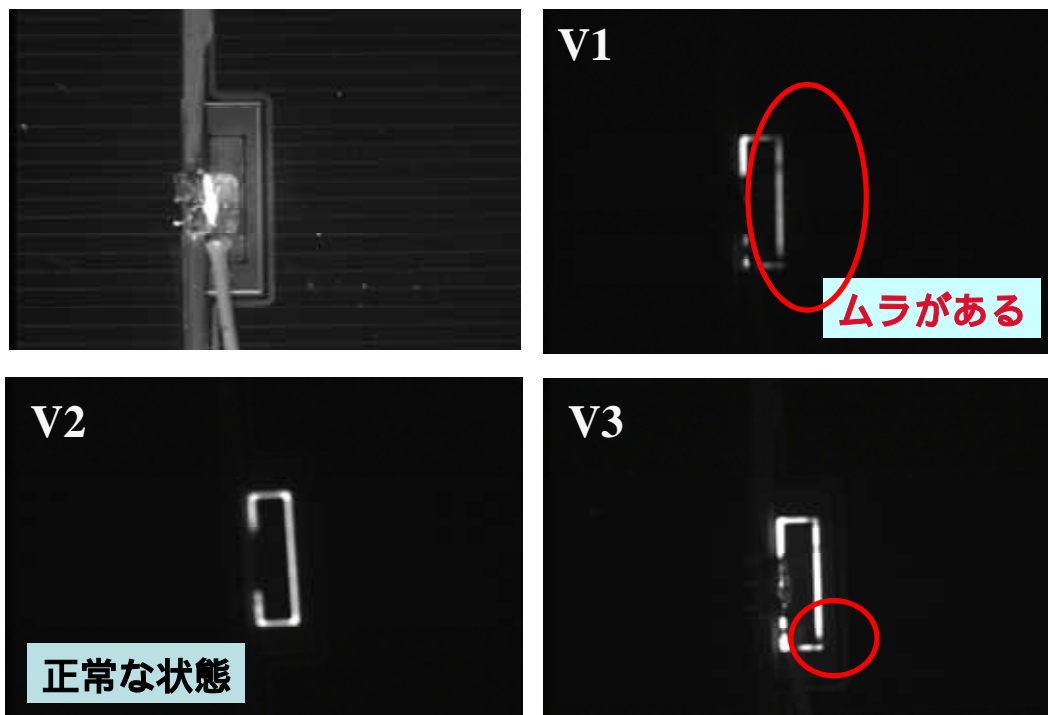


図 3.2-21 MD-2 アレイ 各セルの MD 部の EL 画像
 図中の V1 は P 極端セル、V3 は中央のセルを示す

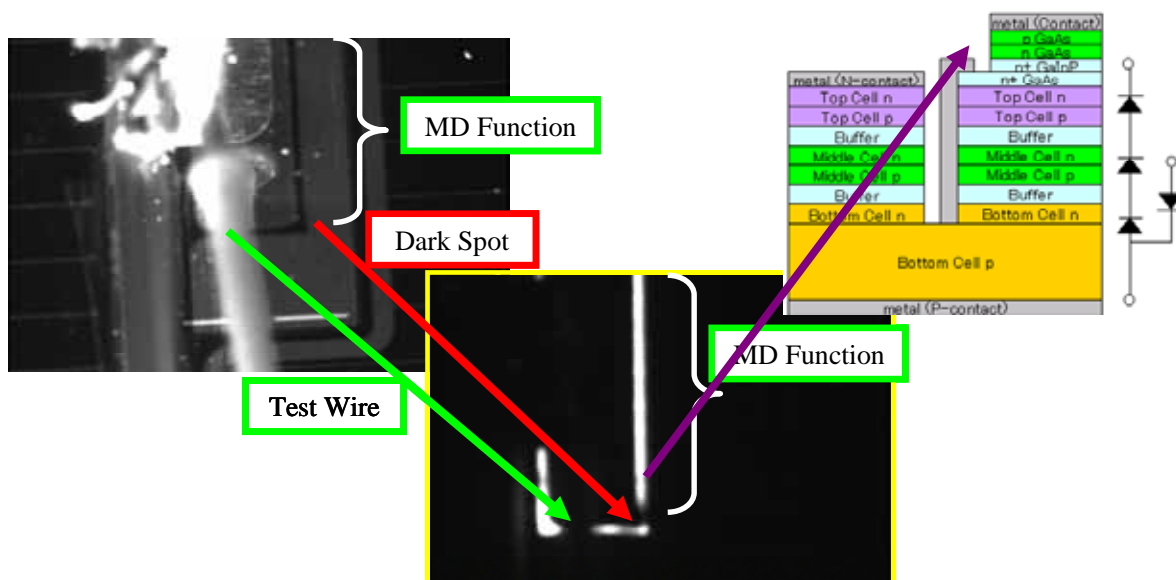


図 3.2-22 MD-2 モジュール V3 セル EL 画像暗部と MD 構造

3.3 実機模擬回路試験の劣化評価

MD 劣化閾値測定では、耐性の弱い MD-2 セルでも 0.8J の放電エネルギーまでは問題なく耐えられることが分かったが、測定で用いた試験回路は、外部回路のコンデンサ C_{ext} から直接電荷が放電される、半導体素子にとっては厳しい試験となっている。

実際の衛星に供する太陽電池パドルで使用できるかどうかを評価するために、より実機に近づけた回路で、軌道上で予想される帯電時の放電波形を模擬した状態で試験した。この試験では、耐性の弱い MD-2 セルを使用した。

単セルタイプのクーポンと、15 枚の TJ セルを実装したクーポンパネル 2 枚を準備して、図 2.5-4 に示す回路を構築した。単セルタイプのクーポンは真空チェンバー内にセットし、電子ビームを照射、放電を発生される。セットアップの様子を図 3.3-1 に示す。

外部回路は、幅 3m、長さ 8m の太陽電池パドル上の Primary Arc を模擬するが、 C_{ext} は 100nF から 200nF、450nF と上げていき、最後は 880nF に相当する 844nF とした。

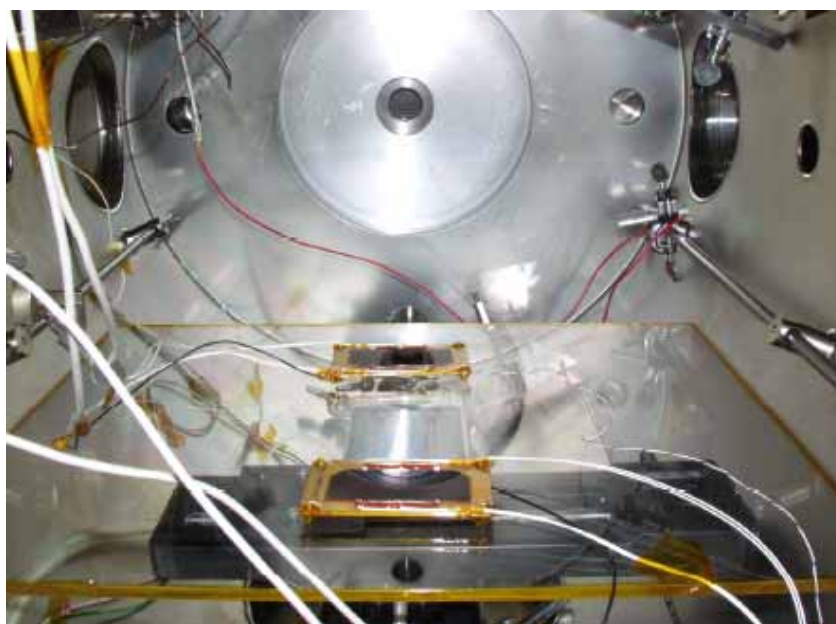


図 3.3-1 単セルタイプクーポンのセットアップ状態

図 2.5-4 の回路での放電試験での典型的な放電状態、放電波形を図 3.3-2 に、放電電流と放電時間のサマリを表 3.3-1 に示す。

Cext を 844nF まで増加させて放電を発生させたが、MD-2 セルには劣化は見られなかった。軌道上での放電を想定した 844nF での放電での放電電流は、20A 程度であったが、実機にあわせて RTN 側にダイオードを入れていない関係で、放電電流が MD を通過する HOT 側と、セル接合を通過する RTN 側に分流しており、MD を流れ込む放電電流は最大でも 4A 程度であった。この時の放電電流の流れを図 3.3-3 に図示する。

従って、実機のパドル上では帯電によって放電が発生しても、放電電流は HOT 側と RTN 側に分流して素子破壊の観点では放電電流は緩和されるといえる。放電電流は、セル接合側の方が MD 側より 3~4 倍流れており、セル側の接合のインピーダンスが MD 接合より低いと考えられる。

次に、図 2.5-5 に示す試験回路で放電試験を行ったところ、RTN 側のインピーダンスが HOT 側のインピーダンスより大きくなり、すべて HOT ラインを流れる放電となった。放電ピーク電流は 15~20A、放電波形は 0.6msec、放電電荷は 2.9~3.7mC であり、5 回放電を発生させたが MD-2 の劣化は見られなかった。この時の放電電流の流れは図 3.3-4 に示す。

以上から、次の二つの事が言える。

- ・ 太陽電池パドル上の放電は、放電が発生するセルの位置(負極(RTN ライン)からの直列数)によって異なり、正極に近いほど MD 部に放電電流が流れる。
- ・ 実機相当回路では、正極端に位置するセルでも、MD を流れる放電電流は 20A 程度であり、耐性の低いタイプの MD セルの劣化閾値である 37.5A より小さく、問題ない。

MD セルの劣化閾値測定では、ピーク放電電流が 37A で劣化したものと 60A で劣化したものがあったが、いずれも 30 μ sec 弱の短い時間の 350 μ F の放電電荷であり、放電時間や放電電荷量が劣化の有無を決めている可能性があった。然しながら、本章の試験では、844nF の放電では実に 0.6msec の長い時間に 3mC もの電荷が流れたが、MD セルの劣化は見られていない。

MD セルが劣化しなかった理由として、ピーク放電電流が劣化閾値である 37A

を越えていなかったこと、放電波形から求めた MD 部の放電エネルギーもおよそ 0.7J 程度あり、先に求めた劣化閾値である 0.8J と同等かそれ以下であったと考えると、放電の電荷量や放電時間は MD 部の劣化にはあまり関係ないことがわかる。

以上から、Primary Arc による MD の劣化は、放電ピーク電流と放電エネルギーがある閾値を超えることで発生するものと思われる。

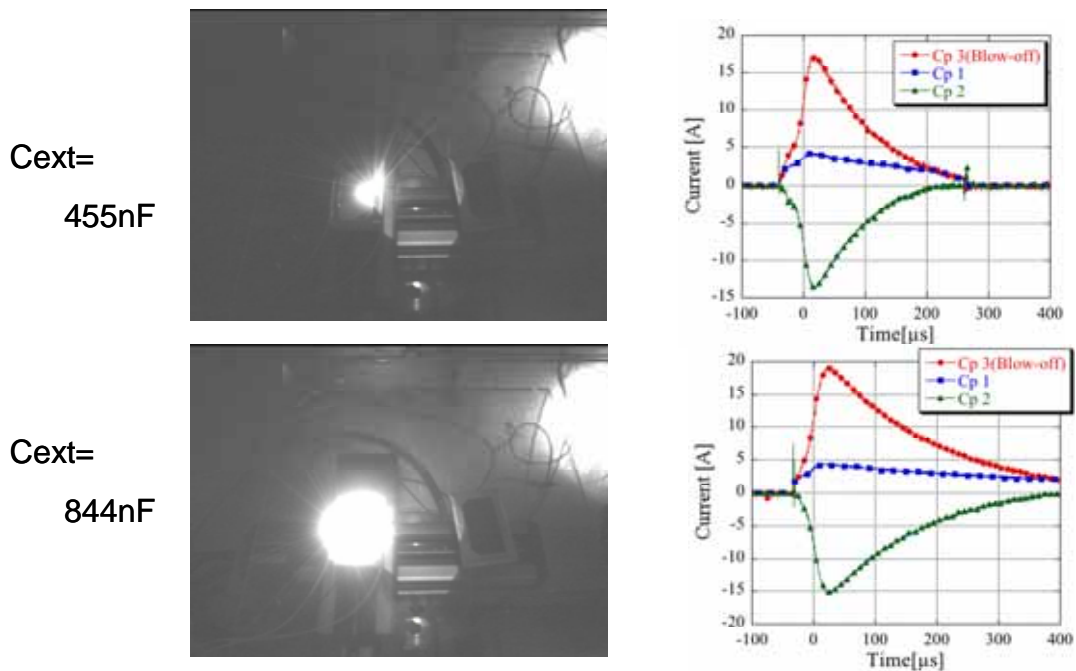


図 3.3-2 実機相当回路での放電の様子と放電波形

表 3.3-1 実機相当回路での放電試験結果

Cext, nF	ID	HOT側(MD)への放電			RTN側(セル接合)への放電		
		Ipeak, A	Time,msec	放電電荷, mC	Cp2, A	Time,msec	放電電荷, mC
101	1	Not Measured					
	2	Not Measured					
	3	4.0	-	-	6.0	-	-
	4	3.5	0.10	0.25	6.5	0.10	0.25
	5	3.0	0.10	0.25	6.0	0.10	0.30
	6	3.0	0.11	0.22	6.0	0.11	0.32
200	1	4.0	0.18	-	8.0	0.18	0.99
	2	3.3	0.18	0.35	9.6	0.18	0.98
	3	3.1	0.18	0.33	9.6	0.18	0.98
	4	Not Measured					
	5	2.9	0.18	-	8.2	0.18	0.90
	6	3.0	0.18	0.35	9.4	0.18	0.99
455	1	2.0	-	-	4.0	-	-
	2	Not Measured					
	3	4.0	0.30	-	14.0	0.30	1.90
	4	4.0	0.30	0.38	13.7	0.30	2.10
	5	4.0	0.18	0.80	11.9	0.18	2.05
844	1	4.0	0.50	1.20	15.2	0.50	3.50
	2	4.5	0.60	1.40	15.0	0.40	3.56
	3	4.5	0.60	-	15.0	0.60	1.90
	4	4.0	0.60	-	15.0	0.60	-
	5	4.0	0.40	1.40	14.0	0.40	3.50

(“Not Measured”は放電波形が取得できなかったことを示す。)

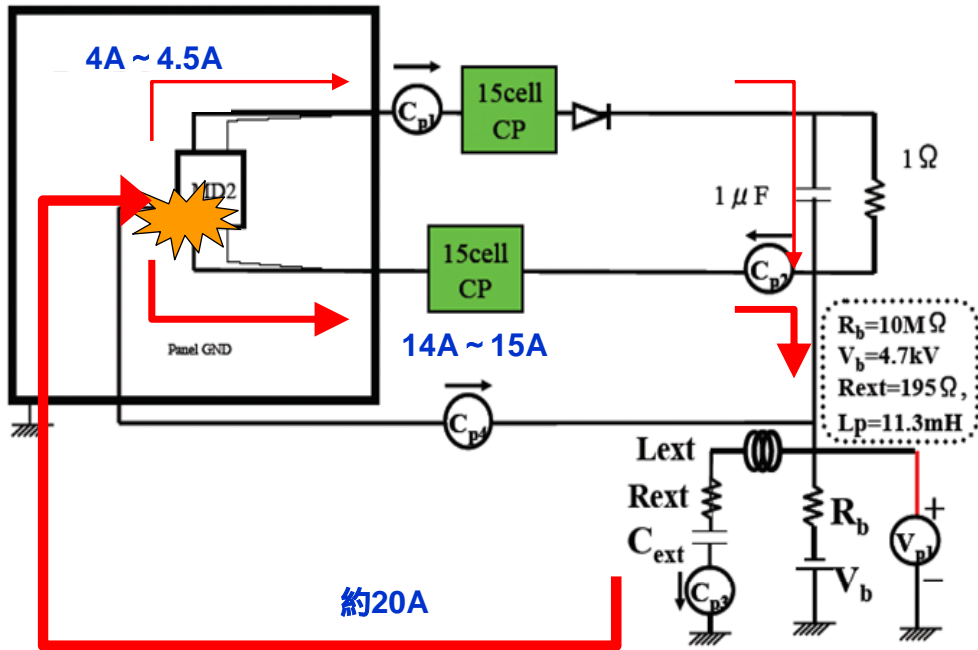


図 3.3-3 実機相当回路での放電電流の流れ(その 1)

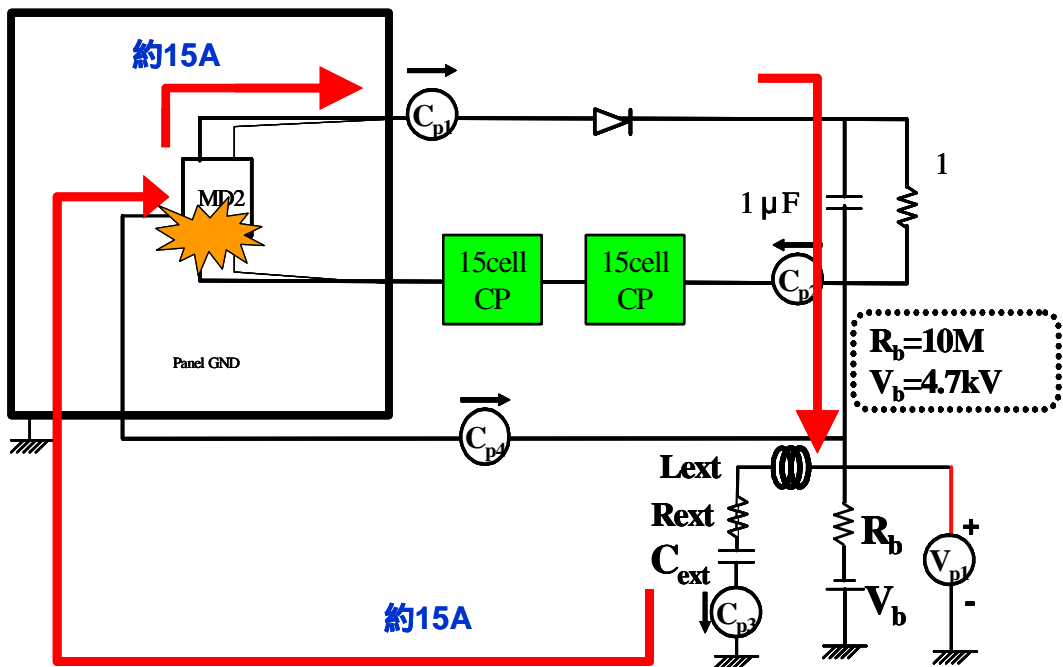


図 3.3-4 実機相当回路での放電電流の流れ(その 2)

4. 総括とまとめ

ここまでの試験結果を総括すると、以下の通りである。

- ・ 2種類の構造のMDセルに対して、パドル上の帯電に伴う放電電流を印加してESD耐性を評価したところ、3接合を保護するPN接合タイプのMDより、Top/Middle接合を保護するショットキー構造のMDセルの方がはるかに優れた耐性を有していた。
- ・ 耐性の低いPN接合タイプのMDセルの劣化閾値は、ピーク放電電流37～60A、放電エネルギー0.8Jであった。尚、他のセルの放電劣化閾値は、たとえば単結晶Siセルでは0.015J¹¹⁾、CIGSセルでは0.053J²⁰⁾という報告もあり、0.8Jというのは決して低いものではない。
- ・ MD-2の劣化したセルを観察する限り、MD部が部分的にリークしていることが分かった。実機相当回路での試験結果と併せて考慮すると、MDの劣化は、放電ピーク電流と放電エネルギーがある閾値を超えることで発生するものと思われる。(MD-1の耐性が高い理由は、金属と半導体の接合というシンプルな構造で、リークパスが形成されづらいからであると考えられる。)
- ・ 太陽電池パドル上の放電は、HOTラインのみに回路分離ダイオードが実装されることが一般的なため、放電が発生しても正極側と負極側に分流して、必ずしもカバーガラスに蓄積された電荷が全て一方向に流れるわけではない。従って、MD部を流れる放電電流は、放電したセルの位置(負極(RTNライン)からの直列数)によって異なり、正極に近いほど大きい。
- ・ 実機相当回路では、正極端に位置するセルでも、MDを流れる放電電流は20A程度であり、MD-2セルの劣化閾値である37.5Aより小さく、劣化は起きないものと思われる。即ち、今回評価した2種類のMDセルは、いずれも宇宙用の太陽電池パドルに帯放電の観点で使用可能であると判断する。

以上をまとめると、宇宙用3接合型MDセルは、軌道上の帯放電に対して耐性の弱いPN接合タイプでも、放電ピーク電流37A、放電エネルギー0.8J以下であれば劣化することはなく、4～5kW級の太陽電池パドルで使用する限り帯放電の観点では問題なく使用できるといえる。

謝辞

本論文に記載される研究は、2005～2008年の3年間で進められた、九州工業大学工学部電気工学科 趙・豊田研究室並びに同大学 宇宙環境技術研究センターと NEC 東芝スペースシステム株式会社との共同研究の中で行われました。NEC 東芝スペースシステム側の主担当であった筆者は、九州工業大学側の研究責任者である趙孟佑教授に、本研究成果を学位論文としてまとめる事を勧められ、本論文の執筆となりました。3年間のご指導は勿論のこと、このような形で研究成果をまとめる機会を与えて下さった趙教授には深謝しております。

同、宇宙環境技術研究センターの豊田和弘准教授には、試験中、常に適切なアドバイスと評価を頂戴し、ここまで研究成果をまとめるに至ることができました。心よりお礼を申し上げます。

趙教授には、2000年から始めた「きく8号」(技術試験衛星8型)搭載用100Vバス対応大型太陽電池パドルにおける帯放電リスク評価・試験、以降、9年間もの長期にわたって、多くの衛星プロジェクトにおいて、株式会社 東芝、日本電気株式会社の開発、製造する太陽電池パドルの軌道上帯電・放電に対する耐性向上の観点でのご指導を受け賜りました。豊田准教授にも途中からご参加頂き、お二人にはこの点でも深く感謝しております。

本論文を構成する試験は、同研究センターの研究員である、細田氏(現宇宙航空研究開発機構)と増井氏が中心となって推進されました。試験装置の運転、取得した放電データの解析・評価ならびに外観の細かい評価まで実施頂き、お二人のご協力なしに、社会人である筆者が短期間にこの様な形で成果をまとめることはできませんでした。お二人にも大変感謝しております。

同研究センターの研究員である奥村氏(現宇宙航空研究開発機構)には、氏の進めてきた太陽電池セル並びにアレイの劣化試験の成果に基づき、いろいろと助言頂き、試験結果の解釈を深耕することができました。また、川崎氏、三丸氏、北村氏、大瀬氏、二宮氏をはじめとする、研究室の多くの学生諸氏の協力の下に試験が進められました。研究室のスタッフである白川氏、徳氏には在学中の諸手続き、論文の製本などでお世話になりました。本論文の末尾に感謝の意を示します。

参考文献

- 1) Kawakita, S., Kusawake, H., Takahashi, M., Maejima, M., Kim, J., Hosada, S., Cho, M., Toyoda, K., Nozaki, Y.: Sustained Arc between Primary Power Cables of a satellite, AIAA 2004-5658, Rhode Island, USA, 16-19 August, 2004
- 2) Ishii, T., Ichino, H., Matsuo, T., Koakutsu, H., Nagata, T., Ikegami, S., Nozaki, Y., Minamino, H.: SELENE Solar Array Paddle Subsystem Design, 26th ISTS, 2008-k-34, 2008
- 3) Krainsky, I., Lundin, W., Gordon, W. L. and Hoffman, R.W.: Secondary Electron Emission Yield, pp179-208, NASA Grant No. NSG-3197
- 4) Snyder, D., Ferguson, D., Vayner, B. and Galofaro, T.: New Spacecraft-Charging Solar Array Failure Mechanism, 6th Spacecraft Charging Technology Conference, November, 1998.
- 5) Cho, M., Ramasamy, R., Matsumoto, T., Toyoda, K., Nozaki, N., Takahashi, M.: Laboratory Tests on 110-Volt Solar Arrays in Simulated Geosynchronous Orbit Environment, Journal of Spacecraft and Rockets, Vol. 40, No. 2, March-April 2003
- 6) Hoeber, C.F., Katz, I., Davis, V.A., and Snyder, V.A.: Solar Array Augmented Electrostatic Discharge in GEO, AIAA Paper, 1998
- 7) Toyoda, K., Ose, T., Masui, H., and Cho, M.: Threshold Measurement of Secondary Arc on Solar Arrays for Japanese Spacecraft Charging Guideline, Proceeding of 4th Space Environment Symposium, pp 85-89, March 2008
- 8) Toyoda, K., Matsumoto, T., Cho, M., Nozaki, Y. and Takahashi, M.: Power Reduction of Solar Arrays by Arcing under Simulate GEO Environment, Journal of Spacecraft and Rockets, 41, 5(2004), pp 854-861.

- 9) 豊田和弘, 松本利明, 志方吉夫, 趙孟佑, 佐藤哲夫, 野崎幸重, 「超高速インターネット衛星搭載用太陽電池アレイの地上放電試験」, 日本航空宇宙学会論文誌、第 52 卷(2004)、第 606 号、pp328-336
- 10) Cho, M., Kawakita, S., Nakamura, M., Takahashi, M., Sato, T., and Nozaki, Y: Number of Arcs Estimated on Solar Array of a Geostationary Satellite, *Journal of Spacecraft and Rockets*, Vol. 42, No. 4, July-August, 2005
- 11) 奥村哲平、増井博一、豊田和弘、今泉充、趙孟佑, 「宇宙用シリコン太陽電池の放電による電気性能劣化」, 日本航空宇宙学会論文誌、第 55 卷(2007)、第 647 号、pp590-596 第
- 12) Rauschenbach, H.S.: Electrical Output of Shadowed Solar Arrays, 7th Photovoltaic Specialists Conference, IEEE, November 1968
- 13) Hisamatsu, T., Washio, H., Saga, T., Matsutani, T., Suzuki, A., Kawasaki, O., Yamamoto, Y., and Matsuda, S.: Advanced Thin Silicon Solar Cells, 4th European Space Power Conference, SP-369, Vol. 2, pp. 371-376
- 14) Nozaki, Y., Yoshida, T., Takahashi, M., Matsuda, S., Saga, T., and Katsu, T.: Design of Solar Array for ETS-VIII (Engineering Test Satellite VIII), PP457-462, ESA SP-502, May, 2002
- 15) Masui, H., Ose, T., Toyoda, K. and Cho, M.: Sustained Arc Test for Formulating Design Guideline of Solar Array Panel, 26th ISTS, 2008-r-2-18, 2008.
- 16) Mastumoto, T., Toyoda, K., Cho, M., Nozaki, N. and Takahashi, M.: Surface Contamination of Solar Array due to Discharge Phenomenon on Geostationary Plasma Environment, pp35-39, 21st ISAS Space Energy Symposium, March 2002
- 17) Clevenger, B., : Pulse Injection of Solar Cell Assemblies, 1st International Workshop for ISO Solar Array ESD Test Standard, November 2006.

18) Tajima, M., Toyota, H., Sugimoto, H., Yoshida, K., Imaizumi, M., and Nozaki, Y.: High-Speed Diagnosis of Space Solar Cells and Their Materials by Luminescence Imaging, ESA SP-661, September, 2008.

19) Imaizumi, M.: What Is the Happening on Space Solar Cells? , 1st Int'l Workshop on Electrostatic Discharge Effects, November, 2006.

20) Okumura, T., Hosoda, S., Kim, J., Toyoda, K., Cho, M. and Kawakita, S.: ESD Test on Cu(In, Ga)Se₂ Thin-film Solar Cell in Simulated LEO Environment, 25th ISTS, 2006-s-17, 2006.