

氏名	附田正則
学位の種類	博士(工学)
学位記番号	工博甲第350号
学位授与の日付	平成25年6月30日
学位授与の条件	学位規則第4条第1項該当
学位論文題目	シリコンパワー半導体の高効率化に関する研究
論文審査委員	主査 教授 大村一郎 " 和泉亮 " 松本聡 " 中尾基

学位論文内容の要旨

高効率エアコンやハイブリッド自動車に用いられるパワー半導体はエネルギーの高効率利用に資する技術として重要視され、拡大する需要に対応するとともに高効率化に向けた技術開発が行われてきた。今後、世界レベルで拡大する需要に応えながら更なる高効率化を達成するには、量産性に優れたシリコン技術をベースに新しい提案を行うことが次世代デバイス開発の一つの柱になる。その一方で、現在用いられているシリコンパワー半導体は材料物性に起因する性能限界により飛躍的な性能改善は困難と考えられており、新しい着想に基づくデバイスの実現が求められてきた。

本研究では新たにバイポーラ型パワー半導体の動作に着目し、シリコンパワー半導体の飛躍的な性能改善を理論的に試みた。その結果、家電、HEVや電力用途に多く用いられる耐圧600V以上のシリコンパワー半導体の理論性能は従来考えられているよりも遥かに高いことが判明し、理論性能の実現を目指した新たなデバイス構造を提案した。

第1章では、パワー半導体の種類と応用例をまとめ、本研究テーマ選択の背景に言及した。

第2章では、これまでシリコンパワー半導体の性能限界推定に用いられてきたユニポーラ動作モデルに代え、新たにバイポーラ動作モデルを構築した。本モデルによる検討の結果、シリコンパワー半導体でも効率面で大幅な改善が可能であることが初めて分かった。改善に向け解決すべき課題も明らかになった。即ち、外部回路も含めた検討では著しい波形振動が発生し、制御回路などの誤動作を引き起こす可能性があることが分かった。波形振動は、バイポーラ動作に特徴的なキャリア排出現象に起因する比較的低周波なものと、アバランシェ現象に起因する比較的高周波なものと2種類あることも判明した。

第3章では、低周波波形振動のメカニズムを分析した。波形振動は、素子主要部の蓄積キャリアが完全に排出される瞬間に発生する大きな電流変化(高い di/dt)に起因すること

を明らかにした（論文ではダイナミック・パンチスルー現象と呼ぶ）。またダイナミック・パンチスルー現象が発生するクライテリアを提案し実験およびシミュレーションにより妥当性を確認した。

第4章では、ダイナミック・アバランシェ現象に注目し、この現象により著しい高周波波形振動が引き起こされることを初めて解明した。波形振動のメカニズムは瞬間的なアバランシェ現象と、素子内に蓄積された電子とホールとの排出および接合容量への充電の3つの過程を繰り返しており、振動周波数は電流密度に比例することも判明した。なお、今回新たに考案した「擬似定常法」というシミュレーション方法により上記の解析が可能になった。

第5章では、Sパラメータ（散乱行列）によるダイナミック・アバランシェ波形振動のメカニズムを分析した。本方法の特徴は、パワーMOSFETやIGBT(Insulated Gate Bipolar Transistor)などの3端子素子を容易に取り扱えることである。分析の結果、従来UIS(Un-clumped Inductive Switching)テストなどで見られたパワーMOSFETなど3端子素子の波形振動は、第4章で明らかにした主接合でのダイナミック・アバランシェに起因することが初めて明らかになった。従来信じられてきた、制御端子へのフィードバックが原因であるという考え方を否定する結果となった。

第6章では、第3章から第5章での議論を整理し、大幅な性能改善にはダイナミック・パンチスルー現象を制御するための新しい構造が必要であることを明らかにした。

第7章では、スイッチング素子(IGBT)とPiNダイオードに関して、波形振動を解決する新しい素子構造を提案した。IGBTでは、N型フローティング層を導入し、PiNダイオードではSOI(Silicon On Insulator)構造を用いており、それぞれの構造で、効率面での高性能化と波形振動の抑制が両立可能であることを示した。

以上のように、本研究ではパワーエレクトロニクス機器に大量に用いられている600V～1200VクラスのPiNダイオードやIGBTなどシリコンパワー半導体の、効率面での大幅な性能改善の方法を明らかにした。

学位論文審査の結果の要旨

高電圧シリコンパワー半導体は、量産性に優れパワエレ機器の需要拡大に応じてきたが、更なる高効率化はシリコン材料に起因する性能限界により難しいと言われてきた。今までは、電子のみをキャリアとするユニポーラ素子モデルでのみ性能限界が考察されてきたのに対し、本研究ではバイポーラ素子であるIGBT(Insul. Gate Bip. Tr.)やPiNダイオードの動作に着目し、高効率化(損失低減)を追求した。

シリコンのバイポーラ素子の理論限界モデルを新たに提案し、現状に比べ50%の損失低減が原理的に可能であることを明らかにした。半導体基本方程式の数値解析によって低損失化の実現方法を検証した結果、薄型化と低注入化を採用することで高効率化が可能で

あることを明らかにした。

さらに回路も含めた解析により、提案した薄型化構造によるデバイス構造は非常に強い波形振動を誘発することも判明した。パワー半導体の高効率化実現に向け、波形振動発生メカニズム分析を基に波形振動抑制構造の提案を行った。特に、従来の一次元的な構造とは全く異なる二次元 SOI 構造では、性能限界に肉薄しつつ波形振動が抑制されることを確認した。

本研究でまず着目したのは、シリコンパワー半導体の高効率化である。今回新たにパワーデバイスの性能をバイポーラ動作の点から注目しモデル化したことで、実際にはシリコンパワー半導体の大幅な高効率化が可能であることを初めて明らかにした。しかし、インバータ回路にこのシリコンパワー半導体を適用すると深刻な波形振動が発生することが判明した。即ち波形振動抑制が高効率化のために必須であり、高効率化と高周波波形振動の低減を両立するデバイス構造の提案が必要である。新構造デバイスの提案に向け、以下に記載するアプローチで研究を遂行し、多くの成果を得た。

① 波形振動の分類とメカニズムの解明

発生する波形振動には、数 10MHz 程度の低周波波形振動と、数 100MHz 程度の高周波波形振動があり、前者はダイナミック・パンチスルー、後者はダイナミック・アバランシェが原因であることが分かった。

② 波形振動発生判定方法および振動抑制設計方法の提案

短時間のシミュレーションにより波形振動発生判定を可能にする「疑似定常法」と「安定係数法」を新たに提案した。さらに、過渡的な電圧と電流を二次元的にプロットした軌跡（ローカス）を用いた判定方法も提案した。以上の判定方法により、パワー半導体の振動抑制設計も可能である。

③ 新しいデバイス構造の提案

従来の高効率化アプローチと全く異なる、フローティング層と SOI 構造を用いた二次元構造で高効率化と波形振動の低減が両立できることが分かった。

本研究の独自性は、①一般に「シリコン限界」と呼ばれていたシリコンパワー半導体の限界性能モデルに対し、バイポーラ動作に着目した新たな理論限界モデルを提案して更なる高効率化が可能であることを示したこと、②高効率化の実現にはインバータ回路などに用いた際の波形振動発生抑制技術が必須であることを明らかにしたこと、③波形振動を分類し、それぞれのメカニズムを明らかにしたこと、④メカニズムに基づき、波形振動発生判定方法を新に提案し設計への適用検証を行ったこと、⑤上記の結果を用い、高効率化と波形振動抑制の両立を可能とする従来と全く異なるデバイス構造を新規提案したことである。

以上のように、本研究ではパワーエレクトロニクス機器に大量に用いられている 600V～1200V クラスの PiN ダイオードや IGBT などシリコンパワー半導体の、効率面での大幅な性能改善の方法を明らかにし、今後のデバイス研究および製品開発に対し大きな貢献をし

た。

なお、本論文に関し、審査委員並びに公聴会出席者からは、理論式の妥当性について、耐圧マージン削減の可能性について、アバランシェによる振動周波数の決定要因、シリコンカーバイド素子との性能の優劣、SOI 構造の詳細について等種々の質問がなされたが、いずれも適切な回答がなされた。

以上により、論文調査及び最終試験の結果に基づき、審査委員会において慎重に審査した結果、本論文が、博士（工学）の学位に十分値するものであると判断した。