

PLLを用いた高精度モーション制御
とそのデジタル実現

九州工業大学博士(工学)申請論文

町田 秀和

目次

第 1 章	序論	1
1.1	本研究の背景と目的	1
1.2	本研究のアプローチ	3
1.3	本論文の構成	4
第 2 章	PLL	6
2.1	PLL の基本構成	6
2.1.1	位相比較器	8
2.1.2	ループフィルタ	8
2.1.3	VCO	9
2.2	PLL の定常位相偏差解析	10
2.3	位相同期過程	11
第 3 章	PLL モータ速度制御系	13
3.1	基本的 PLL モータ速度制御系	13
3.1.1	構成	13
3.1.2	位相余裕に基づくループフィルタの設計	13
3.2	PWM 信号演算に基づくデジタル実現	16
3.2.1	PFD 型位相比較器	17
3.2.2	ループフィルタの PWM 信号演算	18
3.2.3	実現上の要点	21
3.3	FPGA 実現による実験結果	23
3.3.1	FPGA によるデジタル回路開発	23
3.3.2	実験結果	24
3.4	PID 型ループフィルタの実現	28
3.4.1	PID 制御による感度関数の改善	28
3.4.2	PWM 信号の差分	29
3.4.3	実験結果	30
第 4 章	2重 PLL モータ速度制御系	32
4.1	2重 PLL	33
4.1.1	2重 PLL の基本概念	33
4.1.2	2重 PLL の定常位相偏差解析	35
4.2	位相差加算によるモータ速度制御系への適用	37
4.2.1	ループフィルタのフィードバックパスへの移行と位相差 直接加算	37
4.2.2	定常位相偏差解析	37
4.2.3	特性設計と安定性解析	39

4.2.4	MATLAB シミュレーション	40
4.3	PWM 信号演算に基づくデジタル実現	42
4.3.1	位相差の直接加算	43
4.3.2	NCO 設計	43
4.4	実験結果	44
4.4.1	FPGA による実現	44
4.4.2	ステップ速度入力に対する速度応答特性	45
4.4.3	加減速入力に対する過渡応答特性	47
第 5 章	PLL と D 繰返しによる高精度回転速度制御	49
5.1	回転ムラとその性質	50
5.1.1	コギング	50
5.1.2	疑似アンバランス負荷	50
5.2	繰返し制御の構成と安定性	51
5.2.1	基本構成と原理	51
5.2.2	繰返し制御系の安定条件	54
5.2.3	修正繰返し制御	54
5.3	繰返し制御による回転ムラ対策例	55
5.4	PLL のための D 繰返し制御	57
5.4.1	D 繰返し制御の安定性	57
5.4.2	繰返し制御の外乱除去性	58
5.4.3	繰返し制御の収束性	59
5.5	FPGA によるデジタル実現	60
5.6	実験およびその結果	61
第 6 章	結論	63
参考文献	65
謝辞	68
付録	69
A.1	制御工学上の解析	69
A.1.1	フルビットの安定判別法	69
A.1.2	ベクトル軌跡の終始方向	72
A.2	アクティブ・フィードフォワードとリミッタ	73
A.2.1	アクティブフィードフォワード	74
A.2.2	アクティブリミッタ	75
A.2.3	2重ループ PLL モータ制御系への適用	76
A.3	2重 PLL とフィードフォワードの切替モータ速度制御系	80
A.4	電子カム実験装置による評価	84

第 1 章 序論

1.1 本研究の背景と目的

アクチュエータとしてのモータは、小型でありながら大出力を発揮し、電気信号によりきめ細かな制御が行える^{1)–3)}ことが特徴であり、さまざまな工業製品のアクチュエータとして用いられている。ここでモーション制御系としては、ロボットや数値制御精密工作機械などにおいてサーボ系としてトルク、位置、速度、および加速度の指令に正確に追従することが求められる。さらに、オーディオ/ビデオ機器などの精密回転機では、レギュレータ系として一回転中のミクロな速度変動、すなわち外乱やノイズを抑制できることが求められる。

さて、一定速度回転すなわちレギュレータ系としての回転制御手法には、PLL(Phase Locked-Loop：位相同期系)^{4),5)}が有効であることは古くから知られており、最近も活発に研究されている⁶⁾⁷⁾。PLLは基本的に周波数領域での閉ループ系であり、入出力の位相偏差を零あるいは小さな一定値に保つ「位相同期」により、位相の微分である周波数の偏差を原理的に無くすることができるという特徴をもつ。特に参照入力を水晶発振器で生成すると「クォーツロック」と呼ばれる高精度の速度制御が簡単に実現できることは大きな特徴である。例えば、AC ブラシレスモータ駆動のエアスピンドルで、ハードディスク、DVD、CDなどのディスクを製造・検査する装置では、PLLを用いて速度変動率を0.001%以下に追い込んでいる⁸⁾。

このように、PLL制御は基本的に、目標値が一定のレギュレータ、言わば静的な精度は高い。しかし、動的な精度を考える場合には、マクロに位相同期外れを生じない速度サーボと、ミクロな回転ムラをいかに抑制するかが問題となる。

まず第一の問題、つまり加減速が生じる状況では、たとえばヘッドの移動があるCDドライブなどのCLV(Constant Linear Velocity: 周速度一定)制御⁹⁾において、応答の遅さが問題となる。ことに位相同期が外れると、有害な引き込み振動が生じてしまう。PLLモータ制御の加減速に相当するのが、衛星などの高速移動体とのPLL通信で問題になるDoppler現象による周波数偏位であり、これに対応するために「2重ループPLL¹⁰⁾」が提案されている。これは、第一のループが第二のループのフィードフォワード要素となっており、高速追従だけでなく、位相偏差を打ち消せ、同期外れをも防ぐことができる。

しかし、この方式を直接PLLサーボ系に適用するには、制御対象が第一ループはVCO、第二ループはモータと異なることが問題となる。そこで、第一ループから加減速時に生じる位相偏差だけがフィードフォワードされ、位相偏差を完全に打ち消せなくても位相同期範囲内であれば、高速追従性が確保できる。以

上の構成をデジタル回路実現した実験結果により，位相偏差の打ち消しと高速追従を達成できることを示す．

次に第二の問題，すなわち回転ムラの低減について述べる．PLLの「高精度」は，入出力の「平均」周波数が一致する，という意味でのマクロな捉え方であり，ミクロな視点からは，微小な振動を生じていることが多い．PLL制御に限らず，このような「回転ムラ」の原因の一つは，電気モータの場合，ロータとステータの有限個の磁極がすれ違う時の吸引反発による「コギング」である．これを避けるためには，磁極を斜めに配置する「スキュー」などの構造的工夫があるほか，制御で低減させる方法もいくつか研究されている^{11) 12)}が，十分ではない．

コギングは，回転に同期した揺らぎで周期性をもつので，周期的な目標値または外乱に効果的な「繰返し制御」¹⁴⁾が有効な可能性がある．しかし，これまでのPLLと繰返し制御の複合テーマは，繰返し補償器のPLL制御¹⁵⁾や，PLLによるCDプレーヤの半径方向のトラッキング制御¹⁶⁾など，周辺問題の解決だけであり，直接組合せた例はない．これはPLLが，その要素に本質的に積分要素を含んでおり，必ず位相が90度以上回転するので，繰返し制御の不安定円内にベクトル軌跡が入るのを防ぎにくいためである．

そこで，この論文では回転ムラは交流成分であることに着目し，D制御でPLLの積分作用を打ち消しつつ繰返し制御を行う方法を提案する．本制御系のデジタル実現は非常に容易であり，実験で模擬的な回転ムラが効果的に低減されることを示す．

ここでPLLモータ速度制御系の制御器は，書き込み可能ICであるFPGA(Field Programmable Gate Array)を用いてデジタル実現すれば，小規模で高速な構成を取れることを示す．

PLLは基本要素として位相比較器(PD)，コントローラとしてのループフィルタ(LF)，そして制御対象としての電圧制御発振器(VCO)の三要素で構成され，PLLモータ速度制御系では，VCOがモータとロータリエンコーダに置き換わる．一般に，PLLのループフィルタは低次数でありアナログ回路で容易に実現できるが，構成部品の精度や温度ドリフトなど問題が多い．そこでデジタル回路での実現が望ましいが，そのままビットパラレル方式で実現すると回路規模が大きくなる上，出力値をアナログ電圧に変換する必要があり，さらにモータドライバの電力損失も問題となる．しかし直接PWM信号を出力できれば，D/Aコンバータが不要となる上，効率の良い駆動が実現できる．

そこで本論文では，PFD型の位相比較器の出力が1bitPWM信号あることを利用し，コントローラの信号を入出力ともPWM信号とすればPI型のループ

フィルタをカウンタやマルチプレクサを用いて構成でき¹³⁾，またビットパラレルの出力値を再度 PWM 信号に変換すれば，ドライバアンプ以外の電子回路を小規模に実現できることを示す．すなわち，この PWM 信号演算に基づく回路構成は，書き込み可能 IC である FPGA(Field Programable Gate Array)での実現に適しており，高速で十分な演算分解能を発揮することができる．そこで，FPGA で実現してデジタルコントローラでの実験した場合の効果を示す．

1.2 本研究のアプローチ

本研究の基本となる制御手法である PLL は，位相，周波数の精密制御手法として確立されており，特にクロック再生やモーション制御では当り前の，改良の余地のない技術であり，先端的な研究は通信 (RF) のみ，と思われている．そこで本研究では，特にモーション制御における PLL の問題点を見出し，図 1 に示すように制御と実現の両面から見直して，新しい構成でアプローチする．

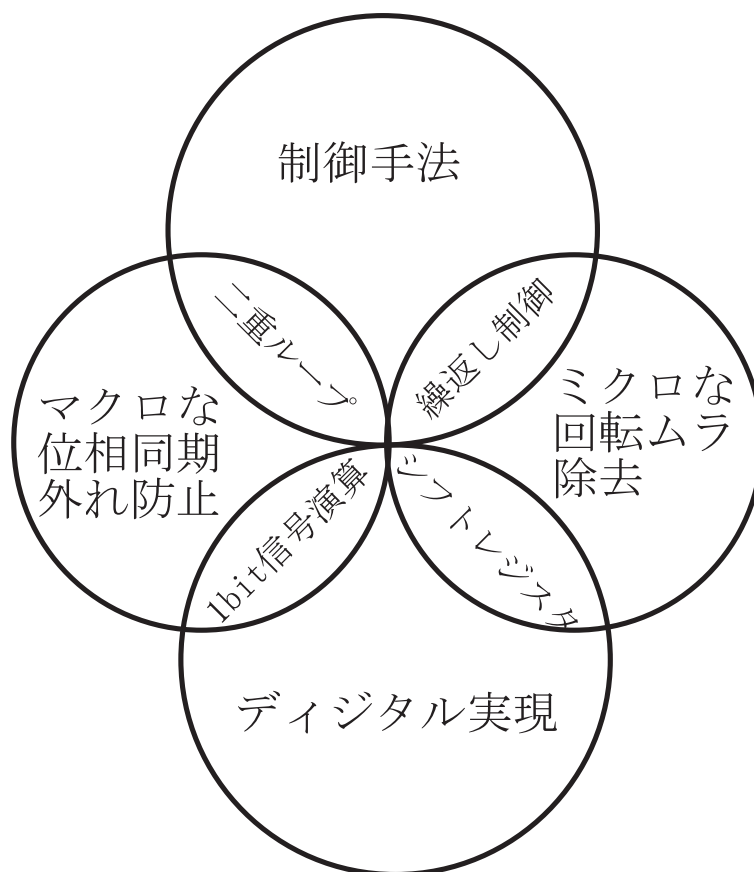


図 1 Approach of research

PLL の問題点は，12 ページの図 7 に示す過渡応答における誤差の発生状況に見て取れる．すなわち，位相同期が外れているときの不規則な引き込み振動

とオーバーシュート，そして位相同期してからも発生する周期的な回転ムラである．

まず，制御工学的見地からの PLL モーション制御への問題点は次のとおりであり，それぞれアドバンス制御の手法を取り入れて対応する．

加減速入力への対応 PI 型ループフィルタでは，加減速入力に対し定常位相偏差が残り位相同期が破綻してしまう．そこで，フィードフォワード制御系である 2 重ループ PLL により定常位相偏差を打ち消す手法を導入する．

回転ムラの軽減 回転アンバランスに起因する回転に同期したムラを軽減するために，繰返し制御を導入する．ただし，モータ・エンコーダは積分要素であるので，安定性の確保にとって問題となる．そこで，繰返し制御器の前に微分器を置き，安定化を図る．

次に，実現上の見地からは，FPGA による全デジタル実現を中心に据えている．PLL の主要素のひとつである位相比較器の出力が 1bit の PWM 信号であることに注目し，PI 型ループフィルタの演算回路を小規模に実現でき，また 2 重 PLL のフィードフォワード加算も簡単な組み合わせ回路で実現できることを示す．

1.3 本論文の構成

まず，第 2 章では PLL(Phase Locked Loop) の概念を示す．すなわち，PLL が，位相比較器 PD，ループフィルタ LF および電圧制御発振器 VCO の基本三要素で構成されることを示す．

次に PLL の動特性について述べる．すなわち，入出力位相伝達関数を求め，最終値定理により定常位相偏差を解析する．そして，PD におけるサンプリング動作に基づき，初期状態から位相同期が達成されるまでの PLL 特有の振る舞いについて説明する．

第 3 章では，まず PLL モータ速度制御系は，制御対象を VCO からモータとエンコーダに置き換えたものであることを説明し，位相余裕に基づくループフィルタの設計法を示す．

次に，PFD 型位相比較器の出力が PWM 信号であることに基づき，PI 型のループフィルタをマルチプレクサやカウンタなどによる小規模な実現法を示す．特に，設計で得られた制御ゲインをどのようにパラメータとして与えるかについて説明する．そして，書き込み可能な大規模 IC である FPGA で実現した場合について，その動作速度や規模を示した上で，実験結果について述べる．

また，外乱感度関数の考察に基づき，位相ノイズ対策のための PID 型のループフィルタの構成について述べる．また，

また付録に，ケーブル巻き取り装置などで導入されている積分カウンタの交流分と直流分の分離する手法に基づくアクティブフィードフォワード構成と，交流分にリミッタを施すことによるオーバーシュートの抑制手法を紹介する．なお，次章の 2 重ループ PLL モータ速度制御系におけるアクティブフィードフォワードとリミッタの効果についても述べている．

第 4 章では，速度サーボつまり加減速が生じる状況で，位相同期外れを防止する 2 重 PLL モータ速度制御系について述べる．まず，高速移動体との通信におけるドップラシフト対策として考え出された 2 重 PLL の伝達関数を解析し，加速中の位相偏差が打ち消されることを確認する．

次に，2 重 PLL を PLL モータ速度制御系に適用する場合に問題となる，第一ループの制御対象が VCO，第二ループのそれがモータとエンコーダであることから，両者のゲインが常には一致しないことに対応するため，位相偏差どおしを直接フィードフォワードする構成を提案する．そして加速中の定常位相偏差および安定性の解析およびシミュレーション結果を示す．

そして，2 重 PLL モータ速度制御系の回路実現で必要となる，PWM 信号のフィードフォワード加算回路に基づく構成法について述べる．その FPGA 実現による実験結果については，静特性および，速度ステップ入力，加減速入力に対して速度制御が高速応答し，位相偏差を抑制できることを示す．

また付録に，加減速入力に対し，位相同期外れが生じないことを視覚的に確認することが容易な電子カム実験装置を紹介する．さらに，2 重 PLL モータ速度制御系の構成を生かした，位相同期が達成されるまでは第一ループの積分カウンタ値を第二ループのそれに直接転送する切り替え式フィードフォワードの手法について述べ，オーバーシュートが生じにくくなることを示す．

第 5 章では，ミクロな視点の「回転ムラ」の軽減について述べる．まず回転ムラとその性質について考察し，次に，回転ムラを回転に比例した周期的な外乱とし捉えた場合に，アドバンスな制御法としてその軽減に有効である繰返し制御系についてその基本原理そして安定性について述べる．

そして，PLL モータ制御系がエンコーダによる本質的な積分要素により，繰返し制御の適用が困難であること指摘し，このことを微分要素の前置して解決する構成について説明し，その FPGA 実現および実験結果を示す．

最後に，第 6 章で本論文をまとめる．

第 2 章 PLL

PLL(Phase Locked-Loop)¹⁸⁾ は、現在では、携帯電話の周波数シンセサイザ、テレビやラジオの FM 復調、そして CD や DVD のモータ制御など、非常に広範囲に用いられている制御技術である。

歴史上一番最初の PLL は、1932 年に「コヒーレント通信」の発明者として知られているフランスの Bellecize によって実現された¹⁹⁾。しかし、PLL が工業的に広く使われ出したのは、集積回路 (IC) で入手できるようになってからである。1965 年ころに現れた最初の PLL-IC は、純粋なアナログ素子であったが、しだいに製造プロセス技術が高度化し、現在では全デジタル実現、あるいはソフトウェア実現もされている。

2.1 PLL の基本構成

PLL(Phase Locked-Loop):位相同期系は、図 2 に示すように閉ループ負帰還制御系の一種であり、位相比較器 (Phase Detector:PD)、ループフィルタ (Loop Filter:LF)、電圧制御発振器 (Voltage Controlled Oscillator:VCO)、および VCO から PD へのフィードバックパスに挿入して周波数合成を実現する分周器 (Divider:DIV) で構成される。

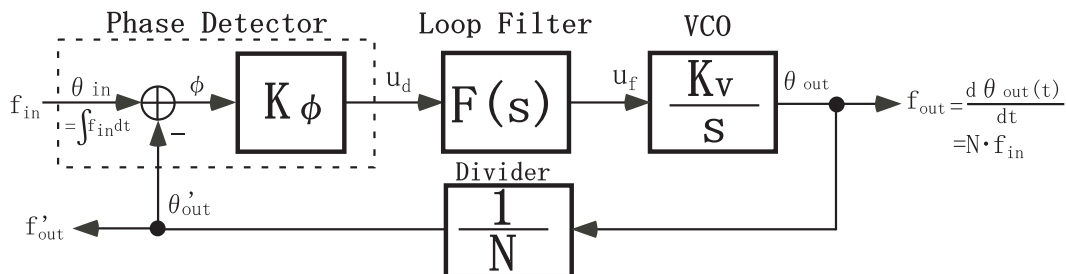


図 2 Basic PLL construction

PLL は参照入力信号の周波数 f_{in} に、制御対象である電圧制御発振器 VCO の出力周波数 f'_{out} を一致させる周波数領域の制御系と捉えられる。

図 3 に示すように、入出力信号はパルス列であり、位相比較器 PD はそのパルスの立ち上がりの時間差を計測することにより、入力位相 θ_{in} と帰還位相 θ'_{out} 間の位相差 $\phi(t) = \theta_{in} - \theta'_{out}$ を検出する。ループフィルタ LF は不要な高周波成分を除去した上で、十分な位相余裕を確保するように設計される (例を 3.1.2 で後述する)。VCO は入力電圧に比例した出力周波数を発生し PD へ帰還される。ただし、負帰還における入出力比較器は、入出力の周波数差ではなく位相差を検出する「位相検出器」PD であることが大きな特徴である。

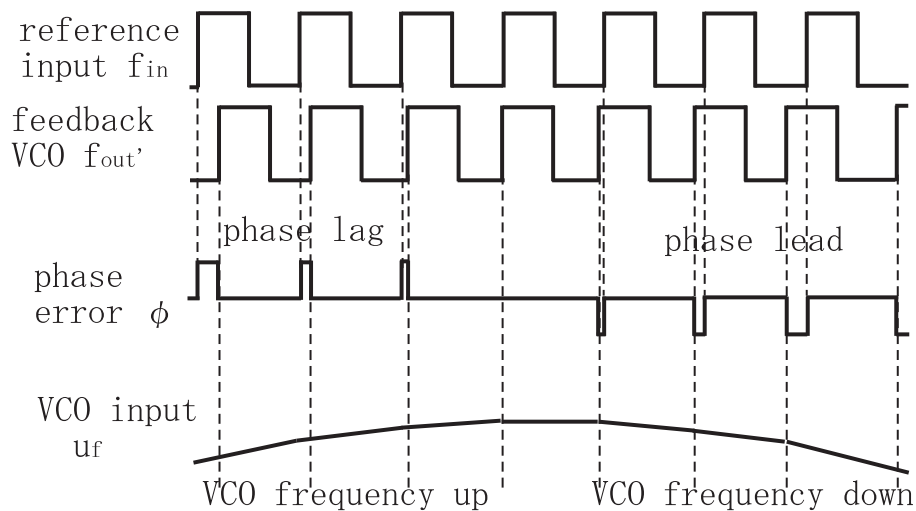


図 3 Basic PLL behavior

この負帰還制御系が定常安定状態に到った時、PD の出力である位相偏差は 0 もしくは極めて小さい値となる。ここで極めて小さい値とは、2.1.1 節で述べるように PD が許容する位相差範囲を意味する。すなわち、周波数は繰り返し周期の逆数であり、周波数の微分値が瞬時位相であるが、PD の出力範囲が繰り返し周期に限定される。このような安定状態は「位相同期」あるいは「位相ロック」状態と呼ばれ、入出力周波数はマクロなすなわち平均的にはどの時点でも一致する。

しかしながら、ミクロすなわち位相比較器 PD の許容する位相差範囲内の入出力位相の不一致は、ノイズあるいは外乱により発生してしまう。PLL ループ内のループフィルタ LF は安定性および動特性を決定するものであるが、安定性の面からは、電圧制御発振器 VCO の周波数出力が PD に位相として負帰還されるときに、本質的に周波数から位相への純粋積分要素を持つことから、それだけで位相が -90 度遅れるので、LF は 2 次以上の高次のものとするには位相余裕を確保する上から難点がある。したがって、LF には位相進み要素を導入して、位相余裕を確保するなどの工夫が必要になるが、必ずしも十分ではない。

なお、分周器 (DIV) は VCO の出力周波数 f_{out} を入力周波数 f_{in} の N 倍にして、 $f_{out} = N \cdot f_{in}$ とするためのものであり、DIV を備えた PLL は周波数シンセサイザと呼ばれる。

2.1.1 位相比較器

位相比較器 PD は入力位相 $\theta_{in}(t)$ と出力位相 $\theta'_{out}(t)$ の位相差 $\phi(t) = \theta_{in}(t) - \theta'_{out}(t)$ に比例した電圧 $u_d(t)$ を次式のように発生する．ここで比例係数 K_ϕ を PD ゲインという．

$$u_d(t) = K_\phi \phi(t) \quad (1)$$

デジタル回路による PD の出力は図 3 に示すように PWM(Pulse Width Modulation) 信号である．またその静特性は，PFD(Phase frequency Detector) 型では図 4 に示すように 4π の比例範囲を有する．なお，EX-OR 型では $\pi/2$ ，JK-F/F 型では π の比例範囲を有する．一方で，アナログ回路による四象限乗算器型の PD では sin 波形の静特性となり，原点近くでしか比例特性であると見なせない．

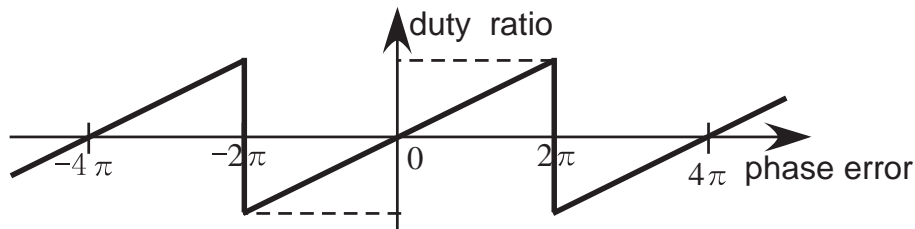


図 4 Static response of the Phase detector

2.1.2 ループフィルタ

位相比較器 LF はローパスフィルタの役割を持ち，位相差信号 $u_d(t)$ を入力として VCO の制御電圧 $u_f(t)$ を発生する．

ここで注意すべきは，後述するように VCO が本質的な純粋積分要素であるので既に位相が -90 度遅れているので，コントローラとしての LF を安定性を確保するように設計するには，1 あるいは 2 次程度の低次数としなければならない．場合によっては，位相進み要素で位相余裕を確保しなければならないことである．また，定常 (位相) 偏差の面からは，一定周波数入力に対しては，それが位相にとってはランプ信号にあたるため，VCO の純粋積分要素だけでも (LF が 0 次，すなわち P 型)，一定の定常位相偏差で位相ロックが果たされることになる．LF が 1 型，すなわち純粋積分要素をひとつ持つ PI 型であるならば，定常位相偏差は無くなる．ただし，演算誤差などのノイズにより，位相ロックは果たしていても位相変動 (ジッタ) は生じるが，これを抑制するように LF を設計することは可能ではあるが限界がある．

さて，LF の伝達関数を例えば図 5(a) のアクティブ PI フィルタの場合は次式で求まる．

$$V_{in}(t) = I(t)R_1 \quad (2)$$

$$V_{out}(t) = I(t)R_2 + \frac{1}{C} \int I(t)dt \quad (3)$$

$$F(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{U_f(s)}{U_d(s)} = \frac{\tau_2 s + 1}{\tau_1 s} = \frac{\tau_2}{\tau_1} + \frac{1}{\tau_1 s} = K_P + \frac{K_I}{s} \quad (4)$$

ここで時定数 $\tau_1 = R_1 C$, $\tau_2 = R_2 C$ としている . また , $K_P[-]$, $K_I[1/\text{sec}]$ はそれぞれ比例ゲインおよび積分ゲインと呼ばれる . 図 5(b) にその周波数特性を示す .

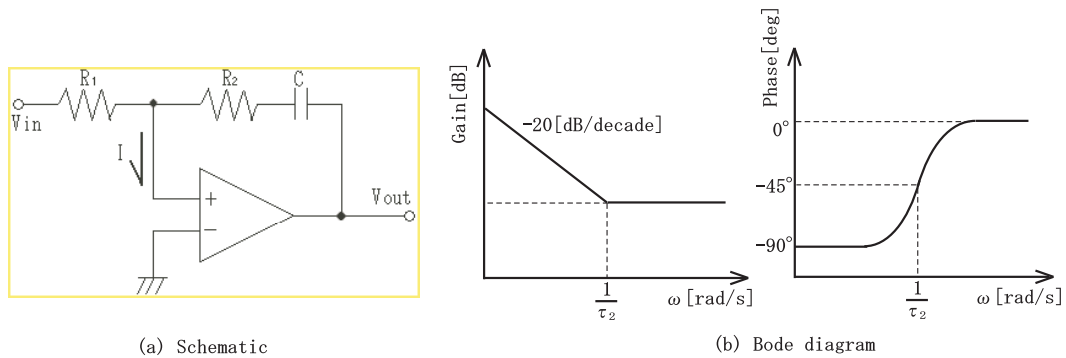


図 5 Active PI filter

LF は PLL の制御器に相当し , 位相余裕を待たせることによる安定性の確保 , そして望ましい動特性や周波数応答を持つように各時定数 τ_1, τ_2 が設計される .

2.1.3 VCO

電圧制御発振器 VCO は図 6 に示すように , LF の出力信号 $u_f(t)$ に比例した周波数の出力信号を出力する .

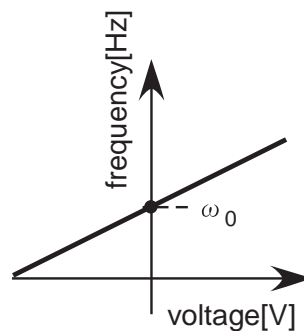


図 6 VCO

すなわち，VCO は次式の入出力特性を持つ．

$$\omega_2(t) = \omega_0 + \Delta\omega_2(t) = \omega_0 + K_V u_f(t) \quad (5)$$

$$f_{out}(t) = \frac{\omega_2}{2\pi} \quad (6)$$

$$\theta_{out}(t) = \int \Delta\omega_2(t) = K_V \int u_f(t) dt \quad (7)$$

入力信号 $u_f(t)$ は負の値を取りうるが， ω_2 は負の値になることはない．実際に位相比較器にフィードバックされる信号は VCO の出力位相 $\theta_{out}(t)$ であるから，式 (7) より電圧制御発振器の伝達関数は次式の積分器となる．ここで自由に設定できる $K_V[\text{rad/s}]$ を VCO ゲインという．

$$\frac{\Theta_{out}(s)}{U_f(s)} = \frac{K_V}{s} \quad (8)$$

ここで，入力信号の中心周波数がある低周波数で周波数変調されていたとすれば，ループ・フィルタの出力信号はその「復調信号」となる．このことを利用して，PLL は (FM) 検波に用いられる．

2.2 PLL の定常位相偏差解析

次に定常位相偏差を確認する．まずループフィルタの伝達関数を次式の PI 型とする．以下に解析するように，PI 型のフィルタは直流ゲインが無限大なので，定速時の位相偏差が無くなるのが特徴である．式 (4) より，

$$F(s) = \frac{\tau_2 s + 1}{\tau_1 s} = K_P + \frac{K_I}{s} \quad (9)$$

ここで， $K_P = \frac{\tau_2}{\tau_1}$ を比例ゲイン， $K_I = \frac{1}{\tau_1}$ を積分ゲインと呼ぶ．このとき，入力位相 θ_{in} から帰還位相 θ'_{out} までの伝達関数 $H(s)$ は閉ループ構造から次式のように得られる．

$$H(s) = \frac{\theta'_{out}(s)}{\theta_{in}(s)} = \frac{K\tau_2 s + K}{\tau_1 s^2 + K\tau_2 s + K} \quad (10)$$

ここで， $K = \frac{K_\phi K_V}{N}$ である．さて位相偏差の伝達関数 $\phi(s) = (1 - H(s))\theta_{in}(s)$ に最終値定理を適用すれば，定常位相偏差は次式で解析できる．

$$\lim_{t \rightarrow \infty} \phi(t) = \lim_{s \rightarrow 0} s\Phi(s) = \lim_{s \rightarrow 0} \frac{\tau_1 s^3}{\tau_1 s^2 + K\tau_2 s + K} \theta_{in}(s) \quad (11)$$

入力位相 $\theta_{in}(s)$ を位相ステップ $\Delta\theta$ ，周波数ステップ $\Delta\omega$ ，周波数ランプ R の成分を持つ次式の信号とすると，

$$\theta_{in}(s) = \frac{R}{s^3} + \frac{\Delta\omega}{s^2} + \frac{\Delta\theta}{s} \quad (12)$$

$\Delta\theta$ ， $\Delta\omega$ の定常位相偏差は 0 となるが，

$$\lim_{t \rightarrow \infty} \phi(t) = \frac{\tau_1}{K} R \quad (13)$$

となり，定常位相偏差を 0 にできないことが分かる．つまり，定常時に位相偏差がない PI 型ループフィルタを持つ PLL でも，ランプ変化する入力周波数すなわち加速度入力 R に対しては，定常位相偏差を 0 とすることはできない．

2.3 位相同期過程

PLL の基本的な振る舞いを実現する「位相比較器」PD は，入出力信号の立ち上がりタイミングで動作するので，サンプリング動作を行っているときと捉えられる．また，位相同期 (ロック) が達成されるまでに，行われる特有の振る舞いについて述べる．

プルイン PLL の位相同期状態が達成されていない場合，入力周波数すなわち目標周波数に対して，出力周波数がかけ離れていると，位相同期が達成されるまでに，プルイン (引き込み) 過程が生じる．これは，位相比較器に図 4 に示したように，周期性があるので，その出力が増減するからである．ただし，PFD 型の位相比較器では，入出力周波数の正負で，位相比較器の出力の正負も定まるので，入出力の周波数差の大きさに関わらず周波数差を小さくする方向にプルインされる．モータ速度制御系では，図 7 に示すように，目標速度に達するまでの加速期間中にモータ速度が階段状に波打つことになる．

プルイン過程は，位相差伝達関数では表現されない離散的な現象であり，有害な振動原因となるのでなるべく回避することが望まれる．

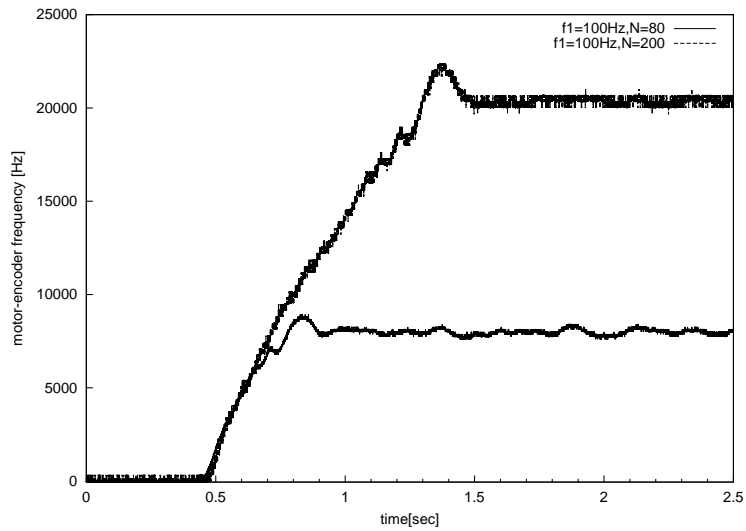


図 7 Step speed response : $f_1 = 100\text{Hz}, N = 80, 200$

ロックイン プルイン過程を経過し，入出力位相差が位相比較器の線形範囲内に入っても，(10)式による動特性により，オーバーシュートを含む過渡振動を伴う．定常位相偏差がこの位相比較器の線形範囲内に収まれば，マクロな意味での位相同期が達成されるが，それまでには図8のようにある程度の整定時間を必要とする．

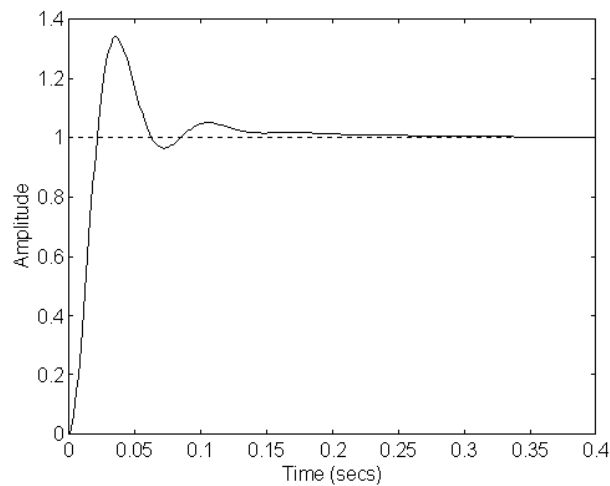


図 8 Phase step response of the PLL motor speed control

第 3 章 PLL モータ速度制御系

3.1 基本的 PLL モータ速度制御系

3.1.1 構成

図 9 に示す PLL モータ速度制御系^{21)–27)} は，図 2 の基本的な PLL の電圧制御発振器 (VCO) $\frac{K_V}{s}$ を，ロータリエンコーダ付きモータ $\frac{K_m}{(T_m s + 1)} \frac{1}{s}$ に置き換えた構成になっている。

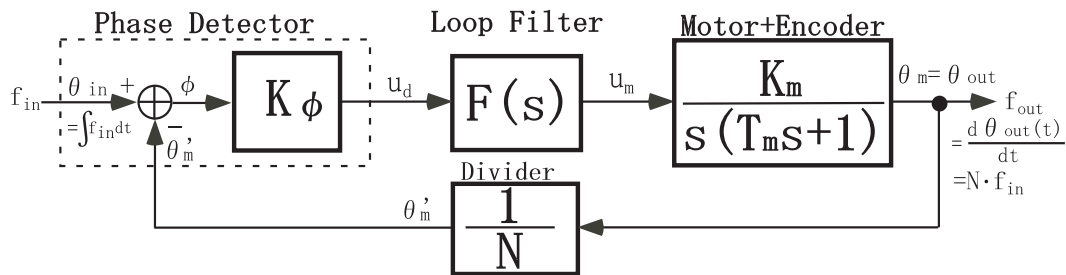


図 9 Basic PLL motor speed control system

なお，ブラシ付 DC モータの伝達関数は正確には 2 次系であるが，電氣的な時定数は十分に機械的な時定数 (10msec 程度) に対して短いので無視して 1 次系として表現している．そうすると PLL モータ速度制御系は 3 次系であるが，内部モデルとしては 2 型のままであるので，ランブ変化する入力周波数すなわち加速度入力 R に対しては，定常位相偏差は 0 にならない。

3.1.2 位相余裕に基づくループフィルタの設計

PLL モータ速度制御系のコントローラ設計は，以下のように PI フィルタによる位相進み補償によって行い，ループフィルタの時定数 τ_1, τ_2 を求める．まず，一巡伝達関数 $G_O(s)$ は次式となる．

$$G_O(s) = K \frac{\tau_2 s + 1}{\tau_1 s^2 (T_m s + 1)} \quad (14)$$

ここで， $K = \frac{K_\phi K_m}{N}$ である．

このときボード線図は図 10 のようになる．この制御系はラウス＝フルビッツの安定判別法より， $\tau_2 > T_m$ であれば安定である (付録 A.1.1 に示す)．これは，式 (9) の PI 型ループフィルタの一次の分子多項式のコーナー周波数 $\frac{1}{\tau_2}$ が，モータ

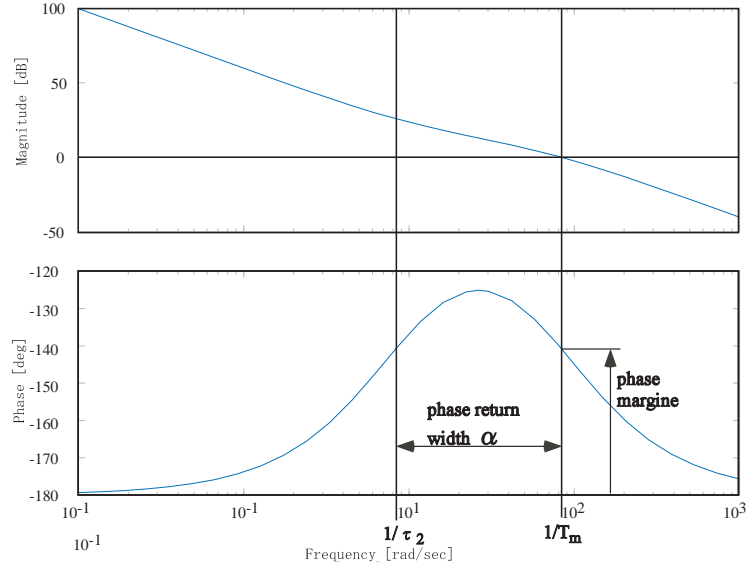


図 10 Bode diagram of the one loop PLL motor speed control system

タのコーナー周波数 $\omega_m = \frac{1}{T_m}$ より低ければ，位相余裕が確保されて安定となる
 という意味である．そこで，次式を定義する．

$$\tau_2 = \alpha T_m \quad \alpha > 0 \quad (15)$$

さて，むやみに閉ループの帯域を広げてもモータが応答できない上に，位相
 ノイズ(ジッタ)を抑制できないので，文献⁴⁾のようにモータのコーナー周波数
 $\omega_m = \frac{1}{T_m}$ でゲインを 0dB とすれば，次式が得られる．

$$|G_O(j\omega_m)| = \frac{K}{\tau_1} \left| \frac{j\tau_2\omega_m + 1}{(j\omega_m)^2(jT_m\omega_m + 1)} \right| = \frac{K}{\tau_1} \left| \frac{\alpha j + 1}{(\frac{j}{T_m})^2(j + 1)} \right| = \frac{T_m^2 K}{2\tau_1} \sqrt{2(\alpha^2 + 1)} = 1$$

したがって，ループフィルタの積分時定数 τ_1 は，

$$\tau_1 = T_m^2 K \frac{\sqrt{2(\alpha^2 + 1)}}{2} = \frac{T_m^2 K_\phi K_m}{2N} \sqrt{2(\alpha^2 + 1)} \quad (16)$$

となる．ここで，位相比較器ゲイン K_ϕ ，モータゲイン K_m ，およびモータ時定
 数 T_m は与える仕様により決定されるので， τ_1 は直ちに計算可能である．

なお，モータのコーナー周波数 ω_m での位相角 $\angle G_O(j\omega_m)$ は次式で計算できる．

$$\angle G_O(j\omega_m) = \tan^{-1} \frac{Im}{Re} = \tan^{-1} \frac{\alpha - 1}{\alpha + 1} \quad (17)$$

また，PI型ループフィルタは次式のように変形でき，

$$F(s) = \frac{\tau_2 s + 1}{\tau_1 s} = \frac{\tau_2}{\tau_1} + \frac{1}{\tau_1 s} = K_P + \frac{K_I}{s} \quad (18)$$

ここで，比例ゲイン K_P ，積分ゲイン K_I は次式で計算できる．

$$K_P = \frac{\tau_2}{\tau_1}, K_I = \frac{1}{\tau_1} \quad (19)$$

ここで，極零配置を図 11 に示す．式 (14) から，2 型，極が 3 個，零点が 1 個，の制御系であるが，一個の実極が零点が至近距離にあり，ダイポールを構成して相殺されそうであり，ほぼ 2 次系の応答をすると考えられる．

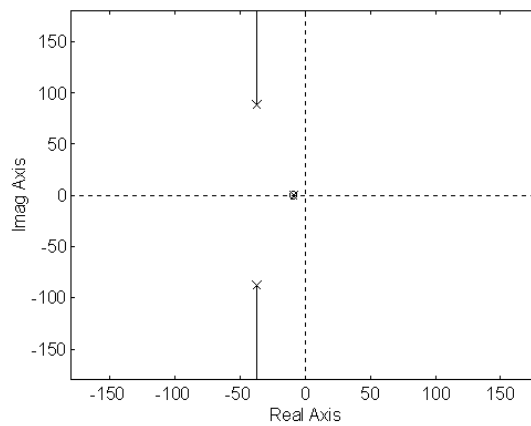


図 11 Pole/zero assignment of the PLL motor speed control

図 12(再出) はこの場合の過渡応答であるが，確かに典型的な 2 次系の過渡応答の振動をしている．しかしながら一方で 0.15 秒以降でゆっくり整定していく様子は，遅いダイポールの影響と考えられる．

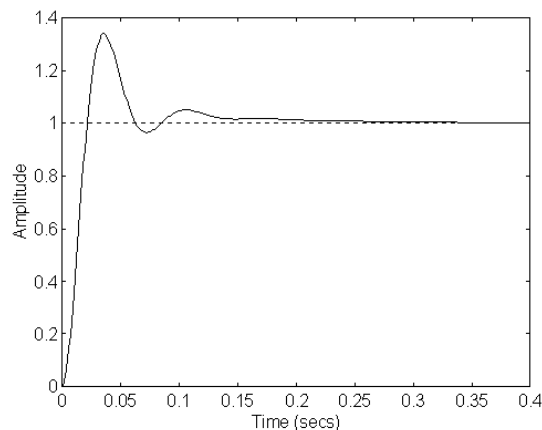


図 12 Phase step response of the PLL motor speed control (reappearance)

3.2 PWM 信号演算に基づくデジタル実現

PI フィルタである LF はアナログ回路で容易に実現できるが、構成部品の精度や温度ドリフトなど問題が多い。そこで、デジタル回路での実現が望ましいが、そのままビットパラレル方式で実現すると回路規模が大きくなる上、出力値をアナログ電圧に変換する必要がある。しかし直接 PWM 信号を出力できれば D/A コンバータが不要となる上、電力損失的にも効率の良い駆動が実現できる。

ところで、デジタル回路による位相検出器の出力は、デューティ比が位相差と比例する PWM 信号である。したがって、PI フィルタの信号は入出力とも PWM 信号であって回路方式の工夫により、図 13 に示す小規模な回路でフィルタが実現できる。なお、これらの時間領域での演算は十分に速いクロックで実行しないと、十分な精度が得られないが、回路構成が単純であるために、FPGA 実現すると十分な速度が得られることを、3.3.2 で述べる。実際に、図中の破線内の回路を 1 チップの IC で実現することができ、高速なパワー MOS-FET をモータドライバとして一個外付けするだけで高性能を期待できる。

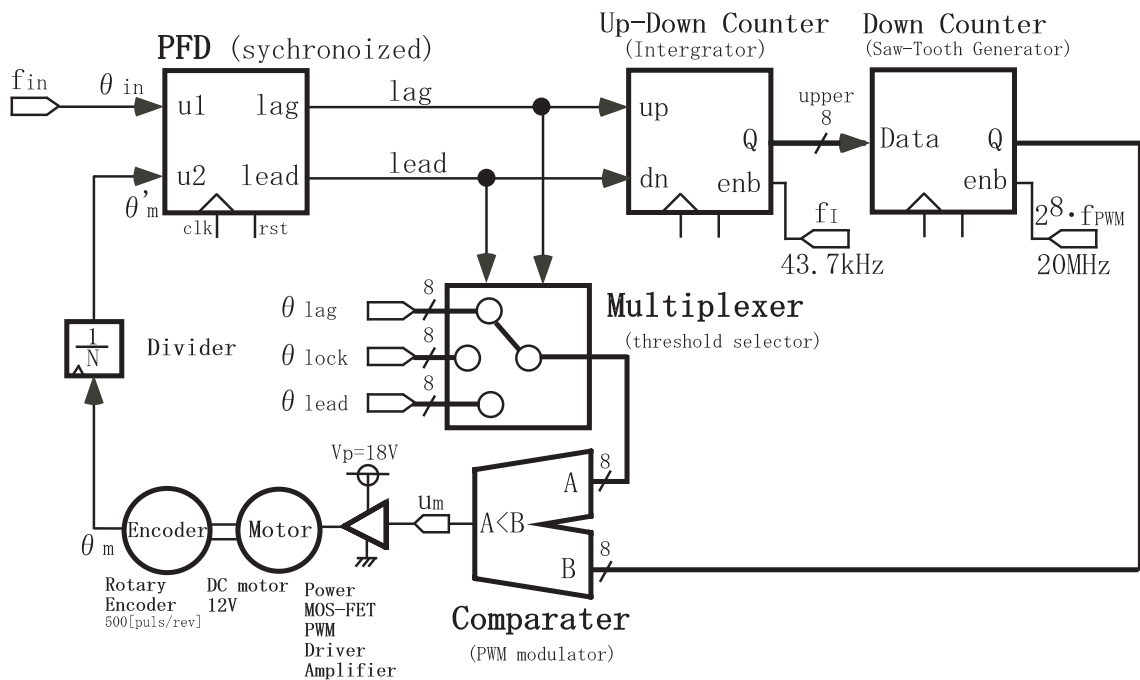


図 13 PLL/PWM motor speed control system

3.2.1 PFD 型位相比較器

位相比較器は、基準入力信号 u_1 の位相 θ_1 と帰還入力信号 u_2 の位相 θ_2 の位相差を検出する。位相比較器にはいくつかの種類²⁰⁾があるが、ここでは位相周波数比較器 (PFD: Phase Frequency Detector) を使用する。PFD は前章の図 4 に示したように、 4π の比例範囲を有する。

PFD は、図 14 のシンボル図に示すように、 u_1 と u_2 の二つの入力と、lag と lead の二つの出力を持ち、図 15 に示す状態遷移により、図 16 の入出力波形図のように、 u_1 よりも u_2 が遅れていれば lag だけに、進んでいれば lead だけに、位相差を PWM(Pulse Width Modulation) 信号として出力する。この PWM 信号のデューティ比が位相差を表している。

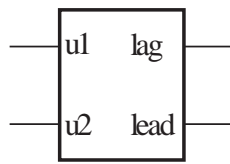


図 14 Symbol of the PFD

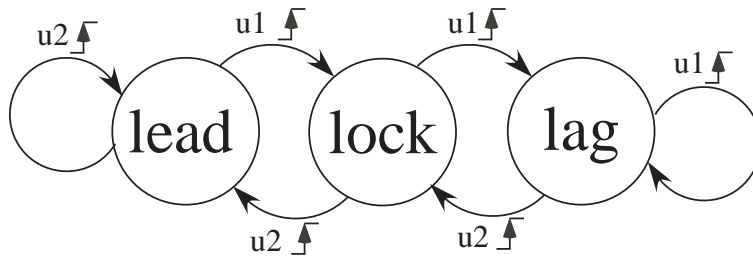


図 15 State transfer of the PFD

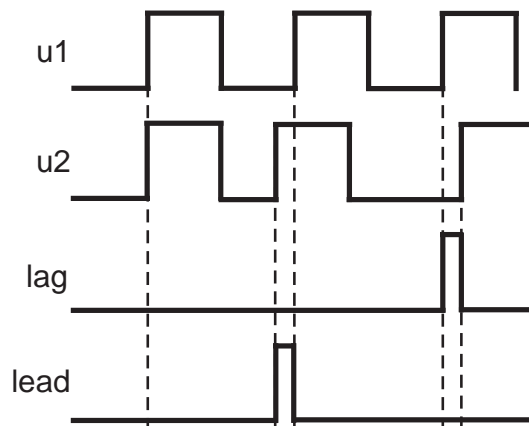


図 16 Response of the PFD

3.2.2 ループフィルタの PWM 信号演算

PWM(Pulse Width Modulation) 信号は、基準周期が一定で ON/OFF の時間比すなわちデューティ比により大きさを表す 1bit 信号の一種である。ビットパラレル値から PWM 信号に「変調」するには、図 17 のように基準周波数のノコギリ波形とビットパラレルのしきい値をコンパレータで比較することにより実現できる。ここで、PWM 信号の基準周期を f_{PWM} とすると、ノコギリ波を発生する Nbit のアップカウンタのカウンタ周波数は $f_{PWM} \cdot 2^N$ であり、分解能を高めようとするれば高速動作が必要であることが分かる。

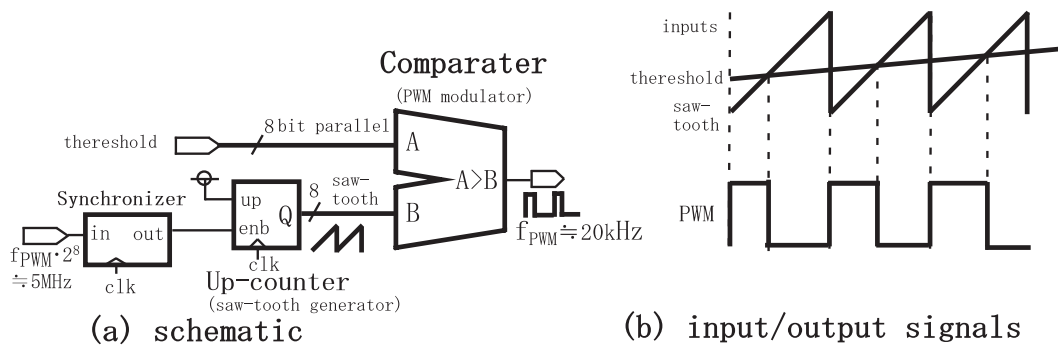


図 17 Pulse width modulator

また、PWM 信号からビットパラレル値への「復調」は図 18 のように、カウンタを十分高い周波数で PWM 信号が 1 の区間をカウントし、PWM 信号の立ち上がり時に、ラッチにカウント値をロードしてビットパラレル値とし、またカウンタをリセットしてから PWM 信号が 1 の区間をカウントするというのを繰り返せばよい。

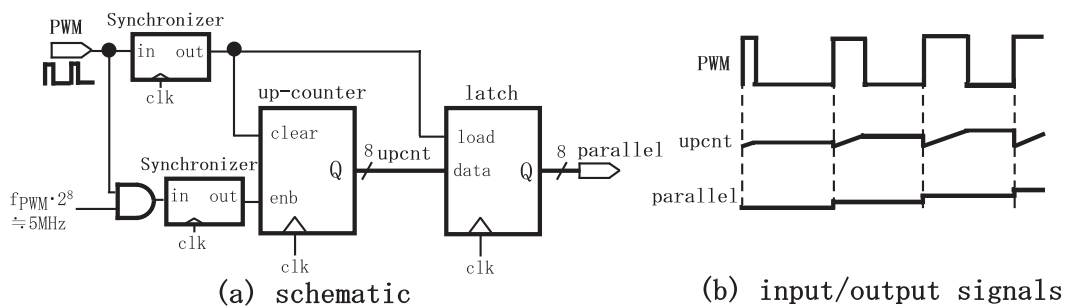


図 18 Pulse width de-modulator

さらに以下に述べるように、この「復調時」すなわち PWM 信号からビットパラレル値に変換する際に、積算や差分、そして定数加算などの演算を同時に行うことにより、ビットパラレル値どおしの演算の場合よりも回路を小規模に、また高速に実現することができる。

マルチプレクサによるP演算 比例P演算は，PFDのlag/lead出力はPWM信号であり，そのデューティ比すなわち一周期中にONになっている割合が位相差であるので，図19のようにマルチプレクサによって，図20のとおりlagあるいはlead出力が1の時に，アップダウンカウンタの出力に比例ゲイン K_P を加減算すれば式(18)の $K_P + \frac{K_I}{s}$ の比例P演算を実現できる．これは，lag,lead信号で選択されるマルチプレクサとアダーで簡単に実現でき，このアダー出力がフィルタのビット平行出力となる．ただし，負の出力値は単方向モータドライバ回路に与えられないので，アップダウンカウンタの出力値が K_P 以下のときは減算を行わない．

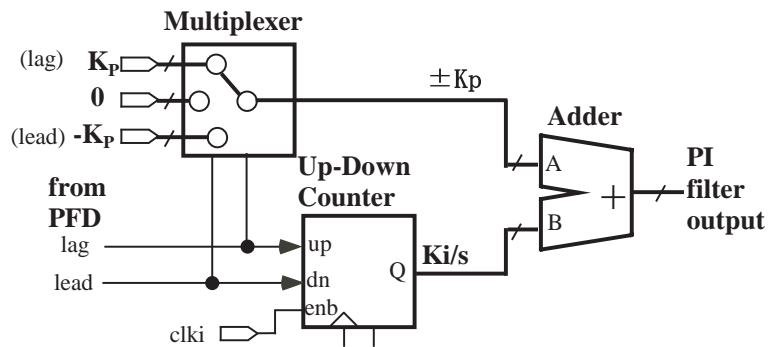


図 19 PWM signal processing circuit for the PI filter

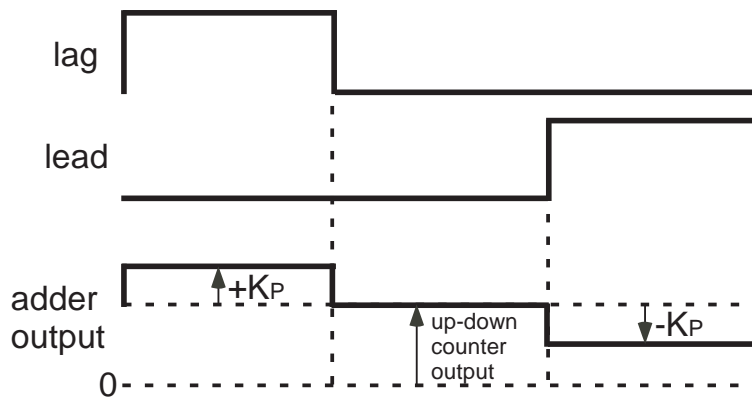


図 20 Addition of the PWM signal

アップダウンカウンタによる積分とオーバーサンプリング PWM 信号の積分 I 演算は、図 21 のようにアップダウンカウンタだけで実現することができる。すなわち、PWM 信号のビットパラレル値への「復調」時にカウンタのリセットを行わないだけで、積分演算が実現できる。ここで、カウンタ周波数が積分ゲイン $K_I = \frac{1}{T_1}$ に相当する。

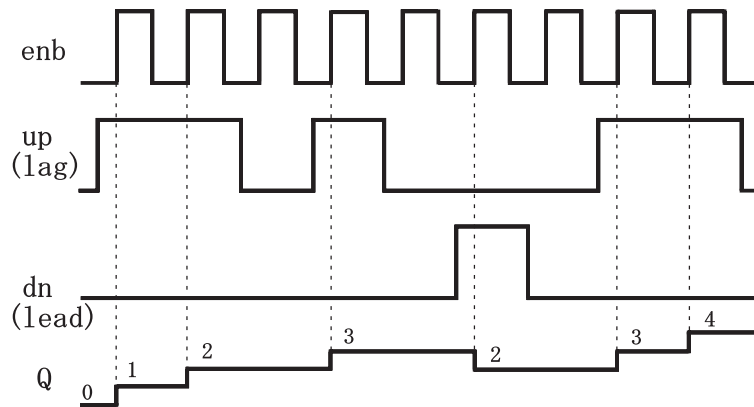


図 21 PWM signal processing for the integral

ただし、表 1 に示すように、アップダウンカウンタのカウントイネーブル周波数 clk2 の位相進み設計値は 256Hz になる。しかしモータの時定数 T_m は 12ms なので u_1 はその逆数の 83.3Hz 以上で使用しなければならず、且つ lead 及び lag 出力のデューティ比は小さいのでこのままでは十分な積分動作を行えない^{28), 29)}。

そこでアップダウンは図 22 のように 16 ビット構成とし、上位 8 ビットを 256Hz の更新速度で出力する方法を採る。このようにすると clk2 の周波数を 65.536kHz まで高めることができ、PFD の出力に対する分解能を十分に持たせることができる。

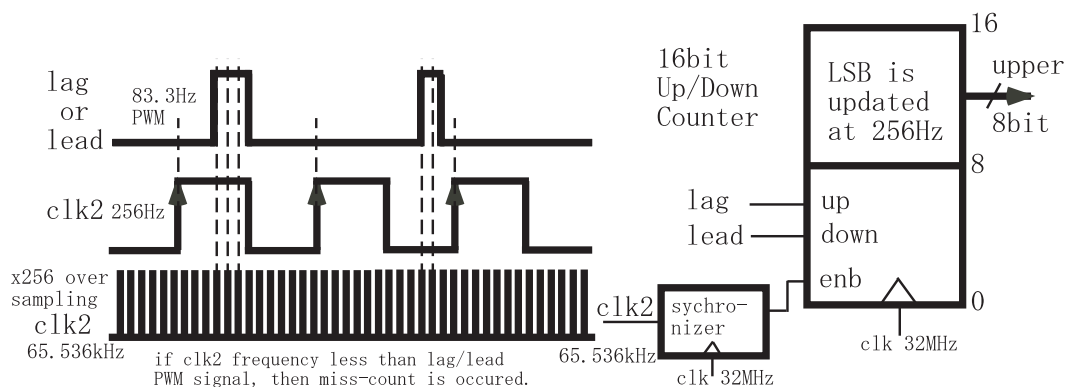


図 22 Integral operation with up/down over-count

なお、このアップダウンカウンタはオーバーフローを避けるために、フルカウ

ント時にはそれ以上アップカウントしないように，またゼロの時にはそれ以上ダウンカウントしないようにリミッタを設けている．したがって，積分ウィンドアップの進行を抑制する事ができる反面，負の値を出力できないが，ここではMOS-FETによる単方向モータドライバ回路を使用することを前提としているため，問題はない．

3.2.3 実現上の要点

表1にPLL/PWMモータ速度制御系の各パラメータの設計例まとめる．なお，ここではモータに澤村電機社のSS32GS-E0を用いている．

表1 PLL/PWM motor speed control system parameter (SS32GS)

名称	記号	設計値	出所および計算式
モータ定格電圧	V_m	12[V]	仕様
エンコーダ分解能	RE	500	仕様
モータゲイン	K_m	3.39[kHz/V]	実測値 = $3.39 \frac{1000 \cdot 2\pi}{RE} = 13.56\pi$ [rad/(sV)]
モータ時定数	T_m	12[msec]	実測値
Up/Down カウンタ長	$N_{(U/D)}$	8[bit]	任意パラメータ
周波数てい倍率	N	1	任意パラメータ
モータ駆動PWM周波数	f_{PWM}	20[kHz]	任意パラメータ ($14 < f_{PWM} < 100$)[kHz]
位相戻り幅	α	10	任意パラメータ
電圧分解能	ΔV	0.046875[V/bin]	$= \frac{V_m}{2^N}$
位相余裕	$\angle G_O$	39.3[deg]	式(17), $\tan^{-1} \frac{\alpha-1}{\alpha+1} = \tan^{-1} \frac{9}{11}$
位相進み時定数	τ_1	83.3[msec]	式(37), $\frac{T_m^2 K_\phi K_m}{2N} \sqrt{2(\alpha^2 + 1)}$
積分時定数	τ_2	120[msec]	式(36), αT_m
比例ゲイン	K_P	1.44[V]	式(19), $\frac{\tau_2}{\tau_1}$
積分ゲイン	K_I	12.0[V/sec]	式(19), $\frac{1}{\tau_1}$
U/D カウンタクロック	clk2	256[Hz]	$\frac{K_I}{\Delta V}$
Down カウンタクロック	clk3	5.12[MHz]	$f_{PWM} \cdot 2^{N_{(U/D)}}$
K_P のデジタル値	K_P	30.72 (5bit)	$\frac{K_P}{\Delta V}$

なお図13では，PIフィルタの後段にアップカウンタとコンパレータによるPWM変調器を置き，モータを電力効率よく駆動するようにしている．

FPGAに外付けしたモータドライバを図23に示す．NチャンネルパワーMOS-FET一本だけのシンプルなドライバであるが大変高性能でありPWM駆動特性

はスイッチング周波数が 120kHz 以上でも，ほとんど直線性が変わらない。また，Power MOS-FET の H7N0307AB は ON 抵抗が 4.6mΩ と極端に低く発熱も少ない。なお，FET は電圧駆動素子であるので，ゲート入力に対して電圧 (3V 程度で ON する，電流はほとんど不要) をかけてやればよいが，FPGA から直結するには少し問題がある。

まず，入力とゲートに直列に入っている抵抗 R1 は「ダンパ抵抗」と言われるもので，オーバーシュートを防止するためであり，あまり小さいと意味がなく，逆に大きすぎると駆動エネルギーを損失する。実験により 47Ω とした。また，ゲートとグラウンド (アース) に並列に入っている抵抗 R2 は「ゲート接地抵抗」と呼ばれるもので，R2 が無くて「ゲートが浮いている」状態だと，FET は入力抵抗が高いので，小さいノイズなどに反応し不安定になる。ここでは，R2 を 1kΩ と小さめの値に選び，安定性を高め，入力電流を多く流してスイッチングしやすくしている。また，モータに並列に入っている (ファストリカバリ) ダイオード D1 は「フライホイール・ダイオード」と呼ばれ OFF 時にモータが発生する逆起電力を電源ラインに還流させるためのものである。

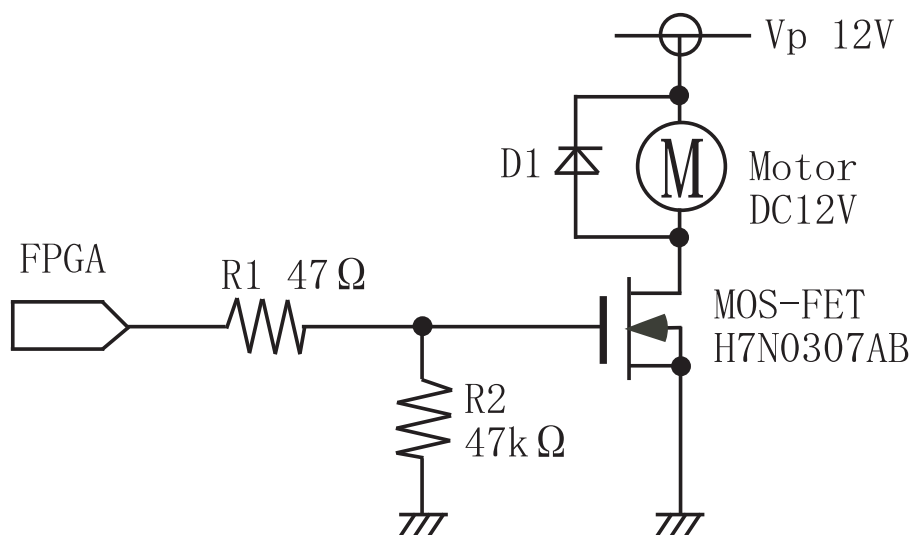


図 23 Power MOS-FET motor driver

3.3 FPGA 実現による実験結果

3.3.1 FPGA によるデジタル回路開発

図 13 の PWM 信号演算方式の PLL モータ速度制御系の実現には FPGA(Field Programmable Gate Array)IC を利用した。FPGA 内には数万個規模のゲート回路が集積されていて、使用目的に応じて VHDL 等のハードウェア記述言語により自由に配線を記述できる。VHDL は AND,OR 等の基本演算の他にも、回路の状態遷移をソースコードに記述すればコンパイラが論理合成を行い、またフィツタと呼ばれるツールで配置配線が行われる。

FPGA は大量生産向けの ASIC に比べチップ単価が高いものの、開発コストが安く、開発期間は短く、やり直しができるという点から、少量生産や試作、実験等に向いているここで用いたデバイスは ALTERA 社の CycloneII であり、これは FPGA の中でも小規模なものである。CycloneII アーキテクチャは、図 24 に示すように、最大 68K のロジック・エレメント (LE)、エンベデッド・メモリ・ブロック、エンベデッド・マルチプライヤ、およびシステムクロック生成用の PLL、およびそれらの周囲を取り囲む I/O エレメント (IOE) で構成されている。これらの各構造に対するクロック信号およびデータ信号は、高効率の内部接続配線および低スキュー・クロック・ネットワークにより接続されている。

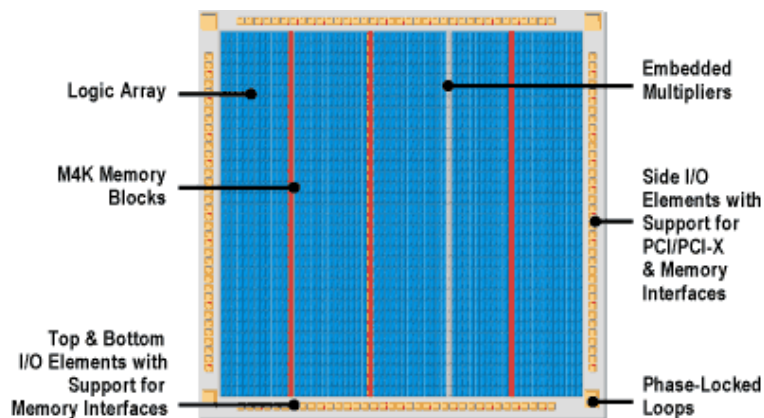


図 24 CycloneII architecture

なお、FPGA には基板に搭載したままで、パソコンから回路データを書きこむ ISP (In System Programming) を行うことができ開発の手間が大幅に省ける。Altera 社の CycloneII では、USB Blaster ケーブルで、パソコンの USB ポートと基板上のメールヘッダコネクタを接続して書き込むことができる。

3.3.2 実験結果

動作速度と規模 図 13 の回路を 1 チップの FPGA に書き込んで実験を行った。使用した FPGA は ALTERA 社の CycloneII(EP2C8T144C8N, total LEs=8256) であり, FPGA は比較的小規模であるにもかかわらず, わずか 1.9% のロジックエレメント (LE) しか消費しなかった。また, 動作速度も 156MHz 以上と十分に高速である。このことは, PWM 信号演算回路が単純で小規模かつ高速に実現することができ, 十分な演算分解能を持たせることができると言える。

速度ロック範囲 図 25 に, PLL/PWM 速度制御とオープンループの特性のモータへの入力電圧と回転数の関係の, 比較を示す。

ただし, このグラフは Up/Down カウンタの値を PWM 平均電圧に換算しているのので, 加算の効果による電圧の増減分は現れていない。

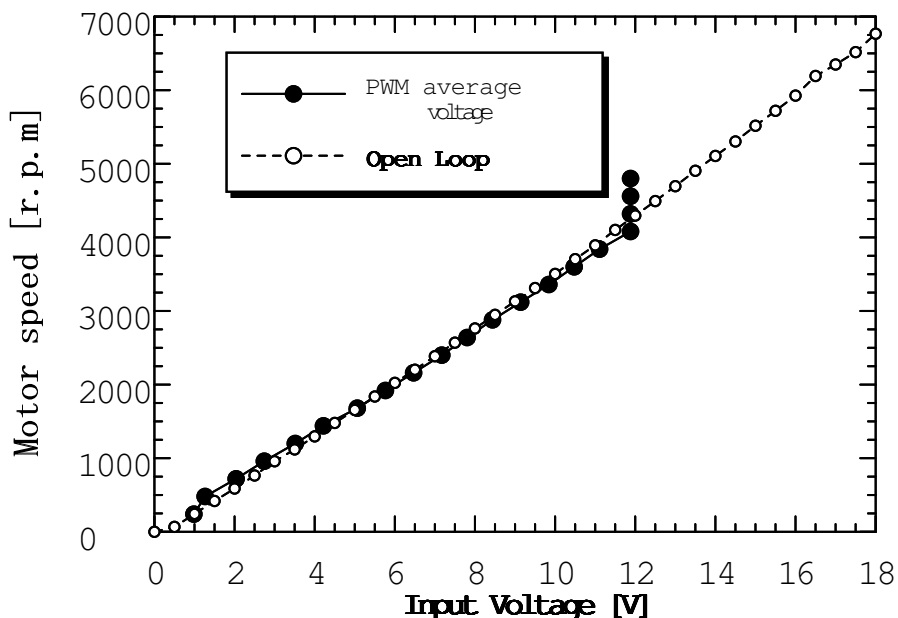


図 25 Static response of the PLL/PWM motor speed control system

- 図 25 によりモータ速度が約 200[r.p.m.] から 4800[r.p.m.] の範囲内において, ロックできている。
- PWM 平均電圧による直線はおおよそ 1[V] から 12[V] までの範囲内において, オープンループ電圧による直線にほぼ一致することが分かる。
- PWM 平均電圧が 12[V] まで上げることができる。また, PWM 平均電圧が 12[V] に達したら, モータ速度だけが上昇しているように見えるが, これはアップダウンカウンタが積分上限に達して飽和し,

マルチプレクサからの lag の閾値すなわち K_p ゲインの加算によってモータ速度がロックされる。

- Up/Down Counter の積分値が低くて lock の閾値に達していない場合でも, lag の閾値すなわち K_p ゲインの加算によってモータ速度がロックされる。
- 以上のことより, PLL/PWM 速度制御が出力可能な電圧範囲全体にわたってモータ速度をロック可能である。

入出力波形 図 26 に参照入力信号 u_1 とモータのエンコーダ出力信号 u_2 波形を示す。周波数だけでなく位相までも偏差 0 で常に一致していることが分かる。

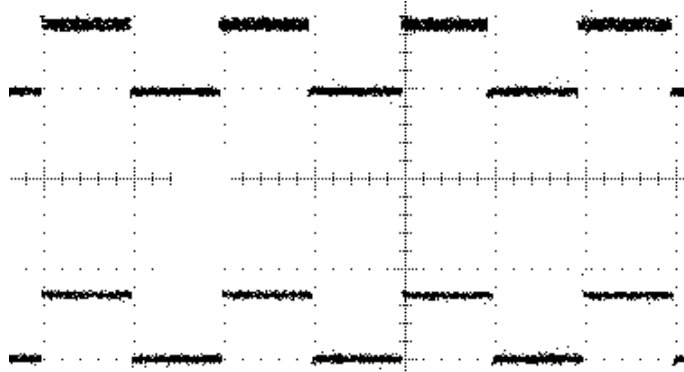


図 26 Input (upper) and output (lower)

PWM 加算演算波形 図 27 に速度ロック時の PFD の遅れ信号出力 lag と, コンパレータの PWM 出力信号の関係を示す。lag='1' の時に PWM 出力のデューティ比が大きくなり, 低い閾値への切り替えによる加算が行われている様子が分かる。

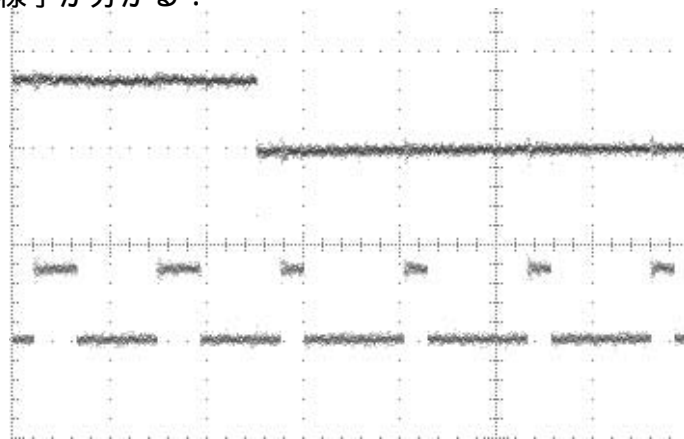


図 27 PWM signal addition : lag(upper) and PWM(lower)

速度ステップ応答 図 28(再出) にモータ回転数の時間応答を、参照周波数 $f_1 = 100\text{Hz}$ の場合について示す。F/V コンバータ IC の 4151 を用いて、エンコーダパルスをアナログ電圧に変換し、オシロスコープで観測した。ただし、いずれも PWM 周波数=19.5kHz であり、低速回転 $f'_2 = 8\text{kHz}$ と高速回転 $f'_2 = 20\text{kHz}$ の 2 つの応答を示している。

f_1 あるいは f'_2 が低く分周比 N が大きいときには、上の考察通りに整定時間が長くなっている。

また立ち上がり時は階段状に加速していくが、これは PLL 特有のプライン現象である。

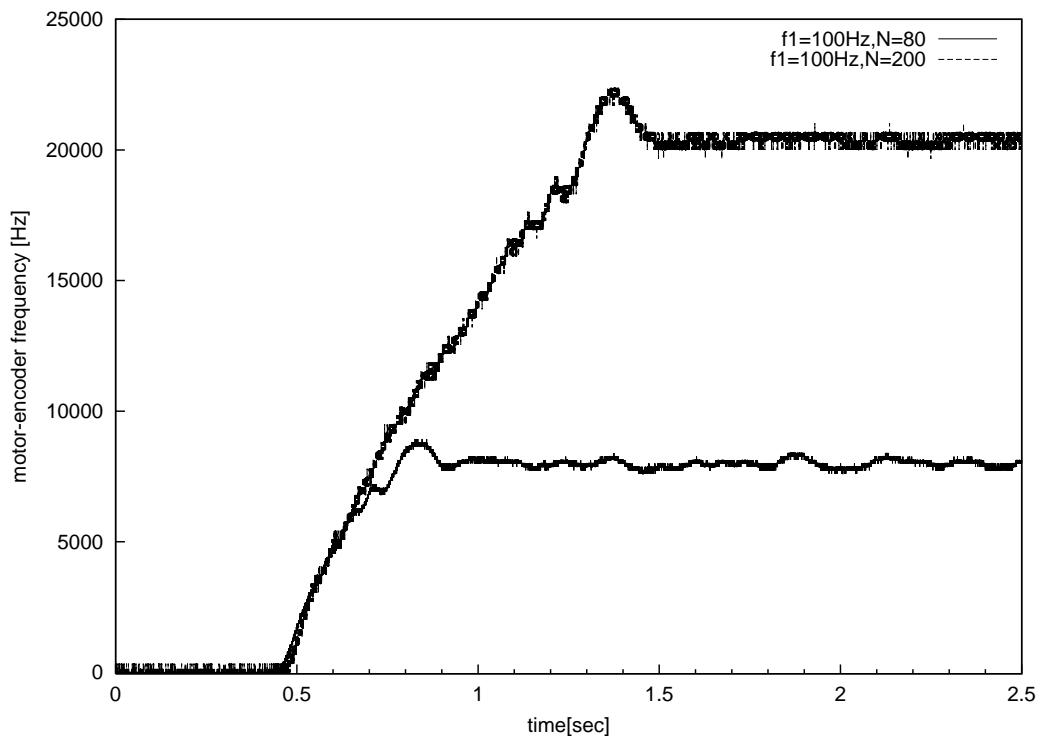
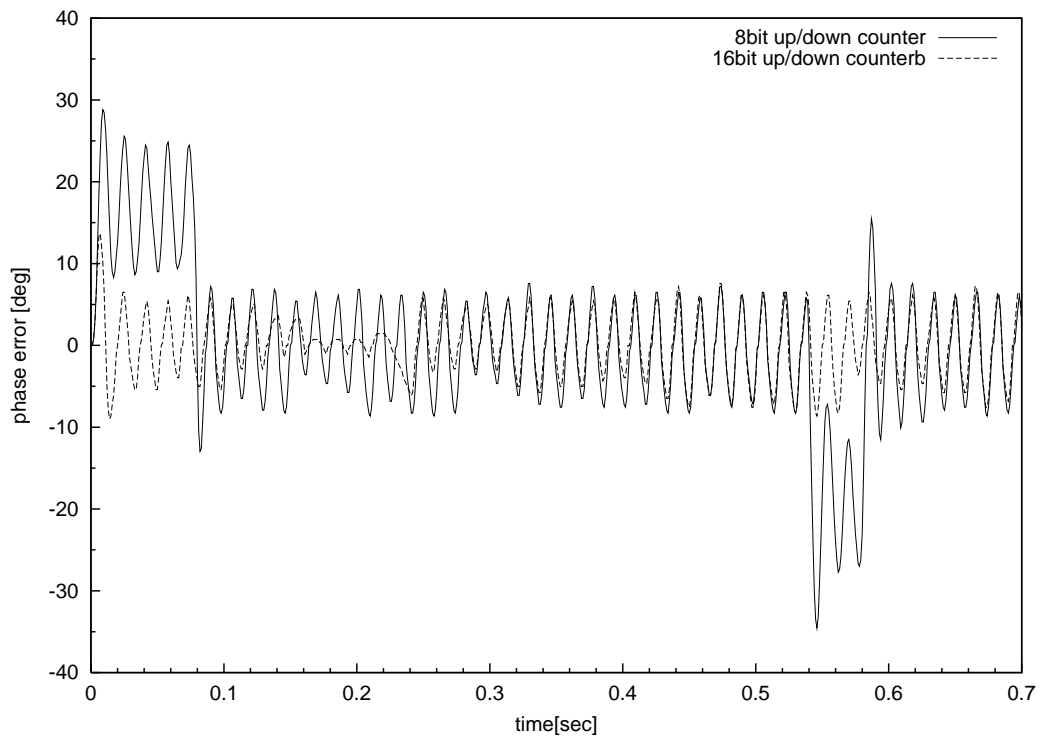


図 28 Step speed response (reappearance): $f_1 = 100\text{Hz}$, $N = 80, 200$

位相誤差の時間応答 図 29 に位相誤差の時間応答のシミュレーション結果を示す。カウンタ長を増して分解能が高めれば、定常位相偏差を小さくすることができる。

なお、図 28 の回転速度の時間応答では分からないが、分解能が低いとミスカウントにより定常位相偏差が完全に 0 に落ち着かないことが判明した。



☒ 29 Variation of the phase error

3.4 PID 型ループフィルタの実現

前節では，PI 型のループフィルタを，位相検出器出力の PWM 信号を時間領域演算方式により小規模に完全デジタル実現できることを示した．本節では，この制御系に D 制御を取り入れ，PID 型のループフィルタを構成した場合について述べる³¹⁾．PID 型のループフィルタを用いれば，外乱の感度を下げられる設計ができることを示した上で，積算 (I) 演算を実行するカウンタのカウント方向を工夫して差分 (D) 演算を同時に実行できる回路を提案し，最後に FPGA による実験結果を示す．

3.4.1 PID 制御による感度関数の改善

PLL モータ制御系の制御対象の伝達関数は，制御量が位相であるので，一次遅れのモータに積分器のエンコーダを含めた次式となる．

$$\frac{K_m}{s(1 + T_m s)} \quad (20)$$

ここで K_m はモータゲイン， T_m はモータの機械的時定数である．

次に PID コントローラの設計であるが，その伝達関数 $F(s)$ は次式のとおりである．

$$F(s) = K_P + \frac{K_I}{s} + sK_D = \frac{(\tau_2 s + 1)(\tau_3 s + 1)}{\tau_1 s} \quad (21)$$

図 30 に PI 型での設計例のようにモータの固有角周波数 $\omega_m = 1/T_m$ でゲインを 0dB とするボード線図を示す．

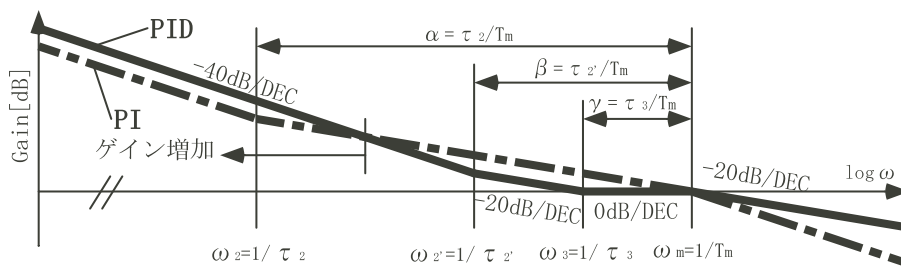


図 30 Gain shape design of PID-type PLL motor speed control

このとき，

$$\alpha > \beta + \gamma \quad (22)$$

とすれば，低周波数領域でゲインを増加することができる．ここで， α, β, γ は図 30 に示した周波数幅である．

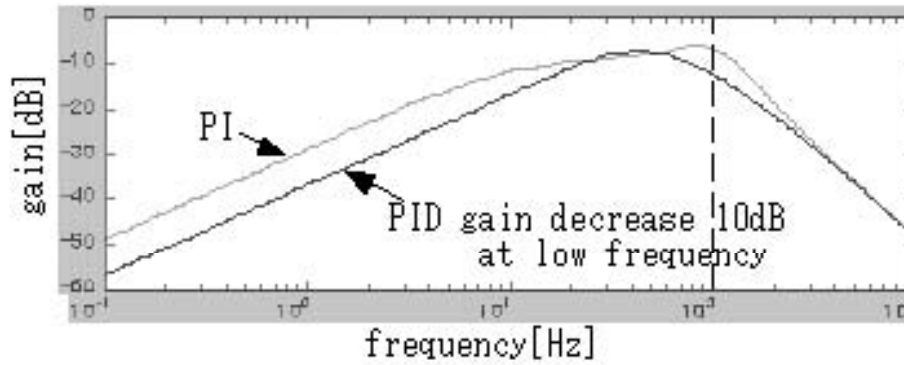


図 31 Sensitivity function of PID-type PLL motor speed control

図 31 に外乱に対する感度関数のボード線図を示す．低周波数領域で PI 型より PID 型のほうが感度が低下しており，外乱やノイズによる速度変動を抑えられる．

3.4.2 PWM 信号の差分

図 13 の PI 型のコントローラに，さらに差分 (D) を実現するには，図 32 に示すように，一周目目でアップカウントし，二周期目でダウンカウントして出力すればよい．しかし，これでは二周期毎にしか結果が得られないので，互いに逆方向にカウントする二組のカウンタ (cnt.1, cnt.2) を用意し，差を取り出すカウンタを 1 周期ごとに切り換える．

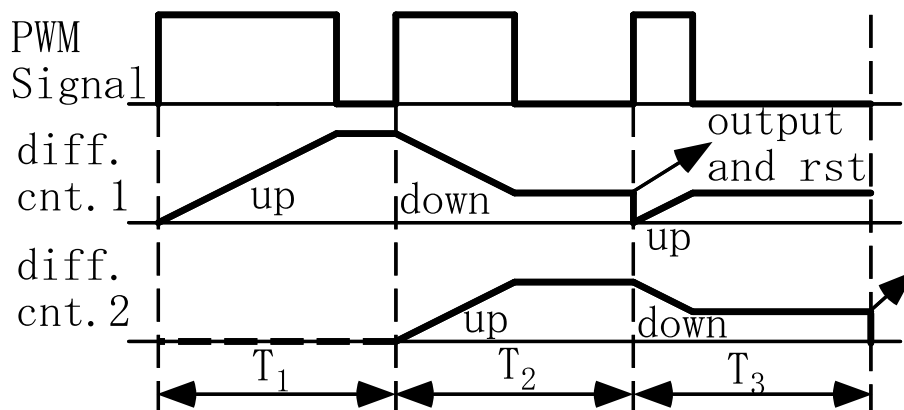


図 32 D-operation for the PWM signal

この毎周期，積算と差分を実現する回路を図 33 に示す．カウンタを 2 個用意し，入力側のマルチプレクサでカウント方向を切替え，出力側のマルチプレクサで，周期毎の出力の切り換えを行う．なお，それぞれの演算のタイミング(ゲ

イン)は外部クロック (clk_i, clk_d) で与えるが, ミスカウントあるいはオーバーフローを避けるためには, カウンタ長を上下に拡張する必要がある³¹⁾。

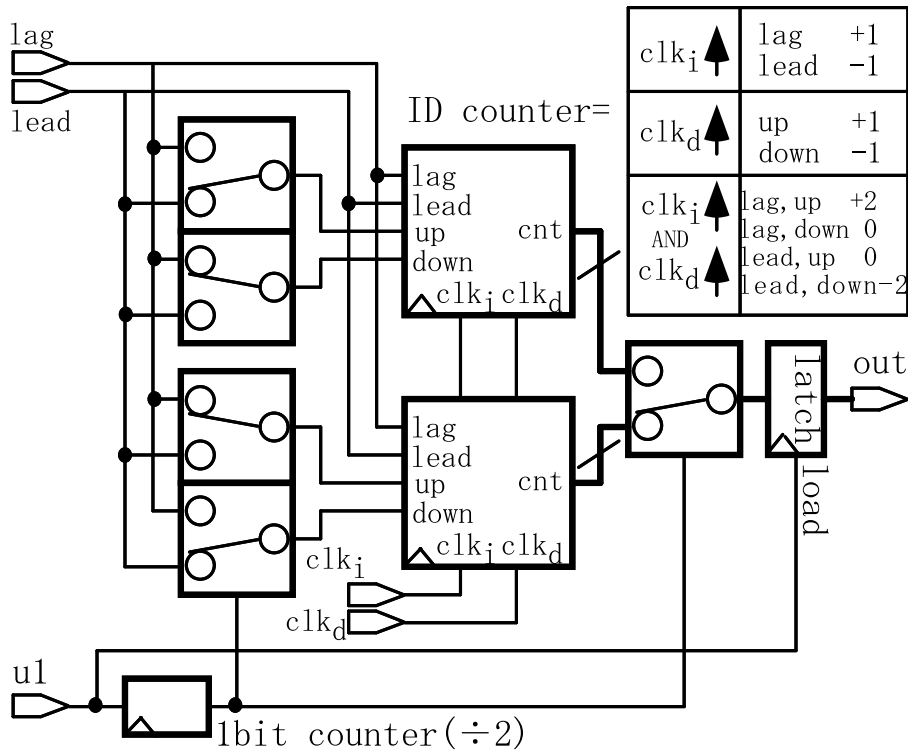


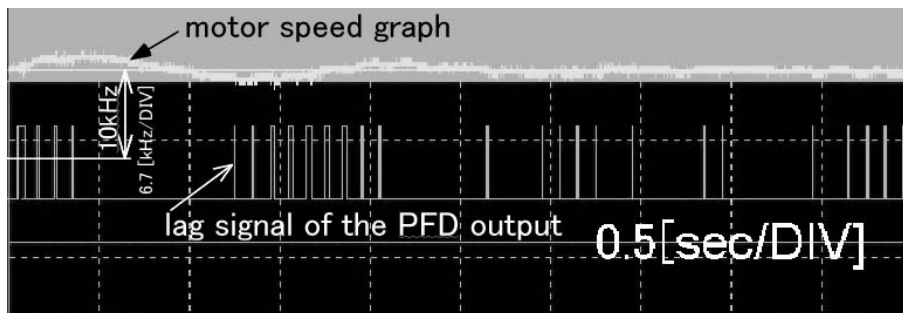
図 33 D-operation circuit for PWM signal

3.4.3 実験結果

図 33 を組み込んだコントローラを, 1 チップの FPGA に書き込んで実験した。まず, プログラマブルディバイダによって回転数を設定することで, 全速度設定可能範囲内でロックが達成できることを確認した。

図 7 には, 周波数ステップ入力に対する整定状況を, F/V コンバータによる速度は系で示す。差分 D による制動が得られている。図 7 中のパルス波形は位相遅れ信号 lag であり, 同期外れなく整定している様子が分かる。

また, エンコーダ周波数 10kHz(モータ回転数 1,200[rpm]) の低回転数時においては, 定常回転時の速度変動は PI 型の 7.4% から PID 型では 2.3% に約 3 分の 1 に改善できることを確認しており, コギング等の外乱に対する感度が低められたものと考えられる。



☒ 34 Speed step response (PID:f1=100Hz,f2=10kHz(1200rpm))

第 4 章 2重PLLモータ速度制御系

本章では、PLLモータ速度制御系で問題となる速度サーボの問題について論じる。すなわち、速度指令入力に対して、ステップ速度指令には高速に立ち上がることで、またランプ状の加速指令には定常位相偏差なしに追従することを目標とする。

たとえばヘッドの移動があるCDドライブなどのCLV (Constant Linear Velocity: 周速度一定) 制御⁹⁾においては、トラック間ジャンプのあるランダムアクセスではステップ速度指令となり、連続読み書きのシーケンシャルアクセスではランプ状の加速指令となる。もし加速指令入力に対して定常位相偏差が生じるならば、加速が継続すればいずれは位相同期が外れることを意味する。もし位相同期が外れれば、複雑で時間のかかる有害な引き込み振動が生じてしまう。

これを達成するためには、内部モデル原理から純粹積分要素を制御器であるループフィルタに増やすことがまず考えられるが、それでは安定性に問題があることが付録A.1.1のラウス=フルビッツの安定判別法により確認できる。

そこで、2自由度制御系の一環である「フィードフォワード制御」をPLLに適用した「2重ループPLL¹⁰⁾」を導入する。これは、衛星などの高速移動体とのPLL通信で問題になる、Doppler現象による周波数偏位に対応するものであり、周波数偏位はPLLモータ速度制御系では加減速に相当する。

2重ループPLLは、第一のループが第二のループのフィードフォワード要素となっており、高速追従できるだけでなく、両ループの制御対象であるVCO (Voltage Controlled Oscillator: 電圧制御発振器) のゲインが等しければ、位相偏差を完全に打ち消せ、同期外れをも防ぐことができる。

しかし、この方式を直接PLLサーボ系に適用するには、制御対象が第一ループはVCO、第二ループはモータと異なり、それらのゲインの完全な一致は望めないことが問題となる。そこで、第一ループにもループフィルタを設け、両ループの位相比較器の出力どおしを直接加算する構成を提案する。これにより、第一ループから加減速時に生じる位相偏差だけがフィードフォワードされるので、位相偏差が完全に打ち消されなくても位相同期範囲内であれば、第二ループでの補償は必要なく、高速追従性が確保できる。

以下では、PLL制御と2重ループPLLの原理を示した後、2重ループPLLをサーボに応用するための条件を明らかにする。次に、位相比較器の出力がPWM (Pulse Width Modulation) 信号であることに基づいた、小規模なデジタル実現法を提案する。従来のビットパラレル演算方式よりも10bit精度では約半分の規模に収まり、書き込み可能ICであるFPGAで実現した実験結果により、位相偏差の打ち消しと高速追従を達成できることを示す。

4.1 2重PLL

4.1.1 2重PLLの基本概念

2重PLLは、1967年に慶応大学の森らの研究グループが提案したのが始まりである。その参考文献³⁵⁾で横山らは、比例のみのLFで構成する場合、入力周波数とVCOの中心周波数の「離調率」が大きくなると、定常位相偏差が大きくなることに注目し、周波数一定の入力に対して、比例のみのLFで構成する1次のPLLに図35の二重PLLの構成を適用し、定常位相偏差を打ち消しながら、ジッタ抑制を目的として帯域の広いランダムウォークフィルタの適用や、アイドルジッタの減少を目的として分周比の大きいディバイダを可能にし、これらの改善を果たしている。

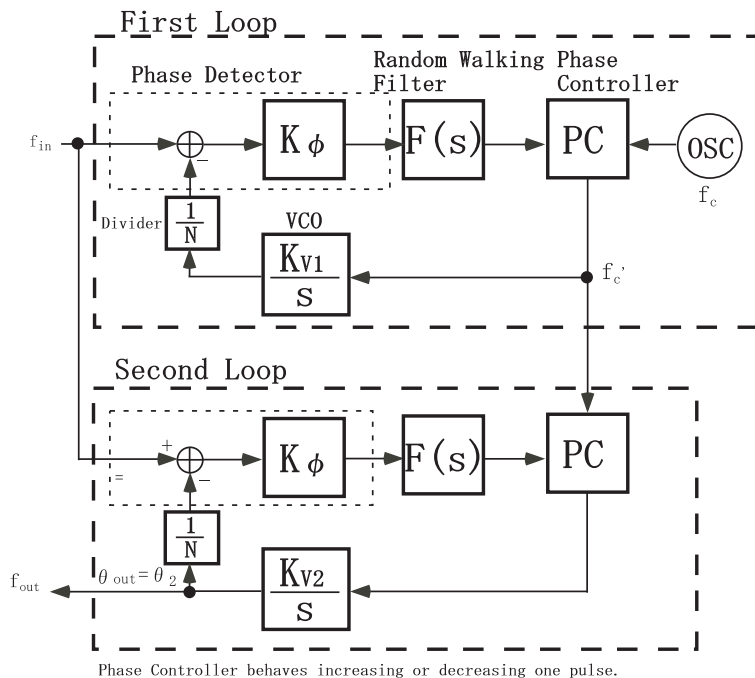


図 35 The original dual-loop PLL construction

栗田らは³⁶⁾、1次のPLLでは、定常位相偏差が生じ通信システムの性能に悪影響があることから2重PLLが提案され、第一ループが周波数同期を確立し、第二ループが位相同期すなわち定常位相偏差をゼロにすることを達成することを指摘している。従来、定常位相偏差を取り除くためには完全積分2次PLLが用いられているが、それではループが複雑になることによる過渡応答の悪化、積分器のドリフトの問題が残り、またこの場合VCOの飽和を考慮しなければその同期範囲(ロックレンジ)、引き込み範囲(プルインレンジ)は共に無限大になり有利ではあるが、低SN比の環境でPLLを用いる場合や妨害信号が存在する場合にはかえって不利としている。これに対して2重PLLはその伝達関数が完全

2次形とはなるものの，過渡応答は安定で積分器を含まないのでドリフトもなく，適当な同期範囲，引き込み範囲を持つ特徴がある．また，2重PLLをデジタル実現した場合，二つのVCOを実現するのに，内部発振器が一つで済むので，そのゲインが常に一致するというメリットもあるとしている．

中島らは³⁷⁾，PLLを通信におけるキャリア再生に用いる場合は，ステップ状の周波数オフセットをもつキャリアに対して定常位相誤差を抑圧して追従できる完全積分2次PLLが用いられることが多いとして，PI型のループフィルタを持つ場合について考察している．さらに，深宇宙探査衛星のように非常に高速で移動する物体との通信では，キャリアに生じるドップラシフトの影響を考慮に入れる必要があり，それにはランプ関数状に変動するものも含まれている．従って，その場合には完全積分3次PLLが必要であることを指摘している．

しかし，完全積分3次PLLはループゲインを小さくすると系が不安定になってしまうので，衛星通信のようにSN比が低く，ループゲインを小さく取らなければならない場合には使用できないとしている．

そこで，2重PLLの構成として，図36のように，第一ループに2次のPLL，第二ループに1次のPLLを用いる構成を提案しており，第一ループが2次PLLであることにより引き込み特性に関して大きな改善が得られ，第二ループで定常位相偏差をなくすることができるとしている．

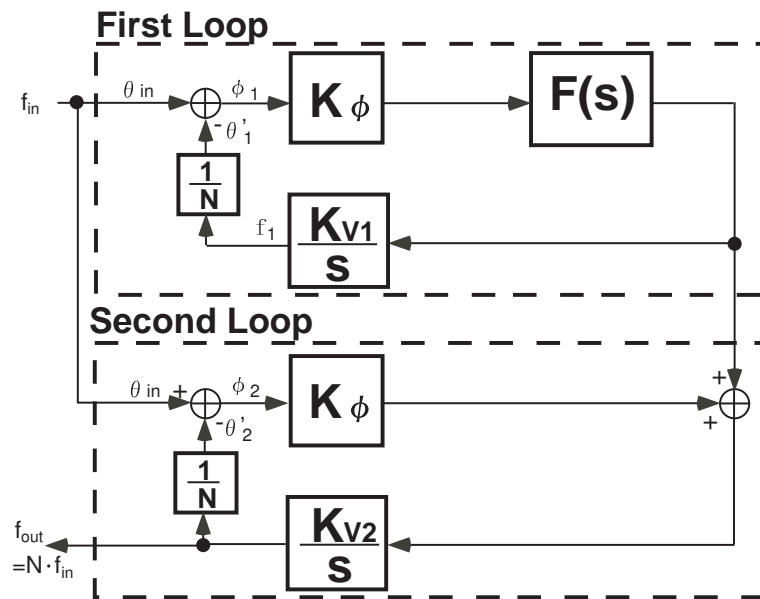


図 36 A dual-loop PLL construction of order three

鎌田らは¹⁰⁾，入力周波数がランプ状に変化する場合，完全積分3次PLLは定常位相偏差を無くすることができるが，衛星通信のようにSN比が低い場合にはループゲインを小さくしなければならず，その場合には根軌跡が右半平面に

入り不安定になってしまう。これに対し、2重PLLでは安定性の問題なしに定常位相偏差を無くせるが、中島らの第一ループを二次、第二ループを一次にする構成では、両ループのVCOゲインが厳密に一致していないと、ランプ状周波数変動に対して定常位相偏差が発散してしまうことを指摘している。これはVCOをデジタル実現した場合には、厳密に一致できるので避けられるが、高周波数帯での使用を前提とするアナログ構成の場合には避けられない。そこで、2重PLLの構成を、図37のように第一ループを一次、第二ループを二次とすれば、ランプ状周波数変動に対して定常位相偏差が発散しないことを明らかにし、両VCOのゲイン差が小さいほど、定常位相偏差を小さくできることを明らかにしている。

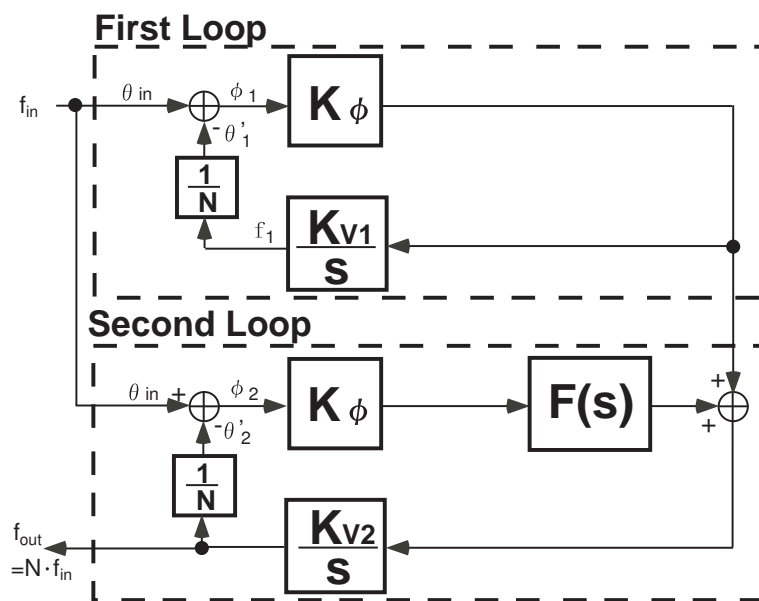


図 37 A dual-loop PLL construction of order three

4.1.2 2重PLLの定常位相偏差解析

図37の2重ループPLLは、第一のループはループフィルタを持たない単純な1次PLLである。第二のループは、ノイズを抑制するためのループフィルタを持つ2次以上のPLLであり、その第二PLLのVCO入力は第二PLLのループフィルタ出力と第一PLLの位相比較器出力を加算したものとなっている。全体の出力は第二PLLのVCO出力である。このような一種のフィードフォワード制御系の構成により、高速な応答を可能にしている上に、加速度入力に対しても第一PLLで発生した定常位相偏差で、第二PLLの定常位相偏差を打ち消すことができる。

まず第一 PLL の位相差 $\phi_1(s)$ は，その閉ループ構成から次式で与えられる．

$$\phi_1(s) = \theta_{in}(s) - \theta'_1(s) = \frac{1}{1 + \frac{K_\phi K_{V1}}{N s}} \theta_{in}(s) = \frac{s}{s + K_1} \theta_{in}(s) \quad (23)$$

ここで $K_1 = \frac{K_\phi K_{V1}}{N}$ である．

また第一 PLL の位相比較器への VCO 出力位相 $\theta_1(s)$ は次式で与えられる．

$$\theta'_1(s) = K_\phi \frac{K_{V1}}{N s} \phi_1(s) = \frac{K_1}{s + K_1} \theta_{in}(s) \quad (24)$$

次に第二 PLL の位相差 $\phi_2(s)$ は，

$$\phi_2(s) = \theta_{in}(s) - \theta'_2(s) \quad (25)$$

であり，両 PLL の並列加算により，第二 PLL の位相比較器への帰還位相 $\theta'_2(s)$ は式 (23) および (25) を代入すると次式となる．

$$\begin{aligned} \theta'_{out}(s) = \theta'_2(s) &= \frac{K_{V2}}{N s} [K_\phi F(s) \phi_2(s) + K_\phi \phi_1(s)] \\ &= \frac{K_2}{s} [F(s)(\theta_{in}(s) - \theta'_{out}(s)) + \frac{s}{s + K_1} \theta_{in}(s)] \end{aligned}$$

ただし $K_2 = \frac{K_{V2} K_\phi}{N}$ である．ここでループフィルタ $F(s)$ を式 (4) の PI 型とすると，入力 θ_{in} から第二 PLL の帰還位相 $\theta'_2(s)$ までの伝達関数 $H(s)$ は次式のように得られる．

$$H(s) = \frac{\theta'_2(s)}{\theta_{in}(s)} = \frac{\frac{K_2}{s+K_1} + \frac{K_2}{s} \frac{\tau_2 s + 1}{\tau_1 s}}{1 + \frac{K_2}{s} \frac{\tau_2 s + 1}{\tau_1 s}} = \frac{\tau_1 K_2 s^2 + K_2(\tau_2 s + 1)(s + K_1)}{\tau_1 s^2(s + K_1) + K_2(\tau_2 s + 1)(s + K_1)} \quad (26)$$

さて定常位相偏差は，最終値定理より次式で解析できる．なお式 (26) の 3 次の分母多項式の各係数から付録 A.1.2 に示すように，フルビッツの判定法によりこの制御系は安定であることが分かる．

$$\lim_{t \rightarrow \infty} \phi(t) = \lim_{s \rightarrow 0} s [1 - H(s)] \theta_{in}(s) = \lim_{s \rightarrow 0} s \frac{\tau_1 s^3 + \tau_1(K_1 - K_2)s^2}{\tau_1 s^2(s + K_1) + K_2(\tau_2 s + 1)(s + K_1)} \theta_{in}(s) \quad (27)$$

ここで，入力位相 $\theta_{in}(s)$ を位相ステップ $\Delta\theta$ ，周波数ステップ $\Delta\omega$ ，周波数ランプ R の成分を持つ式 (12) の信号とすると，位相ステップ $\Delta\theta$ ，周波数ステップ $\Delta\omega$ については定常位相偏差は 0 となり，周波数ランプ R については定常位相偏差は，

$$\lim_{t \rightarrow \infty} \phi(t) = \frac{\tau_1(K_1 - K_2)}{K_1 K_2} R = \frac{\tau_1 K_\phi (K_{V1} - K_{V2})}{N K_1 K_2} R = 0 \quad (28)$$

となり，自由に設定できる K_{V1} と K_{V2} によって， $K_{V1} = K_{V2}$ が満たされれば，周波数ランプ R についても定常位相偏差を 0 にできることが分かる．

4.2 位相差加算によるモータ速度制御系への適用

PLL モータ制御系は基本的に、目標値が一定のレギュレータとして用いられるが、サーボ、つまり加減速が生じる状況、たとえばヘッドの移動がある CD ドライブなどの CLV (Constant Linear Velocity: 周速度一定) 制御⁹⁾ 等では、応答の遅さが問題となり、位相同期が外れると有害な引き込み振動が生じる。

しかし、高速追従性を得るために、通信系の 2 重ループ PLL を、PLL サーボ系に適用するには、制御対象が第一ループは VCO、第二ループはモータと異なり、それらのゲインの完全な一致は望めないことが問題となる。

4.2.1 ループフィルタのフィードバックパスへの移行と位相差直接加算

そこでここでは、第一ループにもループフィルタを設け、両ループの位相比較器の出力どおしを直接加算する構成を提案する。これにより、第一ループから加減速時に生じる位相偏差だけがフィードフォワードされるので、位相偏差を完全に打ち消せなくても位相同期範囲内であれば、第二ループでの補償は必要なく、高速追従性が確保できる^{38), 39)}。

この変形を施したブロック線図を図 38 に示す。

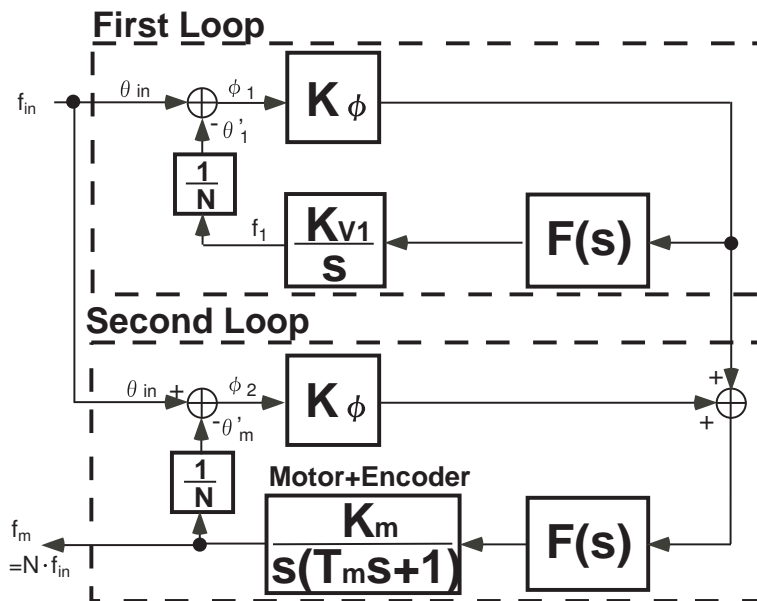


図 38 Proposed dual loop PLL motor speed control system

4.2.2 定常位相偏差解析

次に第一 PLL のフィードバックパスにも LF を挿入すると、周波数ランプ入力に対する第二 PLL の定常位相偏差を 0 とできることを確認する。まず第一 PLL

の位相差 $\phi_1(s)$ は，LF の伝達関数 $F(s)$ を式 (4) の PI 型とすると，その閉ループ構成から次式で与えられる．

$$\phi_1(s) = \theta_{in}(s) - \theta'_1(s) = \frac{1}{1 + \frac{K_\phi K_V (\tau_2 s + 1)}{N \tau_1 s^2}} \theta_{in}(s) = \frac{s^2}{s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1)} \theta_{in}(s) \quad (29)$$

ここで $K_1 = \frac{K_\phi K_V 1}{N}$ である．また第一 PLL の出力位相 $\theta_1(s)$ は次式で与えられる．

$$\theta'_1(s) = \theta_{in}(s) - \phi_1(s) = \frac{\frac{K_1}{\tau_1} (\tau_2 s + 1)}{s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1)} \theta_{in}(s) \quad (30)$$

次に，第二 PLL の位相差 $\phi_m(s)$ は，

$$\phi_m(s) = \theta_{in}(s) - \theta'_m(s) \quad (31)$$

であり，両 PLL のループ加算により，第二 PLL の PD への帰還位相 $\theta'_m(s)$ は式 (29) および (31) を代入すると次式となる．

$$\begin{aligned} \theta'_m(s) &= \frac{K_m}{N s (T_m s + 1)} [K_\phi F(s) \phi_m(s) + K_\phi F(s) \phi_1(s)] \\ &= \frac{K_2}{s (T_m s + 1)} F(s) [(\theta_{in}(s) - \theta'_m(s)) + \frac{s^2}{s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1)} \theta_{in}(s)] \end{aligned}$$

ただし $K_2 = \frac{K_\phi K_m}{N}$ である．ここで LF の伝達関数 $F(s)$ を式 (4) の PI 型とすると，入力 θ_{in} から第二 PLL の帰還位相 $\theta'_m(s)$ までの伝達関数 $H(s)$ は次式で与えられる．

$$\begin{aligned} H(s) = \frac{\theta'_m(s)}{\theta_{in}(s)} &= \frac{\frac{K_2}{s(T_m s + 1)} \frac{\tau_2 s + 1}{\tau_1 s} \frac{s^2}{s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1)} + \frac{K_2}{s(T_m s + 1)} \frac{\tau_2 s + 1}{\tau_1 s}}{1 + \frac{K_2}{s(T_m s + 1)} \frac{\tau_2 s + 1}{\tau_1 s}} \\ &= \frac{K_2 s^2 (\tau_2 s + 1) + K_2 (\tau_2 s + 1) [s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1)]}{\tau_1 s^2 (T_m s + 1) [s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1)] + K_2 (\tau_2 s + 1) [s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1)]} \quad (32) \end{aligned}$$

これらから，定常位相偏差は最終値定理により次式で解析できる．

$$\begin{aligned} \lim_{t \rightarrow \infty} \phi(t) &= \lim_{s \rightarrow 0} s [1 - H(s)] \theta_{in}(s) \quad (33) \\ &= \lim_{s \rightarrow 0} s \frac{\tau_1 T_m s^5 + (T_m K_1 \tau_2 + \tau_1) s^4 + (T_m K_1 + K_1 \tau_2 - \tau_2 K_2) s^3 + (K_1 - K_2) s^2}{\tau_1 s^2 (T_m s + 1) [s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1)] + K_2 (\tau_2 s + 1) [s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1)]} \theta_{in}(s) \end{aligned}$$

ここで，入力位相 $\theta_{in}(s)$ を式 (12) とすると，ランブ変化する入力周波数すなわち加減速入力 R に対しても，第一 PLL の VCO ゲインと第二 PLL のモータゲインが等しい ($K_{V1} = K_m$) ならば，次式に示すように定常位相偏差を 0 とすることができる．

$$\lim_{t \rightarrow \infty} \phi(t) = \frac{K_1 - K_2}{\frac{K_1 K_2}{\tau_1}} R = \frac{N \tau_1 (K_{V1} - K_m)}{K_\phi K_{V1} K_m} R = 0 \quad (34)$$

4.2.3 特性設計と安定性解析

図 38 にはループが 2 つあるが，第一は第二に対してフィードフォワードだから，安定でさえあれば全体の動特性は，時定数の大きいモータを含む第二が支配的である．そこで，最初に第二ループを設計する．まず，PLL モータ速度制御系の一巡伝達関数 $G_O(s)$ は次式となる．

$$G_O(s) = K \frac{\tau_2 s + 1}{\tau_1 s^2 (T_m s + 1)} \quad (35)$$

ただし， $K = \frac{K_\phi K_m}{N}$ である．

式 (35) より，この制御系は付録 A.1.1 のラウス＝フルビッツの安定判別法から $\tau_2 > T_m$ であれば安定であることが分かる．そこで，次式を定義する．

$$\tau_2 = \alpha T_m \quad \alpha > 0 \quad (36)$$

さて，むやみに帯域を広げてもモータが応答できず，位相ノイズも抑制できないので，モータのコーナー周波数 $\omega_m = \frac{1}{T_m}$ でゲインを 0dB とすればフィルタ時定数 τ_1 は，

$$\tau_1 = \frac{T_m^2 K_\phi K_m}{2N} \sqrt{2(\alpha^2 + 1)} \quad (37)$$

と設計できる．ここで，位相比較器ゲイン K_ϕ ，モータゲイン K_m ，およびモータ時定数 T_m は設計仕様で与えられるので，設計者が位相戻り幅 α を決定すれば， τ_1 は式 (37) から， τ_2 は式 (36) から直ちに計算可能である．

以上は，第二ループの特性設計であり，その後，第一ループは， $F(s)$ は第二と同じ， K_{V1} は K_m と同じでよい．

4.2.4 MATLAB シミュレーション

MATLAB でのシミュレーションにより、加速度入力における二重ループの効果を確認した結果を図 39 および図 40 に示す。ただし、シミュレーションパラメータは、制御対象を澤村電気製の DC ブラシ付きモータ SS32GS(定格 DC12V,3,000[rpm]) として、前節の手順により設計した。

破線が入力で、縦軸は正規化した位相 [rad] のため、2 次曲線が一定加速度に相当し、0.5 秒ほど正の加速度が続き、その後負になる状況である。実線が出力で、単ループの図 39 では入力との間に、過渡応答が収束した後も差があり、二重ループの図 40 では大幅に改善されることが分かる。

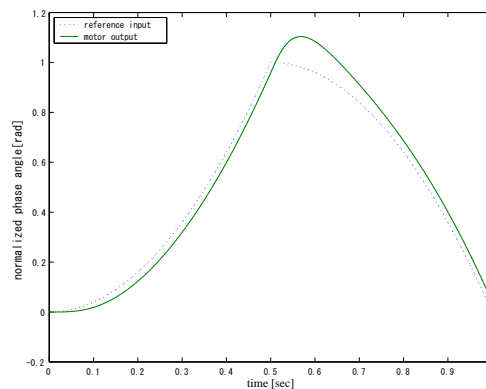


図 39 Responses by MATLAB simulation of the single PLL motor speed control system

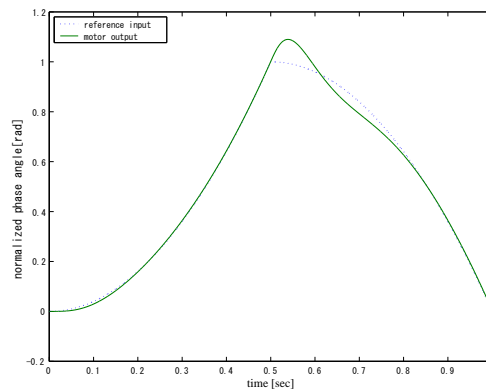


図 40 Responses by MATLAB simulation of the dual PLL motor speed control system

また，図 41 に，第 1 行が位相ステップ (周波数インパルス)，第 2 行が位相ランプ (周波数ステップ，すなわち一定速)，および第 3 行が位相 2 乗 (周波数ランプ，すなわち加減速) の入力に対する過渡応答の MATLAB シミュレーションを示す．第 1 行の位相ステップ入力 (実際には入力として存在しない) および第 2 行の位相ランプ入力では，どの場合も，一定速入力に対して定常位相偏差を 0 とできることが確認される．

ここで注目すべきは，2 重ループ PLL モータ制御系のみ，第 3 行の位相 2 乗入力に対して理論的に定常偏差を 0 とすることができることである．しかし，実際にはパラメータ K_m にモデル化誤差があると，定常偏差が生じるため，パラメータ同定などにより正確なパラメータを求める必要がある．

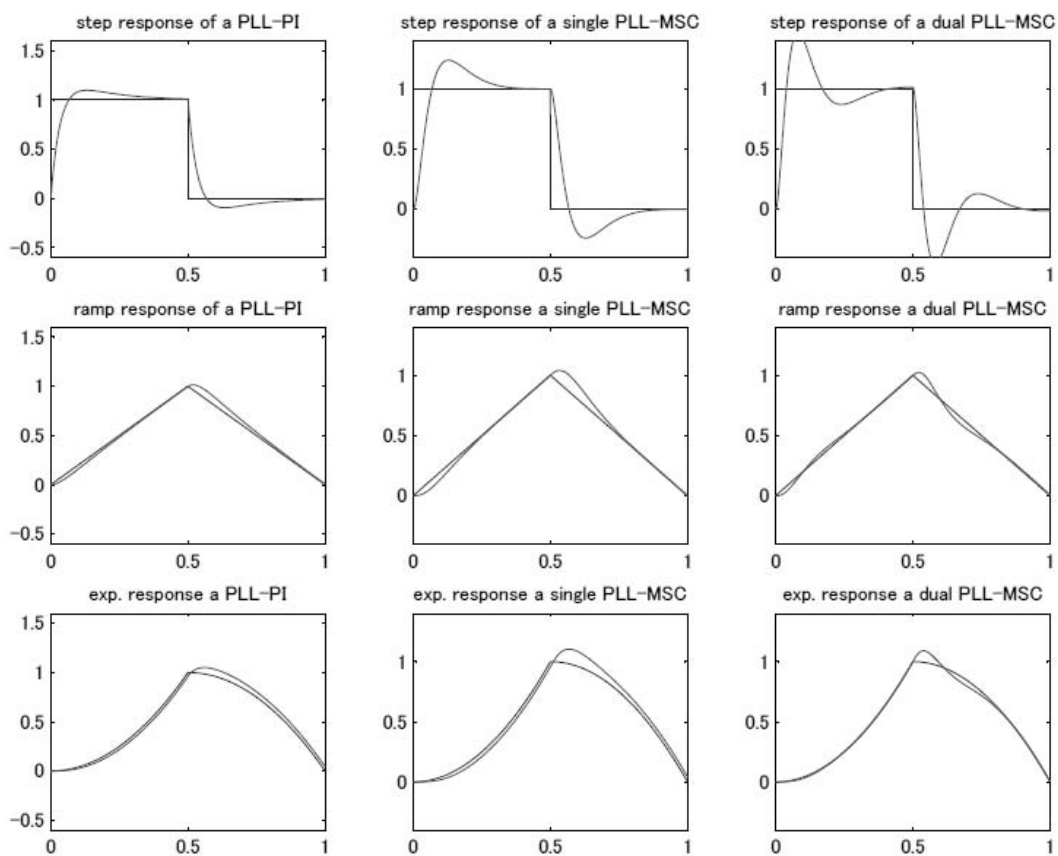


図 41 Step, ramp and square response of various PLL

4.3 PWM 信号演算に基づくデジタル実現

図 38 に、全体をデジタル回路で実現できる PWM 信号演算 ? に基づく 2 重ループ PLL/PWM モータ制御系の回路構成を示す。

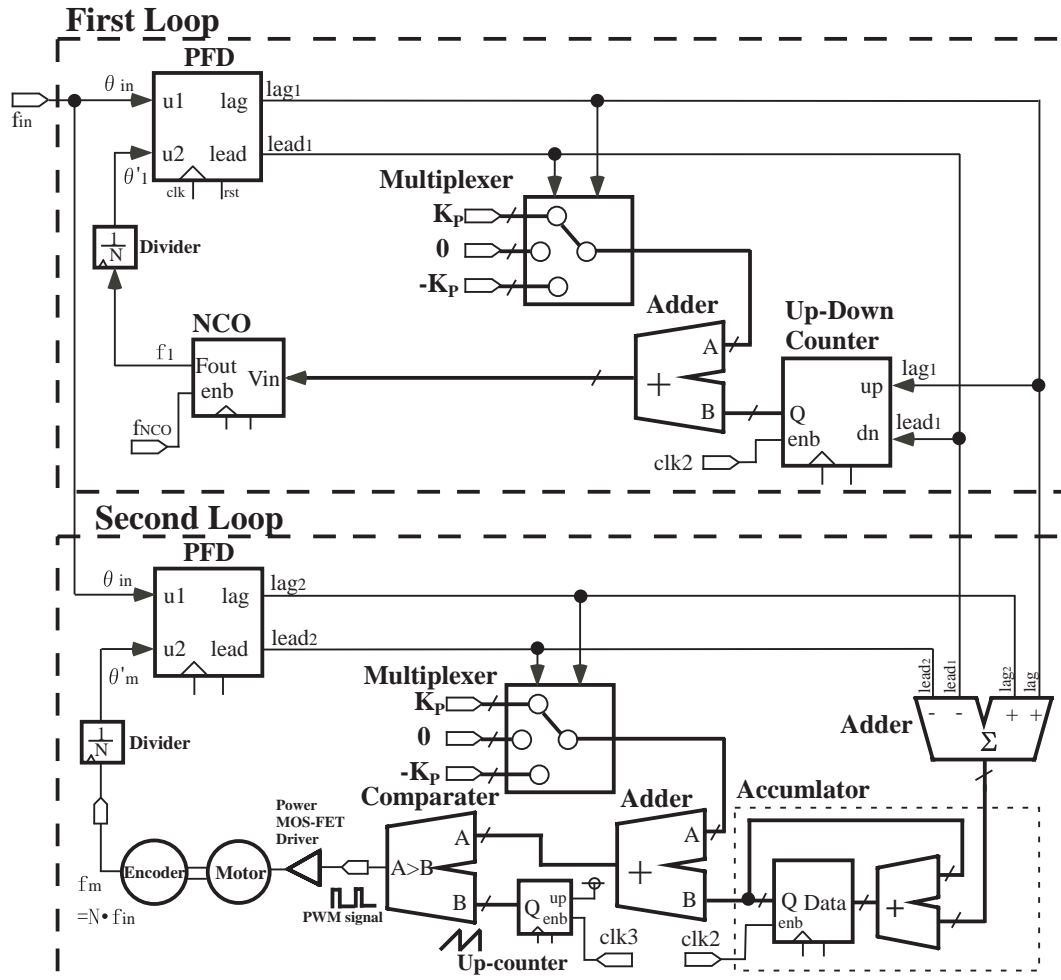


図 42 Dual loop PLL/PWM motor speed control system

ただし、第一ループの VCO はデジタル実現のため、それに相当する NCO(Numerical Controlled Oscillator) で構築されている。また、第二ループのモータは、アップカウンタとコンパレータによる PWM 変調器を置いて電力効率よく駆動するようにしている。

4.3.1 位相差の直接加算

ループ加算器は，第一，第二両ループの PFD 出力 lag, lead の PWM 信号を単純に加算するものである．図 43 のように出力は 3 ビット (MSB は符号を意味する) のビットパラレル値であり，これが第二 PLL の LF に入力される．

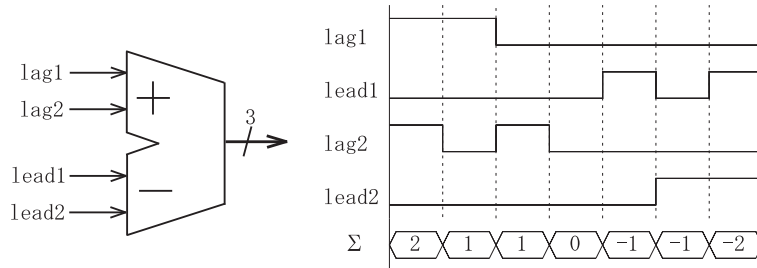
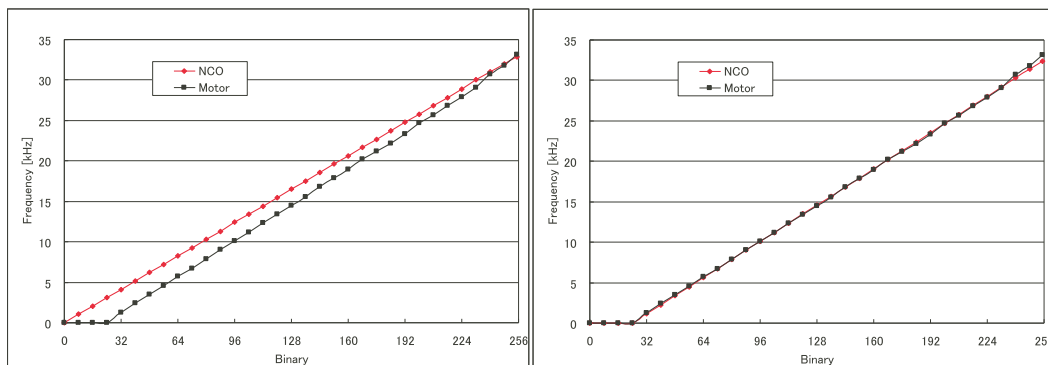


図 43 Loop adder

4.3.2 NCO 設計

図 42 の 2 重ループ PLL/PWM モータ速度制御系において，第一 PLL の VCO は完全にデジタル実現されるので，ビットパラレル値を入力とする NCO に置き換える．この NCO は，第二 PLL のモータ+エンコーダと同じ入出力特性である必要がある．

NCO は，ビットパラレル入力のアキュムレータ (累算器) の MSB (最上位ビット) を出力とすればよい．このアキュムレータのカウントイネーブル周波数は最高出力周波数から計算可能であり，これによりモータ+エンコーダの周波数出力特性と一致させることが可能である．ただし，図 44(a) のようにモータには不感帯があるため，アキュムレータの周波数出力特性と差が生じる．そこで，図 44(b) では，モータ+エンコーダの特性と一致するように，NCO に適切な不感帯を持たせている．



(a) no offset

(b) offset addition

図 44 Frequency output of NCO and Motor(Encoder)

4.4 実験結果

4.4.1 FPGA による実現

図 13 および図 42 の回路を 1 チップの FPGA に書き込んで実験を行った．表 2 に，ALTERA 社の FPGA(CycloneII:EP2C8T144C8N) の仕様を示す．この FPGA は比較的小規模であるにもかかわらず，わずか 1.9% のロジックエレメント (LE) しか消費していない．また 2 重 PLL としても 3.2% でしかない．これは PWM 信号演算が大変単純であるためで，100MHz 以上で動作させることが可能である．VHDL プログラムも 450 行と短く見通しが良い．

表 2 Circuit performance of PLL motor speed controllers by ALTERA CycloneII (EP2C8T144C8N, total LEs=8,256)

	LEs	LE consumption	Fmax	VHDL lines
single	155	1.9%	156MHz	289
dual	263	3.2%	131MHz	450

静特性 制御対象を澤村電気製の DC ブラシ付きモータ SS32GS(定格 DC12V,3,000[rpm]) として比例 K_P および積分 K_I のゲインを設計し，実験を行った．まず図 45 に示すように，式 (19) の K_P ゲインの電圧以上に対応する回転速度については，プログラマブルディバイダあるいは入力周波数によって設定可能であることを確認した．

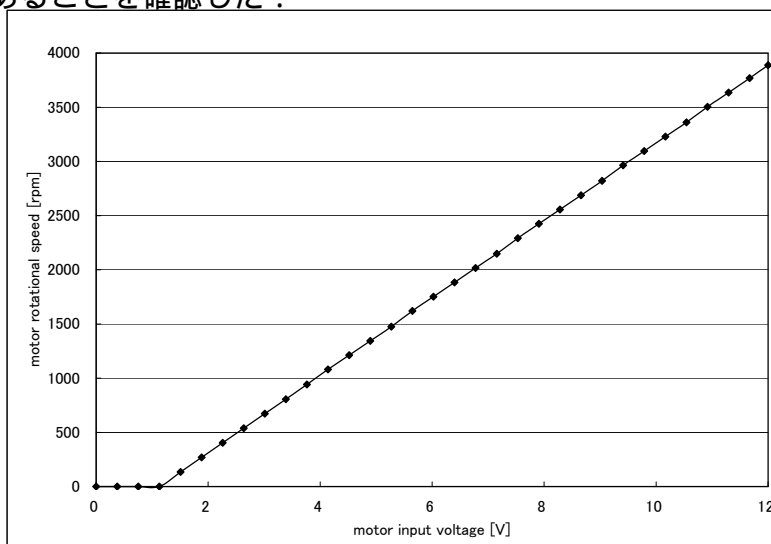


図 45 Static response of the dual-loop PLL motor speed control system

4.4.2 ステップ速度入力に対する速度応答特性

(1) PLL モータ速度制御系

モータ回転数すなわち速度応答特性はループフィルタ出力 u_{fm} から計測できる。ステップ速度入力に対する速度応答特性は、従来の単ループ PLL モータ速度制御系の場合、積分ゲイン K_I が小さいように、すなわち緩やかな加速を行うように設計しても図 46 のように大きな過渡振動が生じてしまっている。さらに図 47 のように積分ゲイン K_I を大きくするとハンチングを生じてしまう。

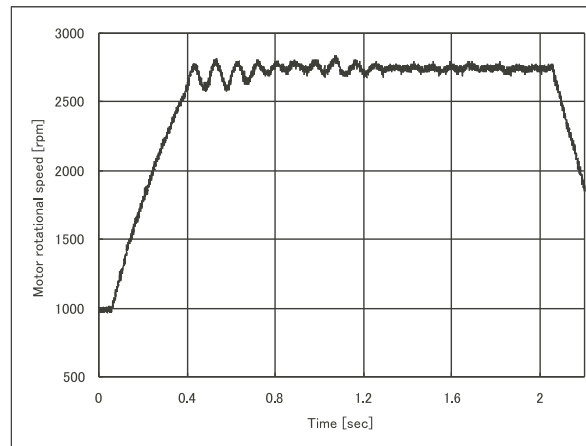


図 46 Speed step response of single loop PLL motor speed control system (low K_I gain)

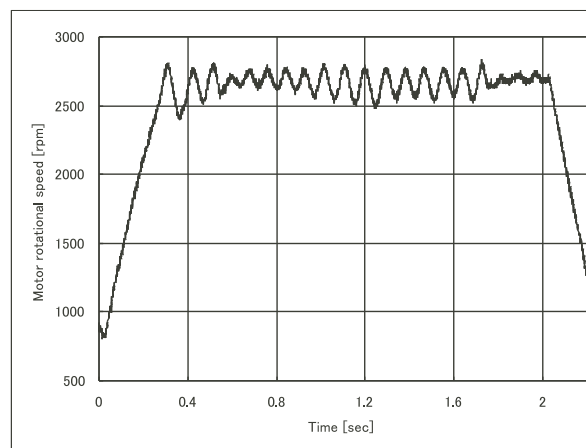


図 47 Speed step response of single loop PLL motor speed control system (high K_I gain)

(2) 2重ループPLLモータ速度制御系

これに対して、2重ループPLLモータ速度制御系では、図48の積分ゲイン K_I が小さい場合は、単一ループよりも高速に立ち上がるだけでなく過渡振動も生じない。ここで、第一PLL(u_{f1})よりも第二PLL(u_{fm})の方が立ち上がり早いのは、ループ加算により第一PLLが第二PLLを加速しているからである。

しかし、図49のように両PLLの積分ゲイン K_I を大きくしすぎると、過渡振動が生じる。これは第二PLLは3次のモータ速度制御系であり、位相余裕が小さくなると過渡振動は避けられないからである。なお、第一PLLはモータによる位相遅れが無いので、オーバーシュートのない2次系の素直な速度応答特性となっている。

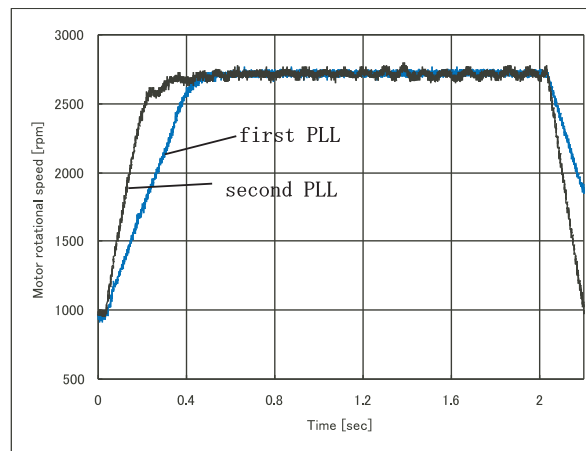


図 48 Speed step response of dual loop PLL motor speed control system (low K_I gain)

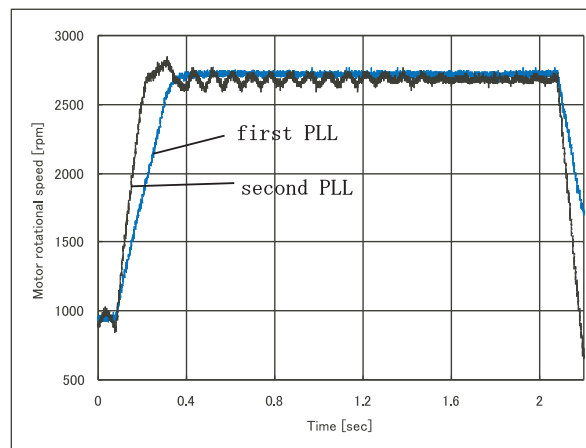


図 49 Speed step response of dual loop PLL motor speed control system (high K_I gain)

4.4.3 加減速入力に対する過渡応答特性

図50のオシロスコープ観測画面を見ると、従来の単一ループでは、加減速入力に対して一定の位相偏差を持って追従していたのが、2重ループでは、基準入力信号(図50の1段目)に対し、第一PLL(図50の2段目)では偏差が生じるが、第二PLL(図50の3段目)では第一PLLにより位相偏差が打ち消され、偏差がほぼ0で追従できていることが確認できた。

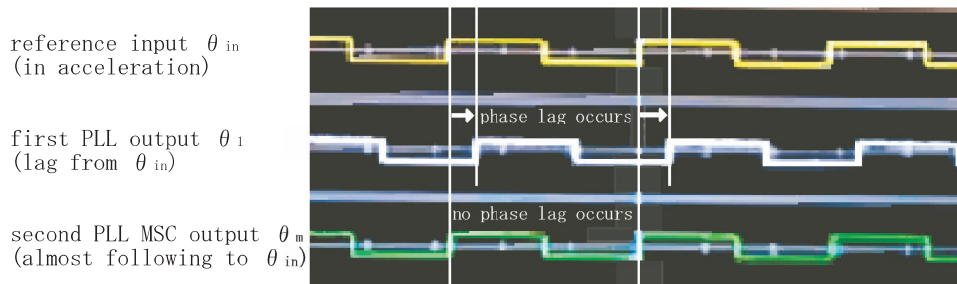


図 50 Input-output waveforms (in acceleration)

次に加減速入力に対する速度応答特性を示す。図51の従来の単一ループの場合は過渡振動が大きく、かつ図50に示すように加速中は位相偏差が生じている。単一ループの場合は、加減速入力に対しては位相偏差を生じ、位相同期外れが起こりやすく、位相スリップによる振動が発生したものと考えられる。

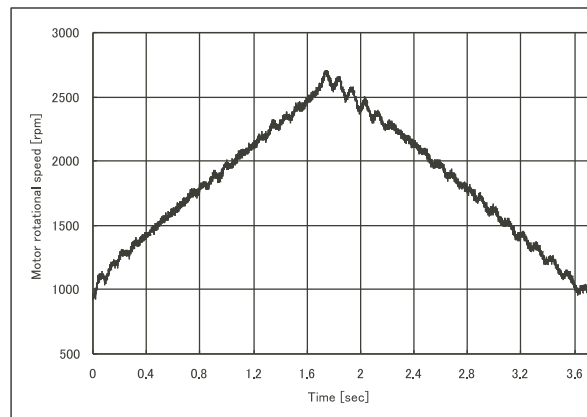


図 51 Accelerated speed response of single loop PLL motor speed control system

これに対して図 52 の 2 重ループの場合で，従来の単一ループの場合よりも過渡振動が少なくなっている．これは，加速中の位相偏差が打ち消され，位相同期外れが抑止されているからであると考えられる．ただし，加速から減速に不連続に切り替わる際にはオーバーシュートと過渡振動が生じている．

そこで，ここで提案している 2 重 PLL モータ速度制御系の第一ループの構造が，第二ループからモータとエンコーダを取り去ったものであることに着目する．そして，第二ループの位相同期が得られない間は，第一ループの NCO 操作量を直接モータにフィードフォワードする「2 重 PLL とフィードフォワードの切替モータ速度制御系」を付録 A.3 に示す．この手法は不連続な速度入力によるオーバーシュート対策に有効であることが実験により確認されている．

また付録 A.4 に，滑らかな加速と減速に対して位相同期外れが起こらないことを視覚的に確認するために作成した，電子カム実験装置を示す．

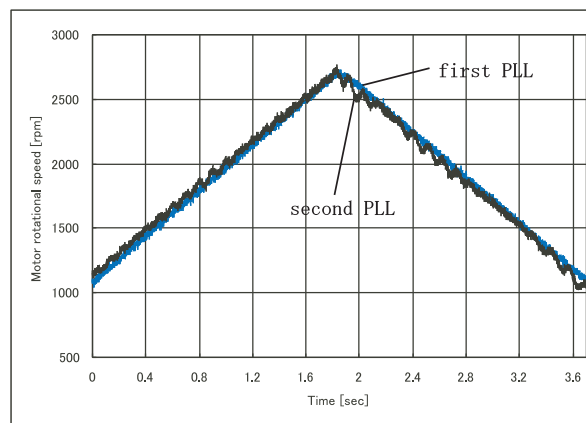


図 52 Accelerated speed response of dual loop PLL motor speed control system

第 5 章 PLL と D 繰返しによる高精度回転速度制御

PLL (Phase-Locked Loop: 位相同期系)⁴⁾ は、入力信号の「位相」に同期することにより、入出力「周波数」が偏差なく一致する制御系である。PLL を応用したモータ速度制御系⁵⁾ は、参照入力を水晶発振器で生成すると「クォーツロック」と呼ばれる高精度の速度制御が実現でき、最近も活発に研究されている^{6), 7)}。

しかしながら「クォーツロック」とは「位相」がどの時点でもロック範囲にあることを言うマクロな捉え方である。ミクロな視点からは、ロック範囲内で振動を生じている。このような回転ムラを低減させる数多く研究されている^{11), 12)}。回転ムラの原因の一つは、モータのロータとステータの有限個の磁極が離散時間的にすれ違う時に生じる吸引反発によるゆらぎ、すなわち「コギング」がある。これを避けるためには、磁極を斜めに配置する「スキュー」など様々な構造的工夫が施されているが、完全な除去は困難である。

高度の回転ムラ性能を要求するならば、外から何らかの方法を加えて打ち消すことが必要である。構造的工夫には限界があり、ロータ系の偏心、軸のガタ、電機子におけるコギングなどを全く無くすることはできない。しかし、閉ループ制御系を構成するにも問題がある。ムラの周期は一般にモータの時定数よりも小さく、通常的手法では除去効果が薄い。すなわち、制御という手法でムラを軽減するためには、何らかのアドバンス制御に頼らなければならない。

一方で、たとえば DC モータの場合は、界磁の不均一性や電機子の構造が原因となり、ロータ 1 回転で繰返すトルク変動が支配的になりコギングは回転毎の揺らぎであるので、その繰返し周期はロータリエンコーダで正確に知ることができる。このような周期的な外乱を選択的に低減する制御法としては「繰返し制御」¹⁴⁾ が有効である。しかしながら、これまで PLL モータ速度制御系に直接に繰返し制御を適用した例はない^{15), 16)}。これは、従来の PLL モータ速度制御系の構成では、繰返し制御の安定条件を満たすのは困難であるためである。

この論文では、新しく P+D 型の繰返し制御器を PLL モータ速度制御系に適用することを提案する。すなわち、繰返し制御の複素平面上的不安定領域である左半平面の単位円内にベクトル軌跡が入り込まないように、P 型の PLL と、D 型の繰返し制御を組み合わせる。これは、従来の PLL モータ速度制御系は PI 型であるのが一般的であるが、定常位相偏差を零にすることよりも、位相ロックを保ったまま回転ムラを低減するためには、P 型の方が有利であることと、繰返し制御を変動成分に施せるように D 型とする視点に基づいている。

本制御系のデジタル実現は非常に容易であり、模擬的に設定した大きな回転ムラを効果的に低減する例を示す。

5.1 回転ムラとその性質

4章の2重PLLモータ速度制御系では、指令速度(入力周波数)に加速度成分が存在する場合に、位相ロック外れを防止するために、フィードフォワードの制御構造を導入した。位相ロック外れが生じると、再び位相ロックが復元されるまでに、複雑な振動を伴うプルイン振動が発生してしまうからである。位相ロック外れを生じないことは、PLLのマクロな定速性と言える。

しかし、PLLでは位相ロック外れが生じなくても、すなわち位相ロック範囲内でも、微小な振動が生じる可能性がある。その原因としては、第一にノイズが考えられる。例えばLFでの演算丸め誤差などであり、その場合は量子化分解能を上げれば抑制される。ノイズによる振動は一般に「(位相)ジッタ」と呼ばれる。

第二の原因には外乱が考えられる。これは例えば、制御対象の回転系のアンバランスに起因し、一般に「回転ムラ」と呼ばれる。すなわち、モータ制御系には、さらにオーディオ・ビデオ機器や電算機の磁気ディスク装置、精密工作機械などの精密回転器では、これらに加えて、一回転中のマイクロな速度変動、つまり回転ムラが小さいことが望ましい。

回転ムラの軽減法として、従来は、加工・組立の高精度化、発生トルクの均一化など、機構的な改善手法が主に用いられてきた。しかし、この方法には限界がある他、個々のモータで異なる微小なガタなどの影響を無くすことは難しい。

5.1.1 コギング

このような速度変動すなわち「回転ムラ」の原因の一つは、電気モータの場合、電機子における「コギング」であり、磁気ディスク装置などの精密回転機では大きな問題となる。

例えば、図53に示すように、最近のACサーボモータでは、回転子には希土類磁石が斜め方向(スキュー)に配置され、また固定子にはスロットと呼ばれる多数の溝にコイルが巻かれていて、磁極の吸引反発に起因するコギングの影響を抑える工夫がなされている。

5.1.2 疑似アンバランス負荷

モータの内部構造に起因するコギングの他にも、回転系のアンバランスにより回転ムラが発生する。例えば、図54に示すように、偏心負荷を装着すれば重力により回転ムラが生じる。すなわち、モータが手前から見て時計方向に回転するとして、重力は下向きなので、負荷が右側にあれば回転は加速され、左側にあれば逆に減速されて、1回転中に速度変動が起きる。



図 53 Internal motor construction

この場合、オシロスコープの輝線を蓄積して観測すると、図 55 に示すように「ミクロな回転ムラ」によりエンコーダ出力の立ち上がりと立ち下りの縦線が速度変動により太く観測されることになる。なお、横線が太いのは蓄積されたノイズである。



図 54 Eccentric bar attached to motor axis

5.2 繰返し制御の構成と安定性

コギングは、回転に同期した揺らぎで周期性をもつので、周期的な目標値または外乱に効果的な「繰返し制御」¹⁴⁾ が有効であると考えられる。

5.2.1 基本構成と原理

図 56 に示す繰返し制御系は、外乱の軽減について言えば、その周期が一定の L であれば、一周期前の制御偏差を長さ L の無駄時間により正帰還して次の操作量を決める「繰返し制御器」によって、打ち消す波形を生成することを基本

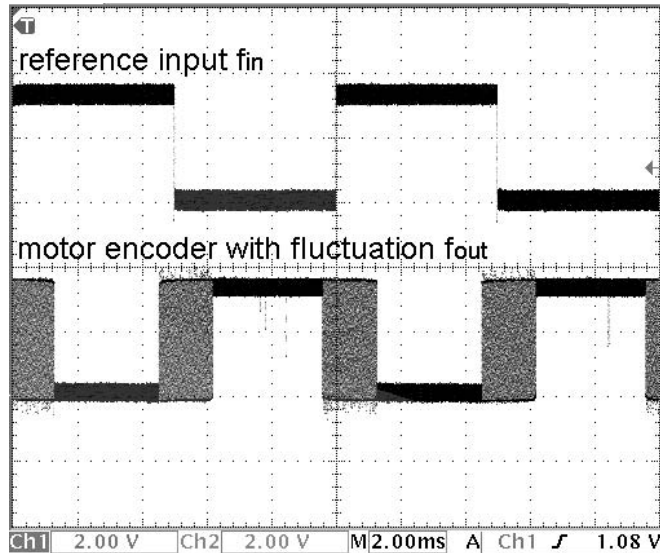


図 55 Phase lock with fluctuation

原理としている．すなわち，繰返し制御とは内部モデル原理を周期信号に拡張したもので，外乱の周期 L だけに基づいて任意の外乱を除去できる特徴を持つ．

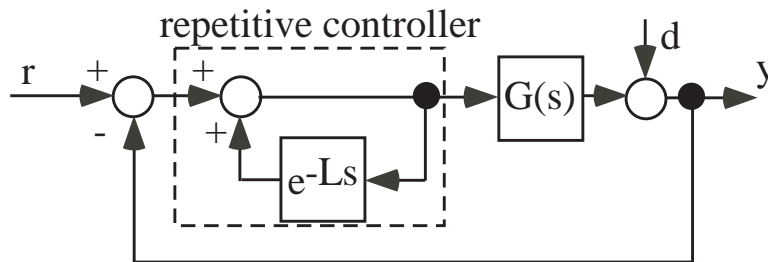


図 56 Basic repetitive control system

繰返し制御器の伝達関数は $R(s) = \frac{1}{1-e^{-Ls}}$ であるが， $s = j\omega = j2\pi f$ とおくと振幅周波数特性は次式で表される：

$$|R(f)| = \frac{1}{\sqrt{2(1 - \cos(2\pi fL))}} \quad (38)$$

図 57 に，無駄時間の長さ L を 1[sec] とした場合の振幅周波数特性を示す．無限大のピークが回転速度 1[Hz] の整数倍に現れ，高調波を含む繰返し外乱を選択的に除去できることが分かる．逆に周期 L が正確に与えられる必要がある．

また，繰返し制御器の位相周波数特性は次式で表される：

$$\angle R(f) = \tan^{-1} \frac{\sin(2\pi fL)}{1 + \cos(2\pi fL)} \quad (39)$$

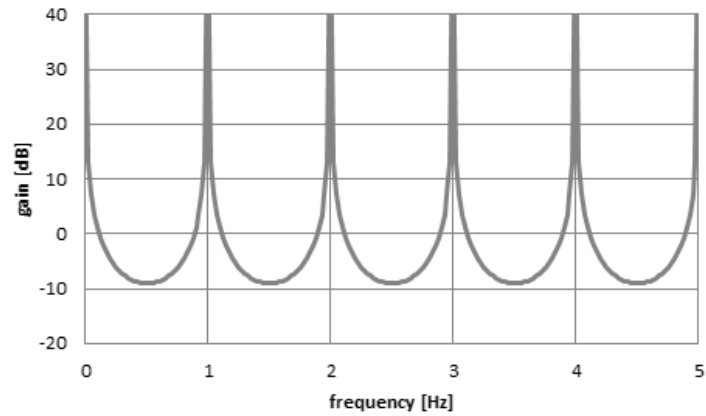


図 57 Amplitude response of the repetitive controller

図 58 に、位相周波数特性を示す。その最大値は+90 度であり、周波数 ∞ ま
で位相-90 度、ゲイン ∞ を繰り返す。これは、制御対象の位相が 90 度以上回転す
る周波数域になれば必ず不安定性が現れることを意味する。

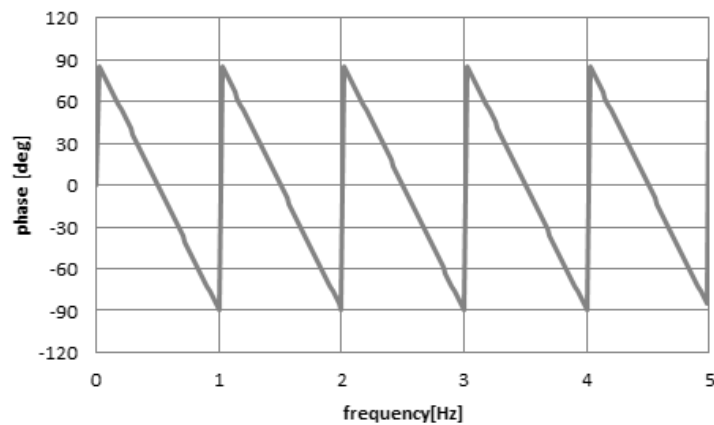


図 58 Phase respnsne of the repetitive controller

5.2.2 繰返し制御系の安定条件

繰返し制御の安定性の十分条件は「スモールゲイン」定理から導かれる。まず、図 56 を図 59 の左側に示すように無駄時間 e^{-Ls} とそれ以外の部分 $\frac{1}{1+G(s)}$ に分ける。無駄時間のゲインは 1 なので「無駄時間部分以外」のゲインが 1 以下、すなわち $|\frac{1}{1+G(s)}| < 1$ であれば十分に安定であると言える。このことは $|1+G(s)| > 1$ 、つまり $|G(s) - (-1+j0)| > 1$ なので、図 59 の右側に示すように、左半面の単位円内に、 $G(s)$ のベクトル軌跡が入らなければ十分に安定であることを意味する。

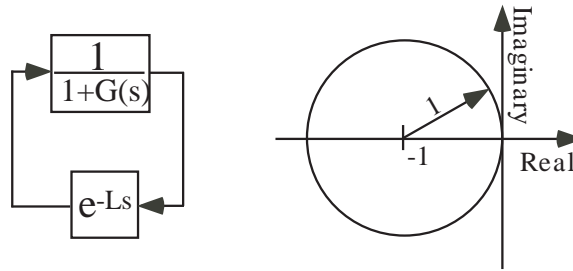


図 59 Stability circle of the repetitive control system

5.2.3 修正繰返し制御

それでも図 60 の場合のように、不安定円にわずかでも入り込んでしまう場合には安定であるとは言えない。ここで、不安定円にベクトル軌跡が入り込むのは、高い周波数になってからのことなので、ローパスフィルタの特性を持つ補償器 $P(s)$ を無駄時間 e^{-Ls} の直前に挿入すると、図 60 の破線のように、高い周波数で不安定円の直径を小さくする効果があり、「修正繰返し制御系」¹⁴⁾ と呼ばれている。この場合、図 57 に示すような全帯域の高調波成分を除去はできないが、低周波の主要成分はかなり低減することができる。

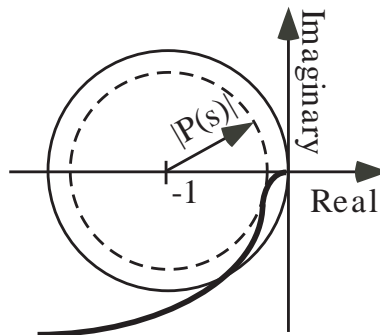


図 60 Modified stability circle

5.3 繰返し制御による回転ムラ対策例

図 61 に小林¹⁵⁾による，繰返し制御を用いた回転ムラ制御系の例を示す．この制御系は，直列補償要素 $G_c(s)$ によって制御される速度制御ループ $G(s)$ に，多重に繰返し制御系を構成している．

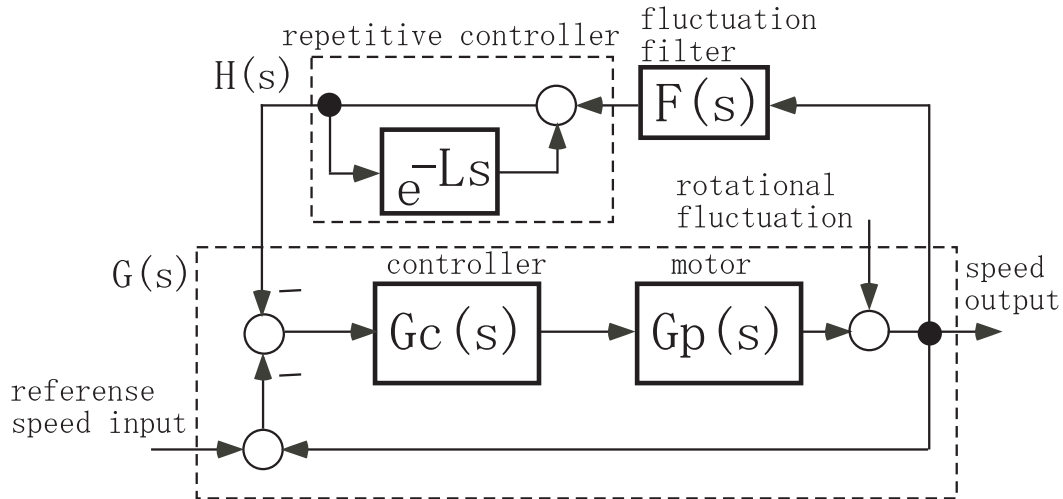


図 61 Fluctuation control system

ここで， $F(s)$ は回転ムラ抽出フィルタである．これが必要なのは，瞬時平均速度とムラの大きさが著しく異なるためであり，センサの出力をそのままフィードバックすると，速度目標値への安定な追従とムラの除去を同時に満足するゲインが存在しないためである．そこで，両者の周波数帯域が異なることを利用してムラ成分をハイパスフィルタで取り出し，これに大きなゲインをかけている．これにより，定速制御とムラ除去を同時に行なっている．

この制御系の特性設計は，

- (1) 定速制御系の設計 ムラ除去ループを開いた状態にしておいて，直列補償要素 $G_c(s)$ を，平均速度を目標値に追従するように設計する。
- (2) ムラ除去系の設計 その結果得られた補償後の制御対象 $G(s) = \frac{G_p(s)G_c(s)}{1+G_p(s)G_c(s)}$ に，ムラ除去用の繰返し制御器 $H(s)$ を付加し，全体としての安定化を図る。

回転ムラの周波数は $G(s)$ のバンド幅よりも高いことが多く，二つの制御系は帯域が分離されている。また，ムラ除去ループのフィルタ $F(s)$ はハイパスフィルタであるので低域のゲインが小さく，繰返し制御系の低域特性が定速制御ループの特性を乱すことはない．

また，修正繰返し制御の高域遮断については，無駄時間要素をデジタルメモリで実現し，そのデジタル/アナログ変換時のサンプリング間隔を荒くすることで対応している．

さらに，繰返し補償器の無駄時間 L が繰返し周期と完全に一致しない場合，高い効果が得られない問題がある．これに対しては，定速制御ループをPLLモータ速度制御系で実現し，無駄時間要素のシフトレジスタの動作周波数を正確に求めることで対処している。

以上から，繰返し制御による外乱の除去が peak-to-peak では $1/3$ ，ムラの基本波成分では $1/5$ になることが示されている。

ここで注意すべきは，PLLと多重に，繰返し制御系が構成されているということである。これはPLLモータ速度制御系では，速度から位相への本質的積分による位相遅れが -90 度あり，直接に繰返し制御器を挿入することが困難なためである．次節でその対策を考える．

5.4 PLLのためのD繰返し制御

これまでPLLと繰返し制御の真の組合せ例はない．これは，2.1.3節で示したようにVCOが本質的に積分要素を含んでおり，必ず位相が -90 度以上回転するので，繰返し制御の不安定円内にベクトル軌跡が入るのを防ぎにくいためである．

付録A.1.2の表A.1に示すように，LFがPI型の場合には，原点に極が2つ存在し，図62に粗な破線で示すようにベクトル軌跡が -180 度方向から始まり，原点に -180 度方向から入るので，不安定円に大きく入り込んでしまう．

そこで，LFをP型とすると，密な破線で示すようにベクトル軌跡が -90 度方向から始まるので，不安定円への入り込みがわずかに改善されるが，原点に -180 度方向から入るので，状況はあまり変わらない．

ここで，制御対象に高周波で位相を進ませる位相進み遅れ補償 $Q(s)$ を前置すれば，不安定円への入り込みはかなり改善される．しかし，原点に -180 度方向から入りこむ以上，不安定円への入り込みがなくなることはない．

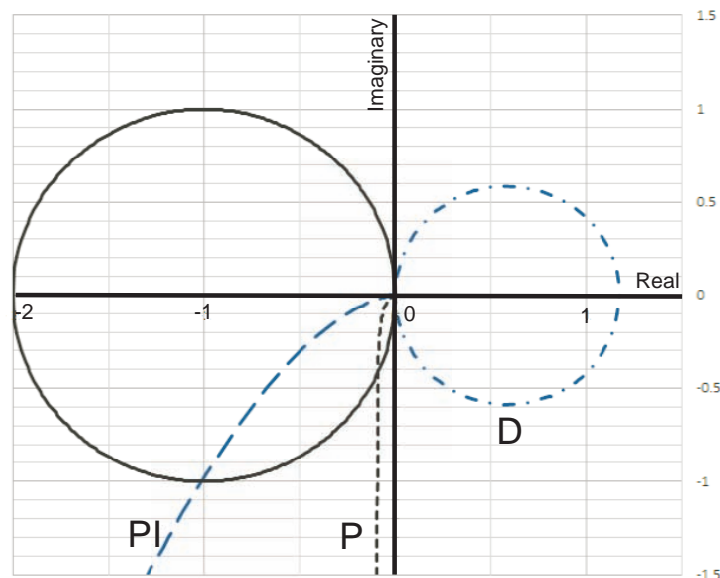


図 62 Stability analysis of D repetitive for PLL speed control

また，PLLの位相角比較器はサンプリング動作で，等価的にむだ時間要素になる¹⁷⁾ので，低回転の場合，より位相が回転し，不安定になりやすいという問題もある．

5.4.1 D繰返し制御の安定性

ここで，回転ムラは交流成分であることに着目し，D制御でPLLの積分作用を打ち消しつつ繰返し制御を行う方法を提案する．すなわち，図63のように繰

返し制御器の前に純粋微分 s を挿入する．これを「D 繰返し制御」と呼ぶことにする．ただし，D 制御だけでは直流成分が 0 になるとドリフトが起きるため，P 制御を併用する．並列に施す P は制御系に対するマイナフィードバックに相当するので，安定問題もさらに改善する．その伝達関数 $D(s)$ は次の通りとなる．

$$D(s) = \frac{sK_pK_m}{Ts^2 + s + K_pK_m} \quad (40)$$

付録の表 A.1 に示すように，この場合のベクトル軌跡は，図 62 に一点鎖線で示すように， $+90$ 度方向から始まり， -90 度方向から原点に向かうので，左平面の不安定円を侵すことがなく，安定性が確保できる．

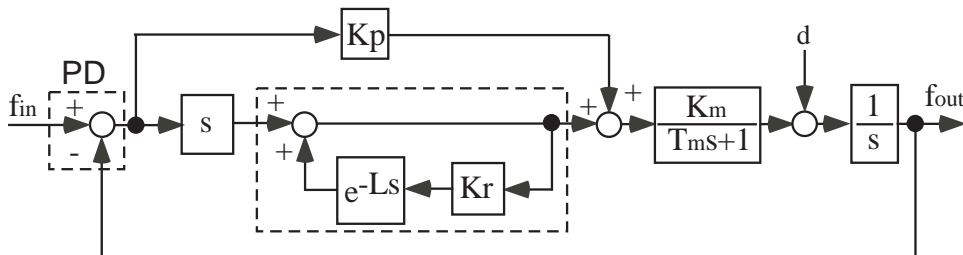


図 63 D repetitive controller for PLL speed control

5.4.2 繰返し制御の外乱除去性

図 63 において，簡単のためにモータの伝達関数を 1 とし，さらに周期毎に考えると繰返し制御器の無駄時間要素 e^{-Ls} も 1 となるので，外乱 d から出力位相角 (帰還位相角) θ_{out} までの感度，すなわち簡略化した外乱ゲイン $S(s)$ は次式で得られる．

$$S(s) = \frac{1}{(1 + K'_r)s + K_p} \quad (41)$$

ここで， $K'_r = \frac{1}{1-K_r}$ ， $K_r < 1$ である．

この式から分かるのは， K_p が大きいほど上式の絶対値は小さくなるのでムラが低減されることである．しかし，カッコ内の $1 + K'_r$ の方が大きくなると， K_p の影響をあまり受けなくなる，すなわち K_p が小さくても，ループゲインが高くなるにつれムラの減少率が大きくなる．このことは次節の図 67 に示す実験によっても確認されている．

K_r の影響を考察したのは，本来繰返し制御では $K_r = 1$ であるが，現実には高周波数領域で位相が回転する寄生要素が存在するので，5.2.3 で述べた修正繰返し制御でフィルタを入れる場合が多く，実用的には $K_r < 1$ とせざるを得ない

からである．それでも，簡単な構成で外乱をかなり低減できる繰返し制御のメリットは十分にあると考えている．

5.4.3 繰返し制御の収束性

図 64 に，回転ムラ除去のシミュレーション例を示す．ここでは，外乱 d は破線の 2Hz の正弦波とし，修正繰返しゲイン $K_r = 0.92$ としている．実線の観測出力が，周期ごとに出力が 0 に収束していく様子が分かる．繰返し制御では，無駄時間を外乱周期に等しくするだけなので，このように時間はかかるが，外乱を着実に軽減していける．

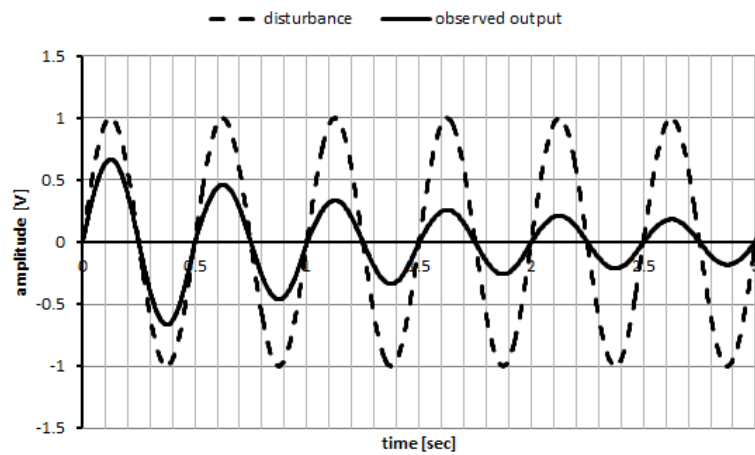


図 64 Simulation of fluctuation removal

5.5 FPGAによるデジタル実現

このD繰返しPLLモータ速度制御系のデジタル実現は、比較的容易である。これは、回転角がロータリエンコーダのパルスから得られ、図65に示すように、一回転分のシフトレジスタで繰返し制御器を構成できるからであり、比較的小規模なFPGA(ALTERA cycloneII)でも実現することができた。

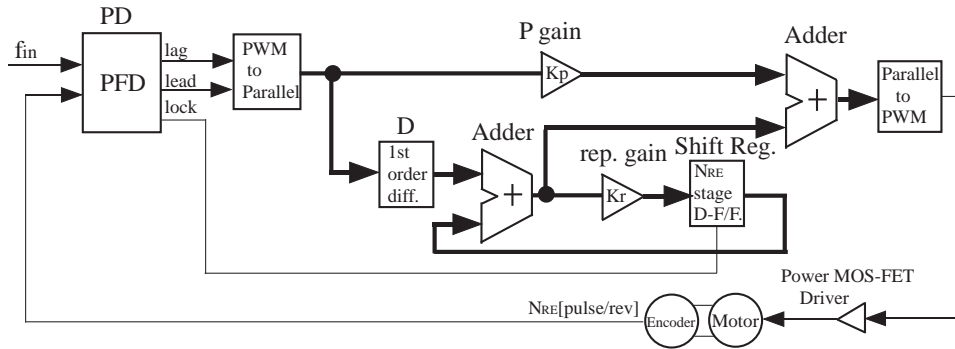


図 65 FPGA implementation

図66に示すように、PDはPFD(位相角周波数検出器)として実現するので、位相角差は正負のPWM信号として出力される。ビットパラレル値への変換は、遅れ進み(lag/lead)がある時にカウントし、lockタイミングに戻るときに、ラッチしてカウンタはクリアすることにより実現できる。なお繰返し制御器のシフトレジスタもこのタイミングでシフトしている。そして、ゲイン K_p 、 K_r は乗算器によって、また微分Dは単純差分によって実現している。なお、演算結果はPWM信号に再度変調され、パワーMOS-FETによりモータをスイッチング駆動している。

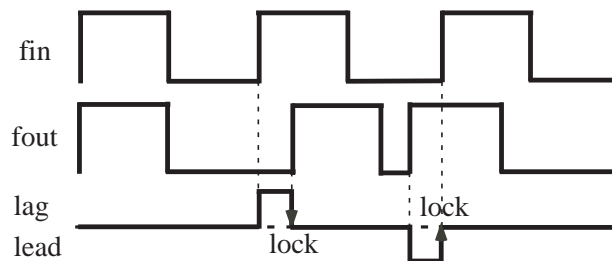


図 66 PFD output and bit parallel conversion

実験に使用したのはDCブラシ付モータで、ツカサ電工社のTG-47C-SM-25-HBEDであり、図54のように出力軸に消しゴムを装着することにより疑似的に回転ムラを与えた。表3にモータの機械的時定数 T_m 、ゲイン K_m およびロータリエンコーダの分解能 N_{RE} を示す。

表 3 System constants

T_m	15[msec]
K_m	8.3[rps/V]
N_{RE}	50[pulse/rev]

5.6 実験およびその結果

外乱除去性の実験結果 実験装置では，系の帯域幅と外乱周期，および後者が位相回転の原因となる PD の動作周波数にも関係しているため，フィルタによる修正繰返し制御では安定問題が解決できなかった．そこで，5.4.2 で述べた $K_r < 1$ の状況を活用した．

図 67 に， K_p をパラメータとした時の実験結果を示す．

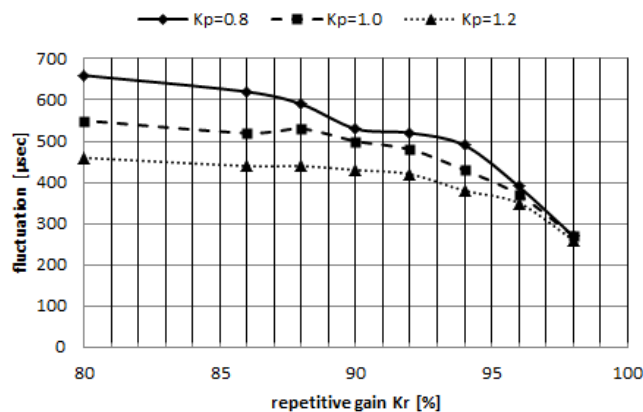


図 67 Reduction of fluctuation

P のみの制御の場合よりも，D 繰返し制御では最低 60 % 程度に回転ムラを軽減することができた．

また，各パラメータの効果は前節で示した式 (41) から導かれる振る舞いを示した．すなわち， K_p が小さいほど，修正繰返しゲイン K_r を大きくしていった場合の軽減度合いは大きくなる．ただし K_r が 1 に近い場合の回転ムラは K_p の大きさに関わらずほぼ同じになっている．

収束性の実験結果 図 68 に， $K_r = 0.92$ の場合の繰返し制御器の出力を D/A コンバータで観測した結果を示す．

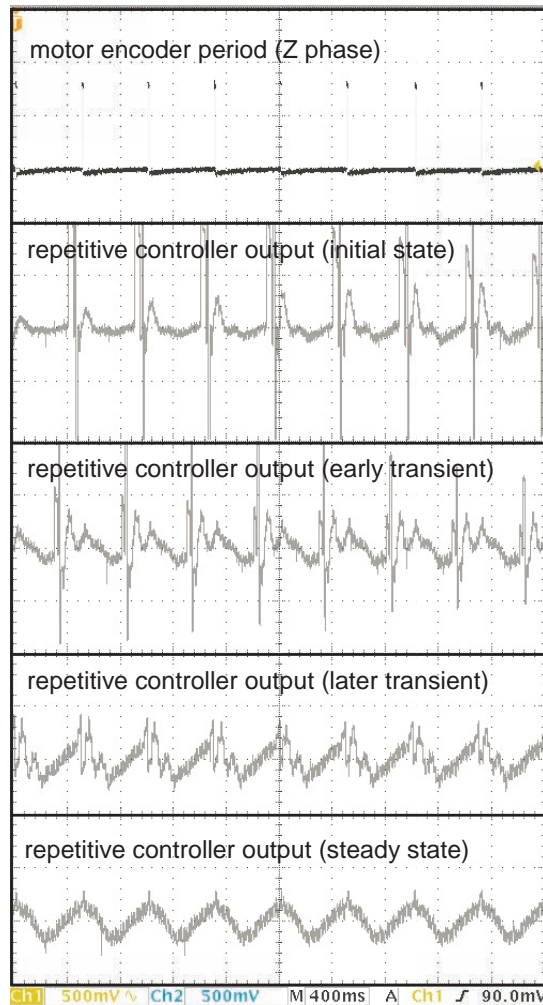


図 68 Repetitive controller response

最上段は、モータエンコーダの一回転ごとのパルス (Z 相) である。繰返し制御器出力の周期は回転と一致しており、むだ時間メモリの初期値がスパイクとして現れるが、次第にそれは収まり、代りに操作量が成長して、回転ムラを打ち消す正弦波状となることが分かる。

第 6 章 結論

PLL モータ速度制御系は、その位相同期という原理から、一定速度の静的な精度は原理的に高いことが古くから良く知られていた。一方で、動的な精度を考える場合には、マクロに位相同期外れを生じない速度サーボと、ミクロな回転ムラをいかに抑制するかが問題となっている。

まず第一の速度サーボの問題では、入力に加減速成分を含むと場合について考察した。ことに位相同期が外れると、有害な引き込み振動が生じてしまうので、これを防止するために定常位相偏差を無くすことを目的とした。ここで、モータ速度制御系での加減速に相当するのが、衛星などの高速移動体との PLL 通信で問題になる、Doppler 現象による周波数偏位であり、これに対応するために「2重ループ PLL」が提案されている。この方式は、第一ループが第二ループのフィードフォワード要素となることにより、位相偏差を打ち消している。

しかし、この方式を直接 PLL サーボ系に適用するには、制御対象が第一ループは VCO、第二ループはモータと異なり、それらのゲインの完全な一致は望めないことが問題となるので、以下の方法で問題を解決した。

- 両ループの位相比較器の出力どおしを直接加算する構成とする。位相同期範囲内であれば、定速の第二ループでの速度補償は必要なく、高速追従性が確保できる。
- PWM 信号演算に基づいた FPGA によるデジタル回路実現は小規模で高速動作可能である。
- 実験により、加減速中の位相偏差の打ち消しと高速追従を達成できることを確認した。

また付録に、本制御系の応用として、切り替えフィードフォワード制御系も提案した。すなわち、第一ループはモータ時定数を含まず、第二ループよりも先に位相同期が達成されるため、5 状態の PFD 型位相比較器により第二ループの位相同期が外れていることを検出し、その間は第一ループの積分カウンタ値を、直接第二ループの積分カウンタに転送すれば、起動時間をより早められ、またオーバーシュートが生じにくいことを実験結果で示した。

次に第二の問題、すなわち PLL が位相同期状態にあっても、ミクロな視点からは、微小な振動を生じていることについて考察した。このような「回転ムラ」の原因の一つは、電気モータの場合、磁極どおしの吸引反発による「コギング」あるいは、回転系のアンバランスにあり。これを避けるためにさまざまな構造的工夫がなされているが、十分ではなかった。

本論文では、以下の方法で問題を解決した。

- 回転ムラを回転毎に生じる周期的な外乱として捉える。
- 繰返し制御の適用が有効だと考えられるが、PLLはその本質的な積分要素のため、位相が常に90度遅れており、安定性の確保が問題となる。
- 繰返し制御器の直前に微分器を前置することで、安定性を補償し、また並列に比例要素を設けることにより、直流成分の制御も可能とする。
- FPGAを用いた実験により回転ムラを半分以上に軽減できることを確認した。

しかしながら、高周波数領域で安定性を補償するための、繰返し補償器に組み込むローパスフィルタの設計については、位相比較器での遅れなど考慮しなくてはならない要素が多く、今後の研究課題である。

さて、書き込み可能ICであるFPGA(Field Programmable Gate Array)でコントローラを実現するにあたって、1bitPWM信号の性質を利用して小規模で高速なデジタル回路とできることを示している。

具体的には、PFD型位相比較器の出力がPWMで信号あることを利用し、コントローラの信号を入出力ともPWM信号としてPI型のループフィルタをカウンタやマルチプレクサを用いて構成し、またビットパラレルの出力値を再度PWM信号に変換して、ドライバアンプ以外の電子回路を1チップで実現している。ただし、位相余裕を確保するように設計した場合、カウンタのカウント速度が大変低い周波数となり、オーバーサンプリングの手法によりミスカウントを無くし、位相同期外れを防止する必要とその回路を示した。また、PWM信号演算で微分(D)演算を実現することもでき、ループフィルタをPID型として、外乱感度関数を調整してノイズ対策とする手法も示した。

PLLモータ速度制御系自体は低次で実現しやすいが、一定速度制御における静的な高精度だけではなく、動的な位相同期外れ防止や回転ムラの軽減のための、制御系の構造の工夫や、そのデジタル実現による有用性を実験により確認することができた。

参考文献

- 1) 見城 尚志, 実験とシミュレーションで学ぶモータ制御, 日刊工業新聞社 (2001)
- 2) 細萱 宏昭, 産業用機械の速度制御, 日本機械学会第 601 回講習会教材 (1985)
- 3) 谷腰 欣司, 松岡 充, サーボ回路の設計と実際, 日刊工業新聞社 (2003)
- 4) R.E. Best: Phase-Locked Loops 6th.ed., McGraw-Hill (2007)
- 5) A.W. Moore, "Phase-Locked Loop Motor-Speed Control", *IEEE Spectrum*, Apr. 1973, pp.61-67.
- 6) J.X. Shen and S. Iwasaki, "Sensorless Control of Ultrahigh-Speed PM Brushless Motor Using PLL and third harmonic back EMF", *IEEE Trans.*, Vol.IE-53, No.2, 2006, pp.421-428.
- 7) C.T. Pan and E. Fang, "A Phase-Locked-Loop-Assisted Internal Model Adjustable-Speed Controller for BLDC Motors", *IEEE Trans.*, Vol.IE-55, No.9, 2008, pp.3415-3425.
- 8) 新明和技報:「高精度スピンドル用ドライバの開発」,ISSN 0917-2094,p31 (2006)
- 9) 林: CD, コロナ社 (1990)
- 10) M. Kamata, et al.: Third-order Phase-Locked Loops using dual loops inserting an active filter in the second loop with improved stability, *IEICE-A*, Vol. J82-A, No. 2, pp.273-282 (1999)
- 11) De Battista et.al., "Sliding Mode Control of Torque Ripple in Wind Energy Conversion Systems with Slip Power Recovery", *24th IECON*, Vol.21, 1998, p.65.
- 12) M. Zhang et al., "A speed fluctuation reduction method for sensorless PMSM-compressor system", *31st IECON*, 2005, 5
- 13) 小林、中馬:PLL/PWM1 チップモータコントローラ, 第 14 回計測自動制御学会九州支部学術講演会,p.236,1995
- 14) 中野, 井上, 山本, 原 (計測自動制御学会 編): 繰返し制御, コロナ社 (1989) .
- 15) 小林ほか:繰返し制御を応用したモータの回転むら低減法, 電学論 D, vol.107-D, pp.29-34 (1987)
- 16) K.B. Chang et al.: "Adaptive Repetitive Control for an Eccentricity Compensation of Optical Disk Drivers", *IEEE Trans.*, Vol.CE-52, No. 2, 2006, pp. 445-450.

- 17) たとえば E. ミッシュキン , L. ブラウン編 (磯部ほか訳): 適応制御系 , コロナ社 (1963) pp.179-180.
- 18) 柳沢健、PLL(位相同期ループ) 応用回路、総合電子出版,1977,pp.206-211
- 19) De Bellescize,H.:”La rception synchrone”, *L’onde lectrique*,vol. 11,May 1932,pp.225-240
- 20) S.C.Gupta,et. al. : A fast meauring phase detector for use in PLL motor control system, IEEE Trans. Ind. Electron, Contr. Instrum, vol.IECI-25, pp.75-76, 1978
- 21) 高野明夫、外乱補償を施した高速トルク制御誘導電動機の PLL 速度制御、電学論、113 巻 4 号、pp.495-502,1996
- 22) Jacob Tal:Speed control by phase-locked servo system – new possibilities and limitations,IEEE Trans.on Industrial Elec.cont.Instru., Vol.IECI-24,No.1 Feb 1977,pp.118-125
- 23) K.Eapen and K.Venkatesan:Phase-locked Loop DC Motor Drive with Improved Transient Performance,IEEE Trans.on Industrial Elec.cont.Instru., Vol.IECI-28,No.4 Nov.1981,pp.347-352
- 24) R.L.Labinger: Designing phase-locked loop servos with digital IC’s,Contr. Eng., pp.46-48, Feb. 1973.
- 25) D.H.Smithgall: A phase-locked loop motor-control system, IEEE Trans. Ind. Electron. Contr. Instrum., vol.IECI-22, pp.487–490, Nov. 1975.
- 26) H.E.Raphael: Motor control by PLL, Electron. Des., vol.23, no.9, pp54–57, Apr. 1975.
- 27) G.C.Hsieh: A study on position servo control systems by frequency locked technique, IEEE Trans, Ind. Electron., vol.36, pp.365-373,1989
- 28) 町田、小林:PLL/PWM モータコントローラの分解能解析、計測自動制御学会学術講演会,p.234,2000
- 29) 町田秀和 , 小林史典: PLL/PWM モータ速度制御系の一構成法 , 電気学会論文誌 C , Vol.122-C,No12,pp.2144-2148,2002,12
- 30) J. Deskur and A. Maciejuk: Application of digital phase locked loop for control of SRM drive, *IEEE Europ. Conf. Power Electron. Appl.*, pp. 1-6 (2007)
- 31) 町田秀和 , 小林史典: PWM 信号の時間領域差分による PLL/PID モータ制御系の実現 , 電気学会論文誌 C , Vol.127-C,No.5,pp.801-802,2007,5
- 32) 竹本、入江、楡井:アダプティブフィードフォワード制御を用いたダンサ巻取制御システム、平成 7 年度電気学会産業応用部門全国大会

- 33) 町田, 小林: PLL/PWM モータ速度制御系の一構成法, 電学論 C, Vol.122-C, No.12, pp.2144-2148(2002)
- 34) 町田, 金井, 小林, 竹本: PLL/PWM モータ制御系へのアクティブ・フィードフォワードの組み込みによるリミッタの実現, 平成 14 年電学 C 部門大会, GS11-4, pp. 884-885 (2002)
- 35) 横山、福島、大町、森、二重位相制御を用いた二値量子化 DPLL の提案、昭和 52 信学総全会,1967
- 36) 栗田、森、2 重位相同期ループの特性、信学論 A, vol.J63-A, No.9, pp.545-551(1980)
- 37) 中島、荻原、仲川、入力変動に強い 3 次 DPLL, 信学論 A, vol.J71-A, No.2, pp.418-425(1988)
- 38) 町田, 神原, 田中, 矢持: 2 重ループ PLL/PWM モータ制御系の解析と実現, 平成 21 年電気学会全国大会, 4-263, pp.438-439(2009)
- 39) 町田秀和, 神原道信, 田中航太, 小林史典, 2 重ループ PLL を応用した PLL 速度サーボ, 電気学会論文誌 C, Vol.131-C, No.2, pp.337-342, 2011
- 40) 町田秀和, 神原道信, 小林史典, 竹本康介, 2 重ループ PLL/PWM モータ制御系へのアクティブフィードフォワードの組み込みによるリミッタの実現, 平成 21 年電気学会産業応用部門大会 (三重大学), 1/145, pp.1-691 ~ 1-694, 2009
- 41) 町田秀和, 田中航太, 神原道信, 松島慎亮, 西本淳一, 2 重 PLL モータ制御系による加減速モーション実験装置の開発、平成 22 年電気学会全国大会 (明治大学), 4-163, 2010
- 42) 相田, 斉藤, 丸林: 電子カムモジュール, 富士時報 (富士電機ホールディングス株式会社), VOL.70 No.12(1997)
- 43) 伊藤 美光: わかりやすい機械の駆動システム設計, 日刊工業新聞社, pp.39-90(1997)
- 44) S.Hara, Y.Yamamoto, T.Omata and M.Nakano: Repetitive Control System: A new Type Servo System for Periodic Exogenous Signals, IEEE Trans. Automatic Control, Vol.33, No.7, 1988, pp.659-668
- 45) 藤本, 佐藤: 変分対称性を利用したハミルトン系の繰返し制御について, 計測自動制御学会論文集, Vol.43, No.3, 2006, pp.1-3
- 46) 片山徹、フィードバック制御の基礎、朝倉書店、pp.145、1987

謝辞

まず、九州工業大学情報工学府博士後期課程への社会人入学をご許可いただいた、前舞鶴工業高等専門学校校長の小野紘一先生に深く感謝いたします。また、同じく元舞鶴高専電子制御工学科の西岡勝博先生には、実験成果を見ていただいて、博士課程への社会人入学を強く勧めていただき、そして現電子制御工学科の教職員各位には社会人入学中の校務を少なからず分担していただき、強く感謝の意を申し上げます。

そして、PLL モータ速度制御系のデジタル実現から、速度サーボと回転ムラ軽減という動的な精度改善という、総合的な研究のアプローチに長い間ご指導頂いた、小林史典先生に深く感謝の意を申し上げます。

また、貴重な議論をいただいた井上隆氏をはじめとする小林研究室の修士課程および学部課程の学生の皆様にも重ねて感謝いたします。そして、PLL の基本的な振る舞いからシミュレーションおよび実験で検証し、特に2重PLL モータ速度制御系の構築にあたって、さまざまな調整を辛抱強く行なっていただいた、神原道信氏、田中航太氏をはじめ舞鶴工業高等専門学校の専攻科および本科の学生諸君にも深く感謝の意を申し上げます。

最後に、学会や会議などへの多くの出張を含め、いままで家庭を守ってくれた家族にあらためて深く感謝します。

付録

A.1 制御工学上の解析

A.1.1 フルビッツの安定判別法

任意の制御系の安定性を，その特性多項式（伝達関数の分母多項式）の係数だけで判別する方法に，ラウス=フルビッツ (Routh=Hurwitz) の安定判別法がある⁴⁶⁾。

特性多項式を， a_0, a_1, \dots, a_n を実係数とする次式の多項式とする。

$$A(s) = a_0 s^n + a_1 s^{n-1} + \dots + a_{n-1} s + a_n \quad a_0 > 0 \quad (\text{A.1})$$

$A(s)=0$ の根が全て左半平面 ($Re[s] < 0$) にあって安定であるとき， $A(s)$ はフルビッツであるといい， $A(s)$ をフルビッツ多項式であるという。ここで $a_0 > 0$ のもとで $A(s)$ がフルビッツ多項式であることの必要条件は，全係数 a_0, a_1, \dots, a_n が正であることである。また，各係数から作られる次のフルビッツ行列式 H_1, H_2, \dots, H_n が全て正になることが必要十分条件である。

$$H_1 = a_1, H_2 = \begin{vmatrix} a_1 & a_3 \\ a_0 & a_2 \end{vmatrix}$$
$$H_3 = \begin{vmatrix} a_1 & a_4 & a_5 \\ a_0 & a_3 & a_4 \\ 0 & a_2 & a_3 \end{vmatrix}, \dots, H_n = \begin{vmatrix} a_1 & a_4 & a_5 & \dots & 0 \\ a_0 & a_3 & a_4 & \dots & \vdots \\ 0 & a_2 & a_3 & \dots & \vdots \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ \vdots & & & & a_{n-1} & 0 \\ 0 & & & & a_{n-2} & a_n \end{vmatrix} \quad (\text{A.2})$$

したがって，異符号の係数や欠項のある多項式はフルビッツでないことが直ちに分かり，またフルビッツ行列式を計算することにより，安定条件を調べることができる。

2次多項式の場合 $A(s) = a_0 s^2 + a_1 s + a_2 \quad a_0 > 0$ の場合，

$H_1 = a_1, H_2 = a_1 a_2$ となるので， a_0, a_1, a_2 が全て正であればよいことになる。

3次多項式の場合 $A(s) = a_0 s^3 + a_1 s^2 + a_2 s + a_3 \quad a_0 > 0$ の場合，

$H_1 = a_1, H_2 = a_1 a_2 - a_0 a_3, H_3 = a_3 H_2$ となるので，全ての係数が正かつ，次式が成立すれば安定である

$$a_1a_2 - a_0a_3 > 0 \quad (\text{A.3})$$

4次多項式の場合 $A(s) = a_0s^4 + a_1s^3 + a_2s^2 + a_3s + a_4$ $a_0 > 0$ の場合,
 $H_1 = a_1$, $H_2 = a_1a_2 - a_0a_3$, $H_3 = a_3H_2 - a_4a_1^2$, $H_4 = a_4H_3$ となるので, 全ての係数が正かつ, 次式が成立すれば安定である

$$a_3(a_1a_2 - a_0a_3) - a_4a_1^2 > 0 \quad (\text{A.4})$$

5次多項式の場合 $A(s) = a_0s^5 + a_1s^4 + a_2s^3 + a_3s^2 + a_4s + a_5$ $a_0 > 0$ の場合,

$$H_1 = a_1, H_2 = a_1a_2 - a_0a_3, H_3 = a_3H_2 - a_4a_1^2 - a_0a_3^2, \\ H_4 = a_4H_3 - a_5(a_1a_2^2 + a_0^2a_5 - a_0a_2a_3 - a_0a_1a_4), H_5 = a_5H_4 \quad (\text{A.5})$$

となる. 式 (A.5) は解析するには複雑であるので, 実際のパラメータ値を代入して安定性を確かめる.

PI型ループフィルタを持つPLLの安定判別 PI型ループフィルタを持つPLLの特性多項式は, 式(10)の2次多項式 $\tau_1s^2 + K\tau_2s + K$ である. 各パラメータ τ_1, τ_2, K は全て正であり, 全係数は正になるので, 安定であると判定できる.

2重ループPLLの安定判別 2重ループPLLの特性多項式は式(26)の分母多項式,

$$\tau_1s^2(s+K_1) + K_2(\tau_2s+1)(s+K_1) = \tau_1s^3 + (K_1\tau_1 + K_2\tau_2)s^2 + (K_1K_2\tau_2 + K_2)s + K_1K_2$$

であり3次多項式であるので式(A.3)を計算すると次式となる.

$$a_1a_2 - a_0a_3 = (K_1\tau_1 + K_2\tau_2)(K_1K_2\tau_2 + K_2) - \tau_1K_1K_2 = \tau_1\tau_2K_1^2K_2 + K_1K_2^2\tau_2 + K_2^2\tau_2$$

各パラメータ τ_1, τ_2, K_1, K_2 は全て正なので式(A.3)は正になり, 安定であると判定できる.

PLLモータ速度制御系の安定判別 PLLモータ速度制御系の特性多項式は,

$$\tau_1T_ms^3 + \tau_1s^2 + \frac{K_\phi K_m}{N}\tau_2s + \frac{K_\phi K_m}{N}$$

であり3次多項式であるので式(A.3)を計算すると次式となる.

$$a_1a_2 - a_0a_3 = \tau_1\tau_2 \frac{K_\phi K_m}{N} - \tau_1T_m \frac{K_\phi K_m}{N} > 0$$

これから,

$$\tau_2 > T_m \quad (\text{A.6})$$

が安定条件であると分かるが, これは位相進み補償が行われ, 位相余裕が生じていれば安定であるということの意味している.

2重ループPLLモータ速度制御系の安定判別 2重ループPLLモータ速度制御系の特性多項式は式(式(32))の分母多項式である。

$$\tau_1 s^2 (T_m s + 1) \left(s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1) \right) + K_2 (\tau_2 s + 1) \left(s^2 + \frac{K_1}{\tau_1} (\tau_2 s + 1) \right) \quad (\text{A.7})$$

これは5次多項式であるので解析は困難である。ただし2重化する前のパラメータを用いて式(A.5)のフルビッツ行列式を計算すると、全てが正となり安定であることが確認できている。

A.1.2 ベクトル軌跡の終始方向

繰返し制御器以外の前向き伝達関数を次式で表現する，

$$G(s) = \frac{K(s^m + \cdots + b_{m-1}s + b_m)}{s^l(s^n + \cdots + a_{n-1}s + a_n)} \quad (\text{A.8})$$

ここで m は零点， l は原点の極，そして n はその他の極の個数である．

この場合，角周波数 $\omega = 0$ から変化させるとき，そのベクトル軌跡は次式の方法から始まる．

$$\arg G(j\omega) = -90l[\text{deg}] \quad (\text{A.9})$$

また，角周波数が $\omega = \infty$ が増えるとき，そのベクトル軌跡は次式の方法から向かってくる．

$$\arg G(j\omega) = -90(n + l - m)[\text{deg}] \quad (\text{A.10})$$

したがって， l, n, m の次数によって，ベクトル軌跡の終始方向は次表のとおりとなる．

表 A.1 Vector locus direction from/to

	l	n	m	from[deg]	to[deg]
PI	2	1	1	-180	-180
P	1	1	0	-90	-180
D rep.	-1	2	0	+90	-90

A.2 アクティブ・フィードフォワードとリミッタ

PLL モータ速度制御系の一応用例として、図 A.1 に示すケーブル巻き取り装置が考えられる。この装置は、金属線を引き抜き加工する伸線機とも呼ばれ、伸線が数 $10\mu m$ と非常に細いので、高精度な速度制御が必要となる。すなわち、オーバーシュートや速度ムラは禁物である。そのため、ダンサと呼ばれる機構で張力を与えており、ポテンショメータで検出される位置が一定になるように定速制御される。

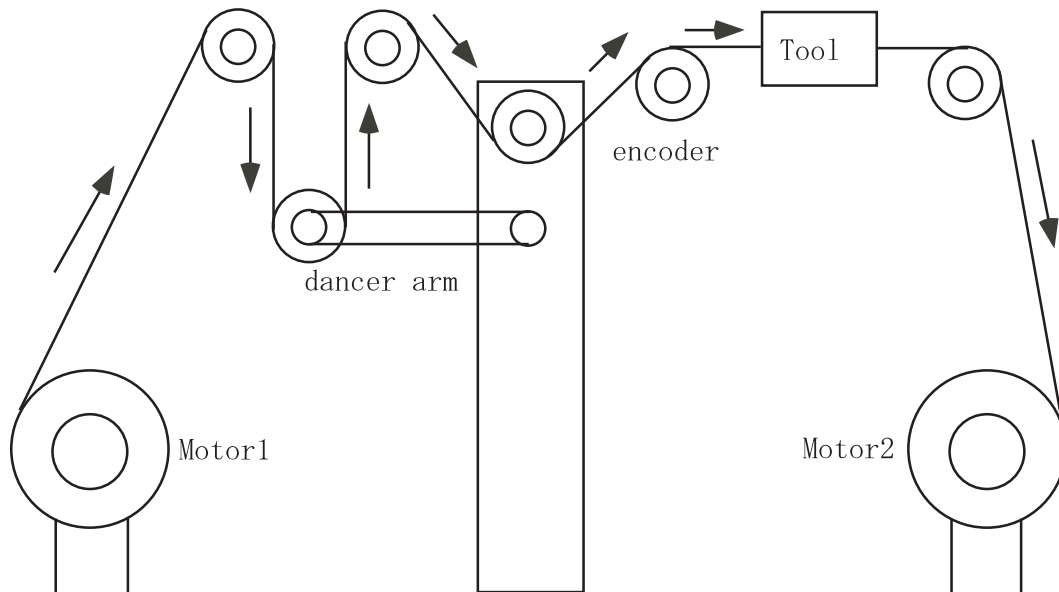


図 A.1 Wire drawing machine

さて、PI型のコントローラが用いられる場合、積分器での溜り値をウインドウコンパレータを通して、外部のカウンタに直流分として転送し、ケーブル巻き取り中の断線などからの再起動時にその値を積分器にリロードすることにより初期速度値としている例があり、ここではアクティブフィードフォワード³²⁾と呼ぶ。

この手法を用いれば、本来の積分器には交流分が残っているだけなので、任意の回転速度でリミッタをかけ、オーバーシュートを抑制することができる³⁴⁾。ここではPLLモータ速度制御系に適用した場合の速応性の改善とオーバーシュートの抑制について述べる。

A.2.1 アクティブフィードフォワード

PLL/PWM モータ速度制御系にアクティブフィードフォワード回路およびリミッタを与えたブロック線図を Fig.A.2 に示す。

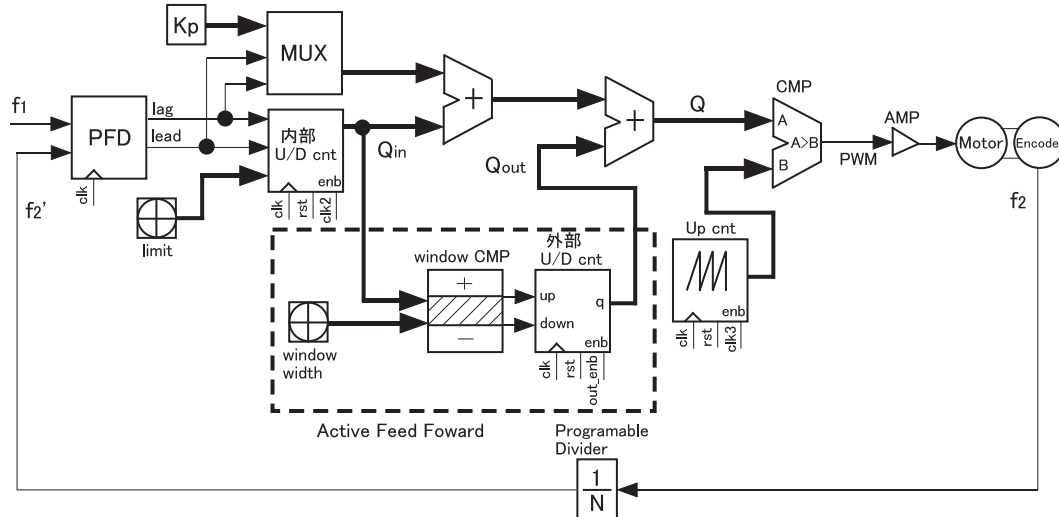


図 A.2 A realization of the PLL/PWM motor speed control system by employing the active feed-forward and the limiter

Fig.A.2 点線箱内のアクティブフィードフォワードは、内部カウンタからのビットパラレル信号をウィンドウコンパレータを通して、外部カウンタで蓄積する。この結果、内部カウンタには変動 (AC) 成分、外部カウンタにはオフセット (DC) 成分が溜まる。ここで、それぞれのカウンタ出力であるビットパラレル信号 Q_{in} 、 Q_{out} の変化の様子を Fig.A.3 に示す。また、PI フィルタ出力 ($K_p + Q_{in}$) と外部カウンタ出力 (Q_{out}) の加算により、総和 Q が得られる。

ウィンドウコンパレータとは、任意に設定可能なウィンドウの上下限值と変動成分 Q_{in} を比較するものである。 Q_{in} がウィンドウ上限値以上なら加算信号、下限値以下なら減算信号を外部カウンタに伝える。ウィンドウ内なら加減算を行わない。なお、外部カウンタへの転送速度は任意に設定可能なイネーブル周波数 (out.enb) で決められる。

アクティブフィードフォワードの動作例として、変動成分 Q_{in} がウィンドウの上限値を上回った場合、オフセット成分 Q_{out} が加算されていく (Fig.A.3 の期間 [A])。このとき、 Q_{out} は Q_{in} と共に増加するため、総和 Q はアクティブフィードフォワードが無い場合に比べ、立ち上がりが急峻になる。そして、 Q が目標値に達した後、 Q_{in} はウィンドウコンパレータの範囲内に留まり、 Q_{out} の加算も止まる (図 A.3 の期間 [B])。ウィンドウの下限値を下回った場合も同様である。

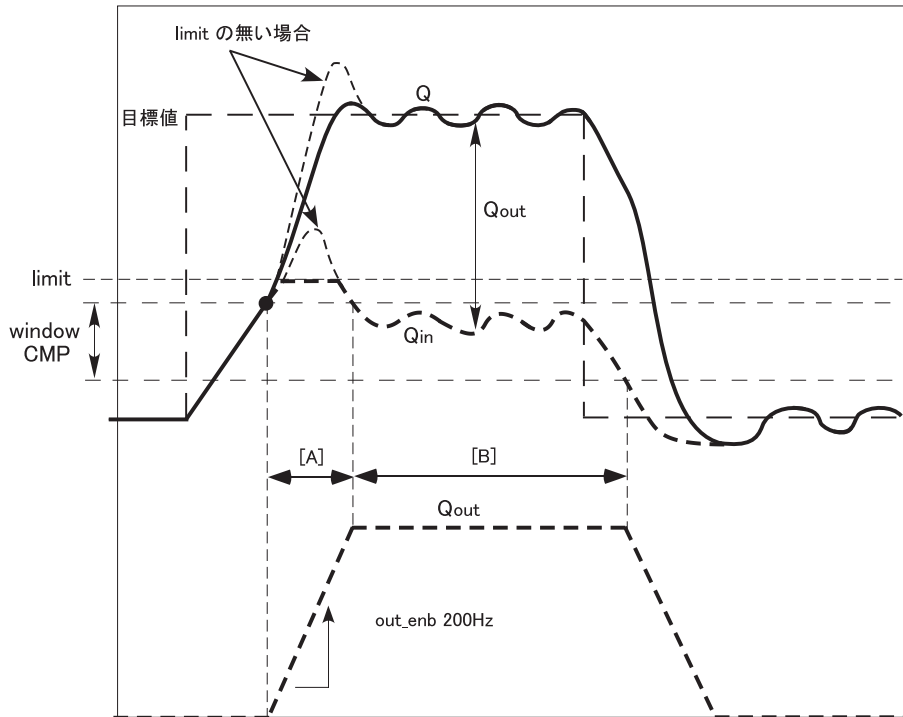


図 A.3 Step response of the limited active feed-forward

A.2.2 アクティブリミッタ

アクティブフィードフォワードを挿入することにより速応性を向上できるが、オーバーシュートが大きくなりやすい。これは、前述のように外部カウンタへの転送速度分だけオフセット成分 Q_{out} が増加するため、立ち上りが急峻になりオーバーシュートも大きくなるからである。

そこで、内部カウンタだけにウィンドコンパレータの上限値より少し上でリミッタを与えれば、そこから Q_{in} は増加しなくなり、外部カウンタへの転送速度だけで立ち上がるので、オーバーシュートの抑制が可能となる。この場合の利点は、図 A.4 のように、リミッタを外部カウンタ Q_{out} すなわちオフセット成分 (目標速度値) に依存せずに与えることである。そこで、このリミッタのかけ方をアクティブリミッタと呼ぶことにする。

実験結果 本制御系を FPGA に実装して実験した結果を図 A.5 に示す。アクティブ・フィードフォワードを組み込むと、応答が速くなった反面、オーバーシュートが大きくなってしまった。そこで、アクティブ・リミッタをかけることによって、オーバーシュートを抑制することができた。

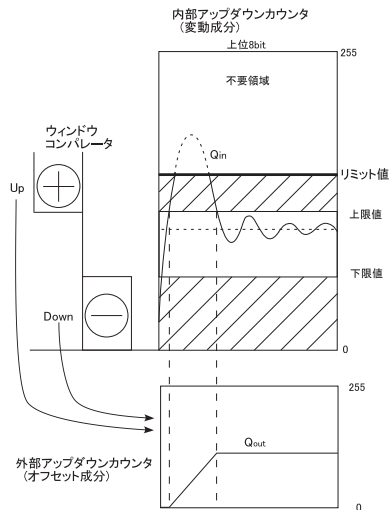


図 A.4 Active limiter

A.2.3 2重ループPLL モータ制御系への適用

アクティブフィードフォワード回路およびリミッタを挿入した2重ループPLL/PWM-MSC系をFig.A.6に示す。

ここでは、アクティブフィードフォワード回路およびリミッタを第一PLLと第二PLLの両ループに挿入している。第一PLLにアクティブフィードフォワード回路を挿入することにより、第一および第二PLL-MSCの両方の速応性が改善されるが、第一PLLは第二PLLに比べて大きなオーバーシュートを生じることはないので、第一PLLにリミッタを設ける必要性は少ない。ただし、第一PLLにアクティブフィードフォワード回路を挿入しない場合、第一PLLと第二PLLの特性が異なるため応答が不安定になりやすい。もちろん、第二PLLはモータを駆動させる主体であるためリミッタは必要である。

FPGA 実現と実験結果 Fig.A.2およびFig.A.6の制御系をFPGAで実現し、実験した結果をそれぞれFig.A.7とFig.A.8に示す。ここでは基準入力信号 f_1 を周波数(速度)ステップ信号入力とし、エンコーダの出力周波数をF/V変換をしてスピードグラフを得ている。

Fig.A.7の単一ループPLL-MSCでは、アクティブフィードフォワードをかけると、明らかに速応性が改善されている。また、リミッタをかけても、ある程度その効果は保っている。

Fig.A.7の単一ループPLLに比べ、Fig.A.8の2重ループPLLは明らかに速応性が改善されているが、アクティブフィードフォワードを挿入した場合、フィードフォワード構成の第一PLLとアクティブフィードフォワードの重畳による大きなオーバーシュートが生じやすい。これは、外部カウンタへの転送速度を低

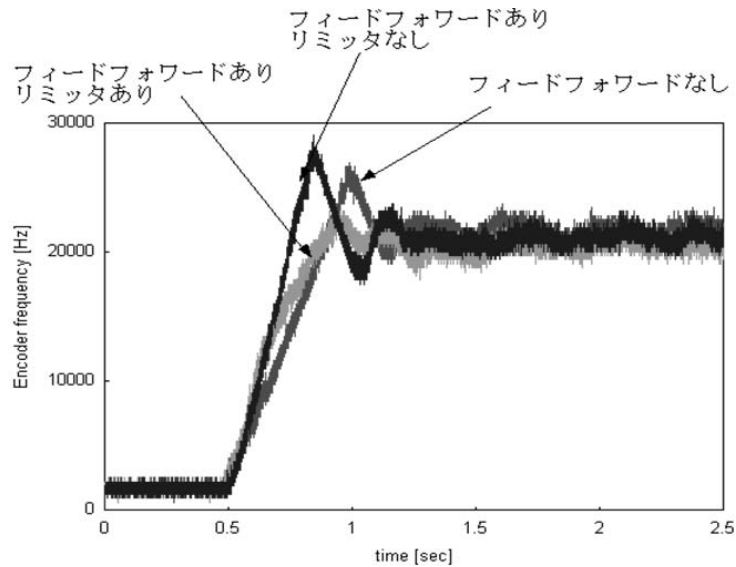
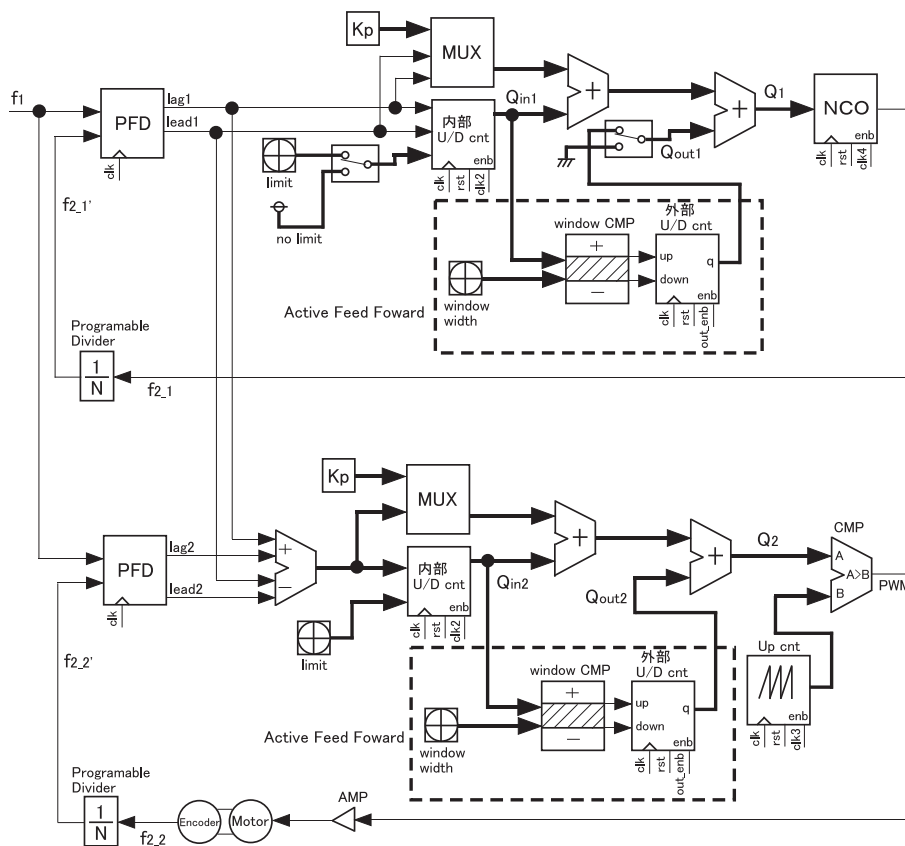


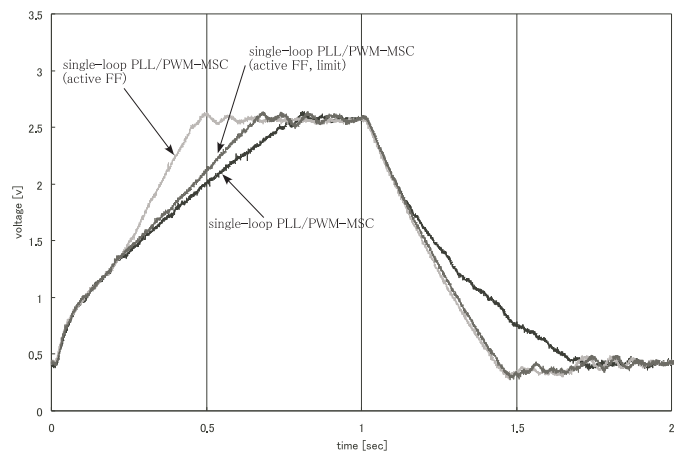
図 A.5 Experimental speed graph

く設定するか，ウィンドウの範囲を広くすることで改善できるが，それではアクティブフィードフォワードの意味を成さない．そこで，このような応答の場合でもリミッタを与えることで，速応性のある程度保ちつつ，オーバーシュートの抑制を施すことが可能となる．

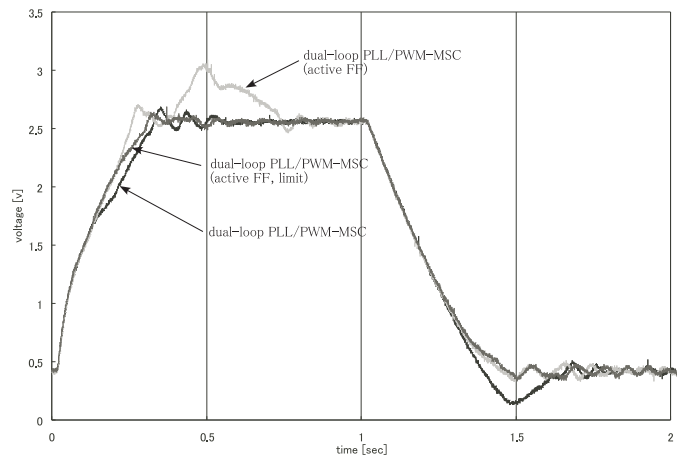
次に，Fig.A.9 に外部カウンタへの転送速度を低速の 200Hz としたときと，外部カウンタへの転送速度を高速の 600Hz とし，リミッタの有無を変えたときの応答を示す．このように外部カウンタへの転送速度を高くしすぎるとハンチングを生じるが，リミッタを与えることでオーバーシュートやハンチングを抑制し，かつ速応性の速い応答を得ることができる．



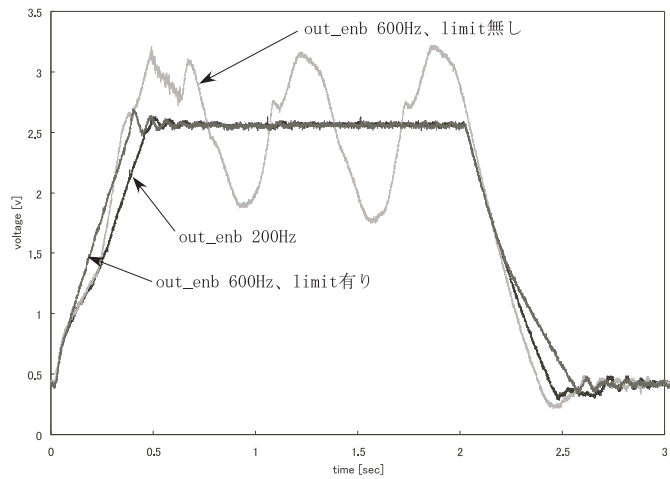
☒ A.6 A realization of the dual-loop PLL/PWM motor speed control system by employing the active feed-forward and the limiter



☒ A.7 Experimental speed step response (single-loop)



⊠ A.8 Experimental speed step response (dual-loop)



⊠ A.9 Effect of the outside enable frequency and limiter

A.3 2重PLLとフィードフォワードの切替モータ速度制御系

2重ループPLLモータ速度制御系では、第一ループはモータ時定数を含まないため、第二ループよりも先に位相同期が達成される。そこで、第二ループの位相同期が外れていることを検出し、その間は第一ループの積分カウンタ値を、直接第二ループの積分カウンタに転送すれば、起動時間をより早められ、またオーバーシュートが生じにくくすることができる。

実際に、フィルタ時定数が比較的大きい場合は、図48に示すように単一ループよりも高速追従と過渡振動の抑制ができる。しかし、フィルタ時定数を小さくしすぎると、第二PLLは3次のモータ制御系であるため位相余裕が小さくなり、図49に示すように過渡振動が避けられなくなる。

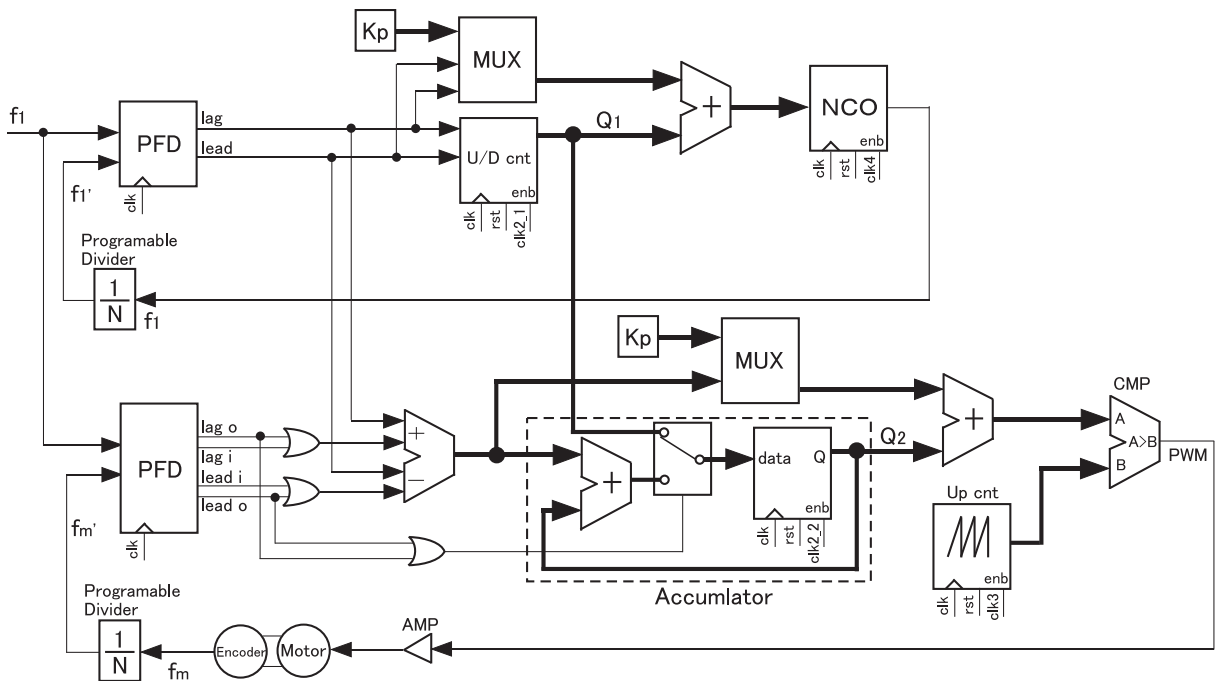


図 A.10 Dual loop PLL motor speed control system (change type)

これらの、3次系のオーバーシュートや振動を抑制する方法として、PDのロックが大きく外れたとき、すなわち信号入力に急峻な変化が生じたとき、第二PLLの積分溜り値に第一PLLの積分溜り値を転移する。そうすると、図A.11のように完全なフィードフォワード構成となる。このように、ロックしているときと、ロックから外れたときの切り替えを行うことで、3次系のオーバーシュートや振動は抑制でき、第一PLLのフィルタ時定数を小さくすることで高速追従することが可能となる。この制御系の構成を切り替え式フィードフォワードと呼ぶことにする。

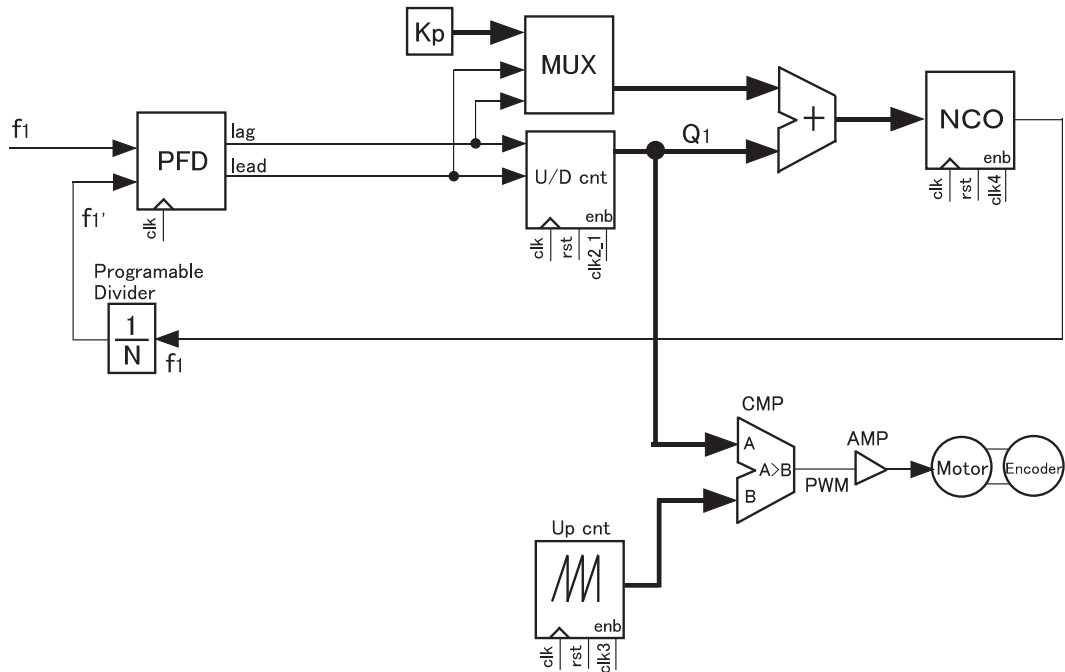


図 A.11 Feedforward construction of Dual loop PLL motor speed control system

なお、このロックの外れはの図A.12の5状態PFDで確認している。

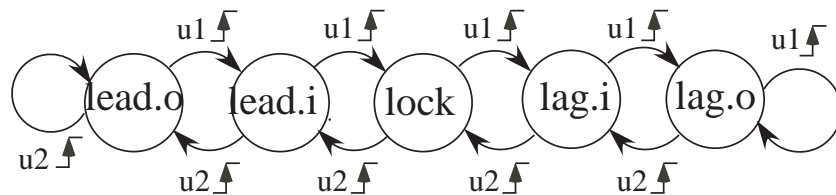


図 A.12 Five state phase frequency detector

ステップ速度入力に対する速度応答特性 これらの、3次系のオーバーシュートや振動を抑制する方法として、PDのロックが大きく外れたとき、すなわち信号入りに急峻な変化が生じたとき、第二PLLの積分溜り値に第一PLLの積分溜り値を転移する。つまり、第二PLLは完全フィードフォワードとなる。このように、ロックしているときと、ロックから外れたときの切り替えを行うことで、図A.13、図A.14のように急峻な変化時は、第二PLLは第一PLLに張り付くように変化する。これにより、3次系のオーバーシュートや振動は抑制でき、第一PLLのフィルタ時定数を小さくすることで高速追従することが可能となる。

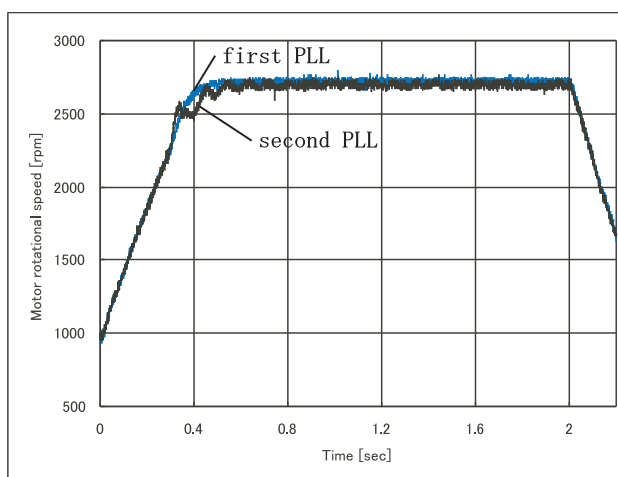


図 A.13 Step speed response of dual loop PLL motor speed control system (change type) (low K_I gain)

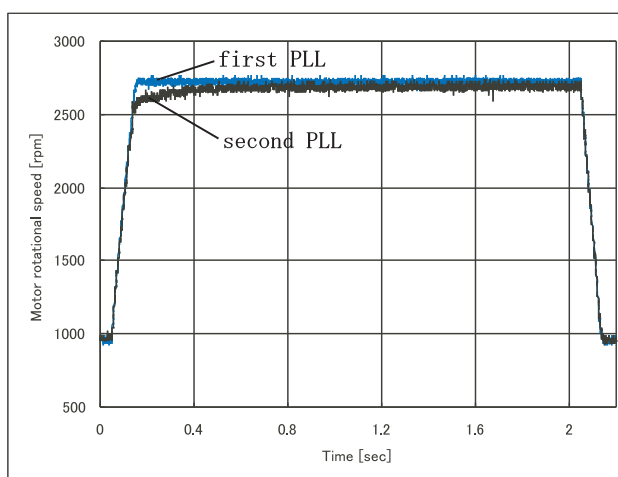


図 A.14 Step speed response of dual loop PLL motor speed control system (change type) (high K_I gain)

加減速入力に対する過渡応答特性　また加減速入力に対しては，図 A.15 の切り替え式では，図 52 の 2 重ループ場合よりもより振動の抑制ができる．特に，加速と減速が不連続に切り替わる際にオーバーシュートが生じないことが認められる．

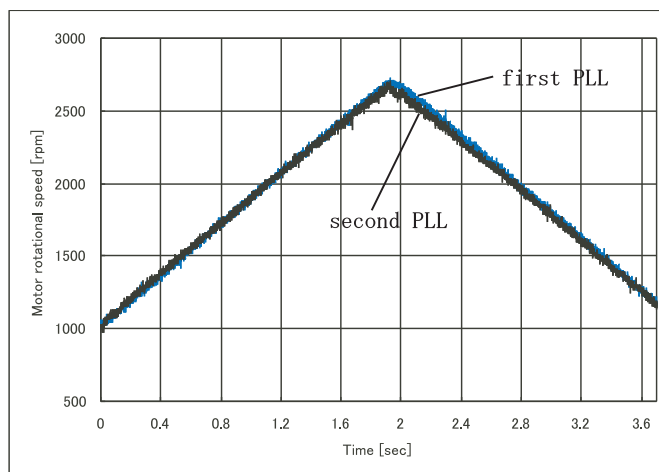


図 A.15 Accelerated speed response of dual loop PLL motor speed control system (change type)

A.4 電子カム実験装置による評価

2重PLLモータ速度制御系の有効性を明らかにするために⁴¹⁾、視覚的に位相滑りが起こらないことが分かるように、図A.16の電子カム⁴²⁾を試作した。これは、定速回転するカム⁴³⁾をマスタディスクに摩擦接触させて、定速、加速、減速の回転を繰り返し発生させる。そして、マスタディスクに直結したエンコーダの信号を基準入力として、PLLによりスレーブディスクを同期回転させる。

単一ループPLLと2重ループPLLを比較したとき、単一PLLループでは加減速(特に加速時は重力により急峻)に対して位相スリップが生じてしまい両コマの回転位置が徐々にずれていく。これに対して、2重ループPLLを用いたときは、加減速にも位相スリップが生じずに回転角は常に一致している。

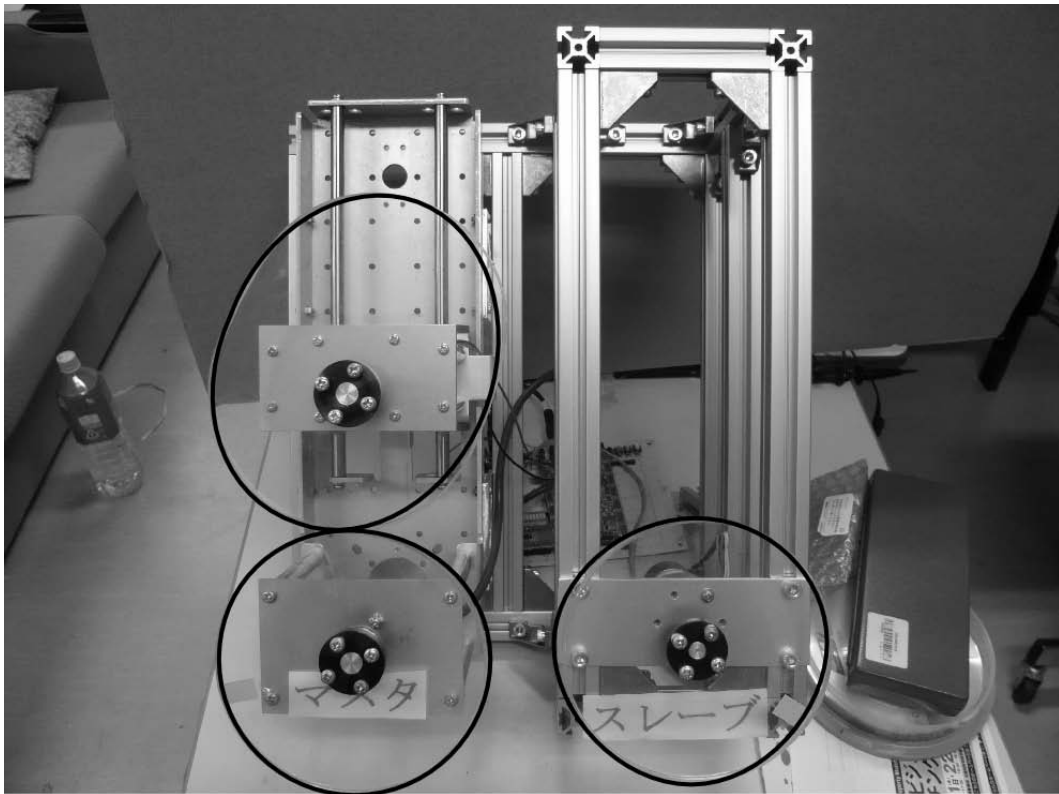


図 A.16 Electronic cam