

高耐圧パワーデバイス用スケールダウン・テストベッドの開発

松吉 峻[†] 附田 正則^{†‡} 平井 秀敏[†] 大村 一郎[†]

[†]九州工業大学院工学府 〒804-8550 福岡県北九州市戸畑区仙水町 1-1

[‡]国際アジア研究センター 〒808-0138 福岡県北九州市若松区ひびきの北 1 番 103

E-mail: †k349531t@tobata.isc.kyutech.ac.jp

あらまし 高耐圧パワーデバイス評価用テストベッドを開発した。本テストベッドは超低寄生インダクタンスを実現する専用デバイスパッケージとアルミブロック等により構成され、理想的なスイッチング特性評価を可能とした。本テストベッドをパワーデバイスの極限性能の見極め、コンパクトモデルの構築、ゲート駆動の高度化などで活用していく。

キーワード テストベッド、圧接パッケージ、高耐圧パワーデバイス、寄生インダクタンス、寄生容量

Development of scale down testbed for high voltage power device

Takashi MATSUYOSHI[†] Msanori TSUKUDA^{†‡} Hidetoshi HIRAI[†] and Ichiro OMURA[†]

[†]Kyushu Institute of Technology 1-1 1-1 Sensui-cho, Tobata-ku, Kitakyushu, Fukuoka, 804-8550 Japan

[‡]The Int'l Centre for the Study of East Asian Development. 1-8 Hibikino, Wakamatsuku-ku, Kitakyuusyu, 808-0135 Japan

E-mail: †k349531t@tobata.isc.kyutech.ac.jp

Abstract The testbed for high voltage power device evaluation was developed. This testbed is constituted by special device package, aluminum block, etc., and realizes a super-low stray inductance. Moreover, ideal switching property evaluation became possible by using this testbed. This testbed is used for measurement of the ultimate performance of a power device, construction of a compact model and the advancement of the gate drive.

Keyword testbed, press-pack, high voltage power device, stray inductance, stray capacitance

1. 理想条件評価とスケールダウン・テストベッド

高耐圧パワー半導体素子の低損失化や高速化に伴い、パワー回路が持つ寄生成分に起因する損失の比率が大きくなり、パワー半導体素子本来の特性評価が困難になってきている（参考文献^{(1) - (7)}）。さらに集積化・高パワー密度化が進む将来のパワーエレクトロニクス機器では、徹底的に寄生成分を抑制した実装が採用されると思われるが、その様な高度な実装が可能とする電気的な特性改善の見積もりは、現状では困難である。この様な背景から、高耐圧パワー半導体素子の評価で寄生成分（ L_s, C_s ）の効果を抑えたテストベッドが必要になってくると考えられる。即ち、パワー半導体素子が本来持つ特性を、寄生成分の効果を極限まで排除した環境で評価することで、①正確な素子損失の計測、②寄生成分により増大する損失の高精度な見積もり、さらに③パワー半導体コンパクトモデル構築の基礎データ取得、④極低寄生成分の実現により可能となる新しいシステム構成のデモンストレーション等が可能となる。寄生成分の効果を低減する為に、本論文

では次に示す2つのアプローチを採用している。

- ① ダブルパルス試験（単発試験）評価に限定することで構成を単純化し、回路の L_s, C_s を低減する。
- ② 電流密度を保ったまま電流をスケールダウンすることで、大容量機器で特に問題となる寄生インダクタンスの影響を低減する。

本論文では、上記2点に基づく具体的なテストベッドの構成方法について述べるとともに、寄生成分のスケールダウンの構成方法として採用した、パワー半導体1チップ専用の圧接パッケージ、低寄生インダクタンス回路構成方法、さらに電流計測の方法について説明する。



図1 スケールダウン・テストベッドの効果

2. テストベッドの寄生インダクタンス及び寄生容量低減

高耐圧パワー半導体の特性評価では、前章で述べたように、寄生インダクタンスおよび寄生容量の低減が重要である。現状の低減レベルを寄生インダクタンスと寄生キャパシタンスの積 ($L_S \times C_S$) を Figure of Merit (FOM) として比較すると、電流計測用のプローブ（電流センサ）を含まない 400V クラスの評価用回路で 1000nHpF 程度であり、300V クラスの集積化電源実装で電流プローブや受動部品の寄生成分を含まない場合で 100nHpF という値である（参考文献^{(1), (2)}）。本研究では、高耐圧パワー半導体素子の特性評価であることを考慮し

- ① 電流波形計測用の電流プローブ（電流センサ）を含んだ構成とする
- ② 受動部品の寄生成分も考慮する
- ③ 4.5KV 耐圧をカバーする
- ④ 寄生成分積 ($L_S \times C_S$) 1000nHpF を狙う
（数十 kHz のスイッチングでも寄生成分による損失レベルが素子の損失に比べ十分低い）

の 4 点を狙うこととした。通常 4.5kV 耐圧の IGBT/ IEGT では、素子の定格電流が数百 A から 2kA 以上であるが、本テストベッドでは 1 チップ構成とし、電流を 30-50A として寄生インダクタンスが評価波形に及ぼす影響を小さくした。この際、インダクタンスを数十 nH、寄生容量を数十 pF にまで低減することで、寄生インダクタンスと寄生キャパシタンスの双方の、計測波形への影響を最小に抑えることが可能となる。以下に具体的な寄生成分低減について説明する。

2.1. パワー半導体パッケージの寄生インダクタンス低減

高耐圧パワー半導体の実装では、モジュール型ではボンディングワイヤが主に使われているが、ワイヤの寄生インダクタンスが大きいという問題がある。そこで大容量変換器などに用いられている寄生インダクタンスの少ない圧接型パッケージを今回の評価回路用に特別に作成した。通常の圧接型パッケージでは内部にチップを数十個並列に接続するよう実装されているが、本テストベッドではチップ 1 枚を圧接する機構とした。これによりパッケージのインダクタンスの影響は数十分の一まで低減されたことと等価になる（図 2）。

2.2. 回路の寄生インダクタンス低減

回路の寄生インダクタンスを低減するため、2 種類の回路構成を検討した。一つはプリント基板（PCB）による回路構成 A と、もう一つはパッケージの電極と回路を一体化した回路構成 B である（図 3）。回路構成 A は、形成しやすい PCB による平行平板構成とし、回路構成 B はアルミブロックの切り出しによる立体回

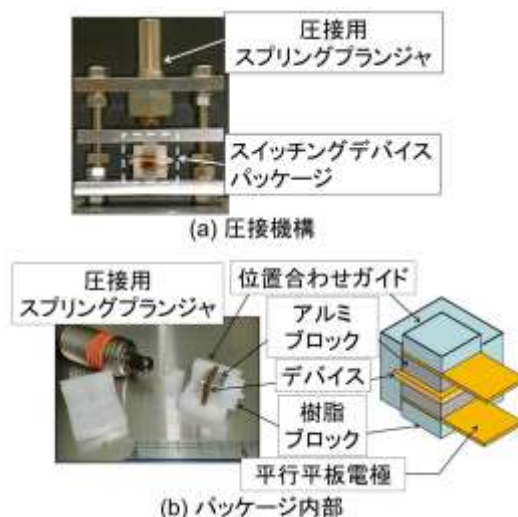


図 2 パッケージ構造と圧接機構

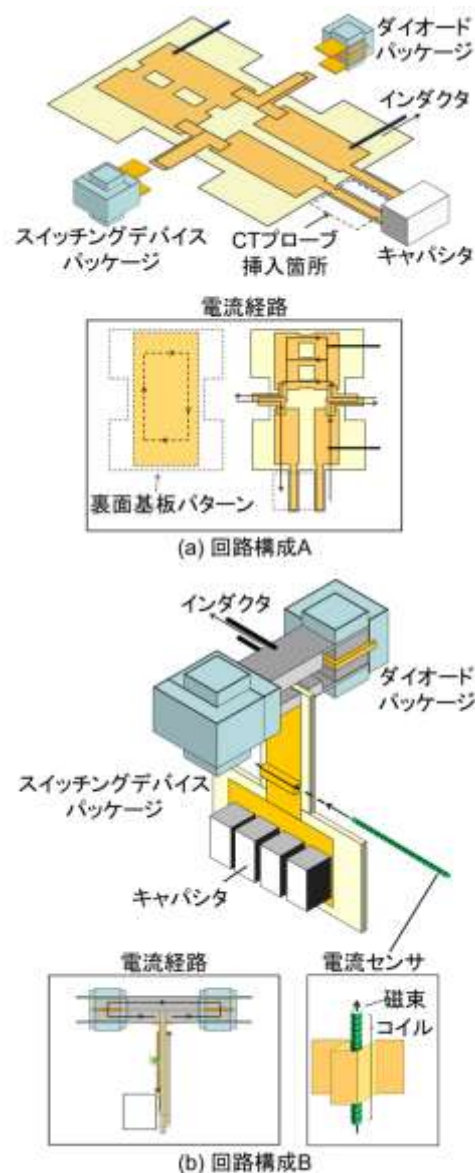


図 3 回路構成 A および回路構成 B 概略図

路構成とした。回路構成 A および回路構成 B とそれぞれパッケージを含めた寄生インダクタンスと寄生容量の設計値、回路構成 A は $L_S:69\text{nH}$ 、 $C_S:29\text{pF}$ 、回路構成 B は $L_S:28\text{nH}$ 、 $C_S:25\text{pF}$ であり、双方とも目的の 1000nHpF の範囲に入っている。

2.3. 電流センサの小型化による回路の寄生インダクタンス低減

電流センサの小型化による寄生インダクタンスの低減を図った。高耐圧パワー半導体の評価では電流トランスが多く使われるが、回路構成 A で電流測定に電流トランスを用いた場合の寄生インダクタンス増加分を計測すると 58nH であった (図 3, 4)。前述の寄生インダクタンス目標を達成するためには電流トランスよりはるかに小さい電流計測方法が必要になる。今回、回路構成 B では、電流トランスの代わりに磁束の変化を計測する小型の空芯コイルを用いて電流波形計測を試みた。(参考文献⁽⁸⁾⁽⁹⁾)。図のように電流センサ挿入部分のループ面積を小さくすることができる (図 3, 4)。その結果、回路構成 B では電流センサ部分の寄生インダクタンスは 1nH 程度に低減された。

2.4. 受動部品の寄生インダクタンス及び寄生容量低減

インダクタの寄生容量を低減するため高周波インダクタに用いられる「ハニカム巻」を採用した。通常の巻き方で作製したインダクタでは 19pF であった寄生容量が、ハニカム巻の採用で 9pF に低減された (図 4)。また、キャパシタ配線による寄生インダクタンスを低減するため、CPU 用電源などで用いられる出カプリング・キャパシタとして小型のフィルムコンデンサを回路主要部直近に配置した。回路構成 A では内部の寄生インダクタンスが 23nH の小型キャパシタを 1 個用いた。回路構成 B では同じキャパシタを 4 個並列に繋ぎ、端子も限界まで短くした。特に回路構成 B ではキャパシタ部分の寄生インダクタンスの設計値 7nH に低減された。

2.5. テストベッド全体の寄生インダクタンス及び寄生容量の設計値比較およびインピーダンスアナライザによる計測

スケールダウン・テストベッド全体の寄生インダクタンスと寄生容量は 2.2 から 2.4 までの各部の寄生インダクタンスと寄生容量の合計と考え比較を行った。回路構成 A の総寄生インダクタンスと総寄生容量は 150nH 、 38pF 、回路構成 B のテストベッドの総寄生インダクタンスと総寄生容量は 36nH 、 34pF であった。設計値での比較では、電流プローブを小型化した回路構成 B のみが当初の目標値を満たした。また、各部分の寄生成分をインピーダンスアナライザで計測した結



図 4 テストベッドの主な構成

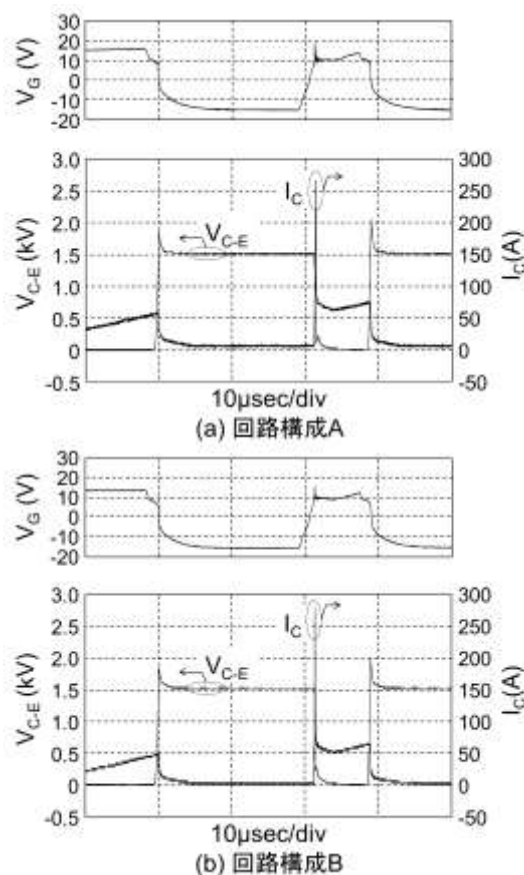


図 5 各テストベッドのスイッチング波形

果、ほぼ設計値と同じ値が得られた。

3. スwitching波形の取得と寄生インダクタンスの確認

スケールダウン・テストベッドの寄生インダクタンス値をダブルパルスによるSwitching波形で確認した。波形は回路構成 A・B 共に、電源電圧 1500V、電流 50A で取得した (図 5)。回路構成 B では回路構成 A よりもターンオフ時のサージ電圧が小さくなり回路構成 B の寄生インダクタンスが回路構成 A よりも小さいことが確認された。計測波形よりテストベッド全体の寄生インダクタンスを計算すると、回路構成 A では 160nH、回路構成 B では 50nH となり、2.5 で示した値とほぼ一致した。

今回試作した回路構成 A では寄生インダクタンスと寄生容量の積が 6000nHpF であり数 kHz 程度のSwitching周波数を想定した波形計測のレベルでは十分高い精度の損失計算が可能となる (図 6) (参考文献⁽¹⁰⁾)。また、回路構成 B では寄生インダクタンスと寄生容量の積が 1000nHpF であり、数十 kHz 程度のSwitching周波数での損失計算が可能である。本構成では特に電流プローブ (電流センサ) 機能を含みながら L_S - C_S 積を低減することに成功した。

4. 今後の課題

今回作製した寄生成分 (L_S, C_S) の低減と電流のスケールダウンを実現したテストベッドにおいて高精度な計測を行うために、

- ① 評価回路が持つ寄生成分の更なる低減

- ② テストベッドが持つ寄生成分の高精度な計測
- ③ 電流プローブの低寄生インダクタンスと精度の両立の 3 点を今後進めていく。

5. まとめ

高耐圧パワー半導体素子の低損失化や高速化に伴い、高耐圧パワー半導体素子の評価で寄生成分 (L_S, C_S) の効果を抑えたテストベッドが必要になってくると考え、パワー半導体素子が本来持つ特性を、寄生成分の効果を極限まで排除した環境で評価するテストベッドを試作した。寄生成分の効果を低減する為に、テストベッド構成の単純化による L_S, C_S の低減と電流のスケールダウンによる L_S, C_S の影響低減という 2 つのアプローチを採用した。

テストベッドは高耐圧パワー半導体素子の専用パッケージとパワー回路に加えて、電流センサおよび受動部品も含んだ構成で 1000nHpF という小さい寄生成分を可能とした。圧接型パッケージの採用、回路の平行平板構成、空芯コイルを用いた電流センサの小型化および受動部品構造・構成により、特に回路構成 B では目標の寄生成分積を達成できた。

今後はさらに高精度な計測のために、更なる寄生成分の低減と寄生成分の高精度な計測法の検討および電流プローブの低インダクタンス化と高精度化の両立を進めていく。

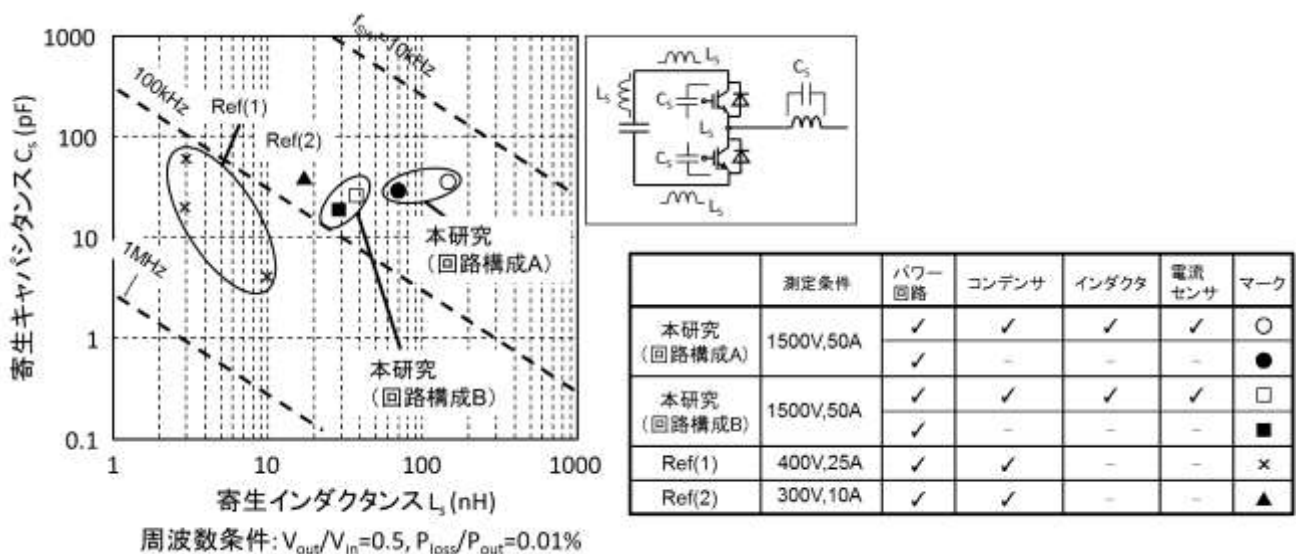


図 6 試作したテストベッドと参考文献で紹介されている回路の寄生成分の比較

文 献

- [1] Fred C. Lee, Jacobus D. van Wyk, Dushan Boroyevich, Thomas Jahns, Robert D. Lorenz, T. Paul Chow, Ron Gutmann, and Peter Barbosa : "An Integrated Approach to Power Electronics Systems", proceedings of PCC Osaka pp. 7 - 12 vol.1 (2002)
- [2] Kazuto Takao, Kazuhiro Adachi, Yusuke Hayashi and Hiromichi Ohashi : "Novel Power Loss Limit Analysis Method for High-speed, Ultra-low Loss Converter" , proceedings of PESC '05 , pp. 2201 – 2207, (2005)
- [3] Joseph Brandon Witcher : "Methodology for Switching Characterization of Power Devices and Modules", Faculty of Virginia Polytechnic Institute and State University , (2002)
- [4] M.Bäßler, A.Ciliox, P.Kanschä : " On the loss - softness trade-off: Are different chip versions needed for softness-improvement?", THE WORLD OF INVERTERS, Issue 8 , pp. 83-87,65, (2010),
- [5] P.-O. Jeannin, D.Frey, J.-C. Podvin, J.-P. Ferrieux, J.Barbaroux, J.-L. Schanen : "1 MHz Power Factor Correction Boost Converter with SiC Schottky Diode" IAS, pp. 1267 - 1272 vol.2, (2004)
- [6] Yanqun Shen, Jian Jiang, Yan Xiong, Yan Deng : "Parasitic Inductance Effects on the Switching Loss Measurement of Power Semiconductor Devices", proceedings of Industrial Electronics, pp. 847 – 852, (2006)
- [7] K. Takao, Y. Hayashi, and H. Ohashi : "Study on High Frequency Limitation of SJMOSFET/SiC-SBD pair in Comparison with Normal MOSFET/SiC-SBD pair", proceedings of PCC '07, pp. 1030 - 1034 (2007)
- [8] Hirai, H.; Kasho, Y.; Tsukuda, M.; Omura, I, "Bonding wire current measurement with tiny film current sensors" proceedings of ISPSD, pp.287 - 290, (2012)
- [9] Yuya Kasho, Hidetoshi Hirai, Masanori Tsukuda, Ichiro Omura, "Tiny-scale "stealth" current sensor to probe power semiconductor device failure" proceedings of ESREF, Microelectronics Reliability, Volume 51, Issues 9–11, pp. 1689-1692, (2011)
- [10] 「2050年における省エネルギー社会の実現に向けた電気エネルギー有効利用に関わるエレクトロニクス技術の調査」, 独立行政法人新エネルギー・産業技術総合開発機構 (委託先) 財団法人 新機能素子研究開発協会, (2006)