

**0.18 μ m CMOS を用いた準ミリ波帯回路
設計手法に関する研究**

宮下 清

九州工業大学
2015年9月

**0.18 μ m CMOS を用いた準ミリ波帯回路
設計手法に関する研究**

宮下 清

九州工業大学工学府
博士(工学)学位申請論文

2015 年 9 月

Contents

Chapter 1: Introduction1
1-1 Motivation for above 10GHz CMOS circuit design1
1-2 Purpose of this Reserch8
1-3 Parabola Antenna Shipment in Japan10
1-4 Satelite Reciver Market All Over the World12
1-5 Ultra Wide Band (UWB) Radar Market in Japan14
1-6 Organization of the Thesis18
Chapter 2: Technology Challenge19
2-1 Ultra Low Noise System Design19
2-2 Ft Maximized Layout Methodology29
Chapter 3: Modeling Methodology	...35
3-1 Basics & Effectiveness of De-embedding36
3-2 Pad-Short-Open de-embedding technique41
Chapter 4: Passive Structures Design and Modeling48
4-1 Transmission Line Design and Modeling48
4-2 Microstrip line vs. coplanar wave guide52
4-3 Slow wave Microstrip line58
4-4 MIM Capacitor Modeling65
4-5 Inductor Design and Modeling72
4-6 Transformer Design and Modeling75
Chapter 5: Ku-band Low Noise Block (LNB) for Satellite Receiver	...80
5-1 Low Noise Amplifier (LNA) Design80
5-2 Down Converter & IF Buffer Design84
5-3 Local Signal Generator Design86
5-4 Measurement Result89
Chapter 6: Ka-band VCO for FMCW Radar98
6-1 Introduction of VCO Design98
6-2 VCO Architecture99
6-3 Passive Circuit Design and Optimization101
6-4 Active Circuit Design and Optimization106
6-5 Chip Fabrication and Measurement Result114
6-6 Summay of VCO Design121
Chapter 7: Conclusions122
7-1 Summary of this Research122

7-2 NEXT STEP124
References126
Contributions141
Acknowledgment144
Appendix146
a) Matlab® code for Pad-Open-Short Deembedding146

目次

第一章： イントロダクション1
1-1 節 10GHz を超える信号を取り扱う CMOS 回路技術を研究する動機1
1-2 節 研究の目的8
1-3 節 日本での衛星放送アンテナシステムの販売台数10
1-4 節 全世界における衛星放送受信機のマーケット状況12
1-5 節 日本でのウルトラワイドバンド(UWB)レーダの普及状況14
1-6 節 論文の構成18
第二章： 技術的課題19
2-1 節 超低雑音システム(NF<1dB)19
2-2 節 F_t を最大化するレイアウト手法29
第三章： モデリング(ディエンベディング)手法35
3-1 節 ディエンベディングの基礎とその効果36
3-2 節 パッド-オープン-ショート ディエンベディング法41
第四章： 受動素子の設計とそのモデリング結果48
4-1 節 伝送線路の設計とモデリング手法48
4-2 節 マイクロストリップ線路とコプレーナ伝送線路52
4-3 節 スローウェーブ 伝送線路58
4-4 節 MIM 容量のモデリング方法65
4-5 節 インダクタの設計とモデリング手法72
4-6 節 変成器の設計とモデリング手法75
第五章： Ku-バンドの衛星放送受信機用低雑音ブロックに関する研究	...80
5-1 節 低雑音増幅器(LNA)の設計80
5-2 節 周波数変換器と IF バッファの設計84
5-3 節 ローカル信号発生器の設計86
5-4 節 評価結果89
第六章： Ka-バンド周波数変調連続波変調用レーダに適した VCO の研究98
6-1 節 VCO 設計の目的98

6-2 節 VCO の構成99
6-3 節 受動素子の設計と最適化101
6-4 節 能動素子の設計と最適化106
6-5 節 評価結果114
6-6 節 VCO 設計のまとめ121
第七章： 結論122
7-1 節 本研究のまとめ122
7-2 節 将来への展望124
参考文献126
本研究に関する論文・発表 リスト141
謝辞144
付録146
a) パッド-オープン-ショート ダイエンベディングに用いた Matlab® コードのリスト146

List of Abbrevitions

AMOS: Accumulation metal oxide semiconductor
BS: Broadcasting Satellite
CMOS: Complementary metal oxide semiconductor
CP: Charge pump
CPW: Co-Planer Waveguide
CS: Communications Satellite
DBS: Digital Broadcast Satellite
DSP: Digital Signal Processing
DUT: Device under test
DVCO: Differential voltage controlled oscillator
DSRC: Dedicated Short Range Communication
FF: Flip-flop
FMCW: Frequency modulated continuous wave
FOM: Figure of merit
GaAs: Gallium arsenide
GCPW: Grounded Co-Planer Waveguide
HBT: Heterojunction Bipolar Transistor
HEMT: High Electron Mobility Transistor
IC: Integrated Circuit
IF: Intermediates Frequency
IIP3: 3rd order Input Intersept Point
ISM: Industry-Science-Medical.
ISS: Impedance Standard Substrate
ITU: International Telecommunication Union
LPF: Low pass filter
LNB: Low noise block
LO: Local oscillator
MCML: MOS current mode logic
MIM: Metal-insulator metal
MMIC: Monolithic Millimeter wave Integrated Circuit
MSL: Micro Strip Line
PDK: Process Design Kit
PFD: Phase Frequency detector
PLL: Phase locked loop

PN: Phase Noise
Q: Quality Factor
QFN: Quad Flat Nonlead
RF: Radio frequency
RFD: Reference frequency Divider
RFIC: Radio frequency integrated circuit
SA: Spectrum analyzer
SCL: Source coupled logic
STB: Set Top Box
SG: Signal generator
SiGe: Silicon germanium
TBD: To Be Determined
TDR: Time Domain Reflectometry
TEG: Test Element Group
VCO: Voltage controlled oscillator
VNA: Vector network analyzer

Chapter 1: Introduction

1-1 Motivation for above 10GHz CMOS circuit design

近年我々の日常生活においてはスマートフォンやタブレットの普及が進み、データ量の大きい静止画・動画等の画像関連のデータを取り扱う事例が増えている。一方企業内においてもコンピュータの処理能力向上に伴ってビッグデータ解析が開始されたり、Internet of Things (IoT) に代表されるセンサからのデータをネットワークに直接アップロードする端末数が増えていることも重なって、データトラフィック自体が爆発的に増加している。その為有線・無線を問わず全てのネットワークにおいて高速でデータ伝送を行う要求が日増しに高まっている。

一方、総務省によると”2020年までには通信量は現在の約200倍以上となることが予想されている”[1-1]。このため我が国は電波の割当てや周波数の再編を行い、周波数のひっ迫状況を緩和し新たな周波数需要に的確に対応すべく、平成17年度より総務省主導で”電波資源拡大のための研究開発”を実施し、周波数を効率的に利用する技術周波数の共同利用を促進する技術又は高い周波数への移行を促進する技術について研究開発を推進している。この研究開発は平成27年度も継続して行われており、且つ1つ1つのテーマの実施期間が4年程度と長い特徴を有する。

無線通信の歴史を振り返っても周波数の高いキャリアへの移行が確認できる。例えばテレビにおいてはチャンネル数の増加に伴って1ch~12chのVery High Frequency (VHF)^{注1)}帯からUltra High Frequency (UHF)帯へ利用する周波数帯が高周波側に拡張されている。また携帯電話においても900MHz帯を使用していた2Gから、2GHz帯を利用する現在主流の3G、そして3G帯の使用を視野に入れたLong Term Evolution (LTE)へと進化が続いている。これら低GHz帯の周波数は電波の回折現象によって見通せない所へも通信が出来る便利な周波数である上、キャリアの波長が装置の大きさに比べて十分大きく且つ半導体中での取り扱いも容易な為、今までは無線通信の中心として盛んに使われていた。

一方電波は6~8GHzを超える周波数に達すると、テレビ、携帯電話や無線LAN等で利用されている電波と異なって、殆ど回折しない為、直接見通せない場所では電波が届かない光のような伝達特性を示すようになる。加えて自由空間での波長はcmのオーダーにまで短くなり^{注2)}、半導体内パッケージと同等の長さに達する為、チップ内での信号の取り扱いも困難になってくる。その一方で電波は直進性が優れている為、干渉低減が容易に行うことが出来、結果として周波数利用効率を上げることに繋がる。即ち6~8GHz以上の周波数を扱う半導体の研究は周波数がひっ迫している現状の解決する一つの解と成り得る。それと同時にキャリア周波数の高周波化は、比帯域(データ帯域幅/キャリア周波数)一定の条件下では、データ帯域を広く取る事が出来る為、

大量のデータを短時間に送ることも可能に成って来る。

それに加えて反射波のドップラー周波数はキャリア周波数の上昇に比例して増加し、その為に日本でも 10GHz 以上の周波数が測距センサや速度センサ及びレーダ利用の為に割り当てられており、今後は通信以外の更に幅広い分野でも応用が期待されている。

以上の事実を鑑み、本研究では産業に直接貢献し人々の生活をより良い物にして行く工学的意味を考え、10GHz より高い準ミリ波帯(Pseudo-Millimeter Wave)の周波数を取り扱う半導体の設計手法の確立を研究の対象にした。最初に準ミリ波帯の電波が世界中でどのような分野で利用されているかをまとめる。

The Institute of Electrical and Electronics Engineers, Inc. (IEEE)の論文やテキスト、および政府関連機関のレポートを調べてみると、10~30GHz の準ミリ波帯の周波数は以下の 4 つ分野で利用され、それぞれが大きな市場を形成している事がわかった。それらについて引用文献を示しつつ説明する。

まずは、Ku-バンド(12~18GHz), 及びそれよりやや低い周波数を利用した、

- 1) Point-to-point(P2P) の microwave link/Field pick up unit (FPU)[1-2]-[1-6]
- 2) テレビのデジタル衛星放送 (Digital Broadcast Satellite “DBS”) [1-7]-[1-10]用低雑音ブロック(Low Noise Block “LNB”).

12G・24GHz を用いた

- 3) 心音や呼吸の遠隔地点での検知/自動ドアの開閉補助(移動体検知)/タンクの水
位計[1-11]-[1-15]

K-バンド(18~26GHz), Ka-バンド(26~40GHz)を使った

- 4) 自動車用レーダ(Narrow Band[1-16]-[1-26], Ultra-Wide Band[1-27]-[1-30])及び、
P2P のデータ伝送[1-31]-[1-32]

等であり、いずれも世界中で盛んに利用されている。

加えて、5G (5th generation mobile networks or 5th generation wireless systems) のキャリア周波数として 28G, 38G が大きな注目を集める[1-35]-[1-37]ようになるなど、新規の応用分野も盛んに研究されている。

次に、日本で政府が許可している 10GHz 以上の電波配分の様子[1-38]を次ページの図 1-1 に示し、その要旨を表 1-1 にまとめる。

注 1) VHF:30M~300M[Hz]

UHF:300M~3G[Hz]

注 2) 2GHz の信号の自由空間内の波長= $3e8/f(2GHz)$
= $0.15[m]$

表 1-1 日本における 10GHz 以上の周波数割り当て状況

記号	周波数帯[GHz]	主な用途
[a]	3.400~4.800 7.25~10.25	屋内限定での大容量データ通信用
[b]	10.25~10.45 10.55~10.7 12.95~13.25 41.0~42.0 54.25~55.78	放送事業者の番組素材中継用
[c]	10.5~10.55 24.05~24.25	速度測定等の狭帯域レーダ
[d]	14.7~14.9 15.25~15.35 36.0~37.5 43.5~45.2	公共機関の画像伝送
[e]	19.7~21.2 29.5~31.0	データ中継衛星
[f]	22.4~22.6 23.0~23.2	携帯電話等の交換局と基地局間の中継回線
[g]	23.0~23.55 25.55~25.25~27.5	データ中継衛星
[h]	22.0~29.0	自動車等の衝突防止システム用超広帯域レーダ (22.0~24.25GHz の仕様は平成 28 年 12 月 31 日まで)
[i]	11.7~12.2 22.5~23.0*	放送衛星業務

*22.5~23.0 が割り当てられているのは、アジアオセアニア地域のみ[1-39]
 11.7~12.5 がヨーロッパ、アフリカ、旧ソ連諸国に割り当てられている。
 11.7~12.2 は南北アメリカに割り当てられている。

この様に数多くの魅力的な応用分野を有する準ミリ波帯ではあるが、今までは超高周波であるが故に以下のような様々な問題点がある為その利用が遅れていた[1-40].

- a) 低 GHz を利用するワイヤレスシステムの携帯電話, Wi-Fi, Bluetooth 等では考慮の必要が無かった, 波長を考慮した装置設計が必要に成り実現が困難になる.
- b) 波長と同程度の導体からは容易に電波が放射されるので, それを防止する為に電磁波をシールドする追加機構が必要に成り, 装置の大型化やコスト高を招く.
- c) 超高周波を取り扱うために Gain-Bandwidth(GBW)の広い高価なデバイスを利用する必要がある.
- d) 集積化が進んでおらず部品点数が多いのでモジュール中の電氣的接続(特に半田付け)箇所が多く信頼性に欠ける.

先ず問題の 1 つである装置の大きさについて詳細に事実を確認する. 先述 1)・2)として例示した Ku-バンドの用途では, 両方のアプリケーション共に屋外で用いられる物である為 Dish/Parabola-antenna を必要とする比較的大型の利用形態が一般的であった. それを視覚的に明示するために図 1-2, 図 1-3 では LNB の写真を示す. また図 1-4 には図 1-3 の LNB モジュールの外形図を示す.

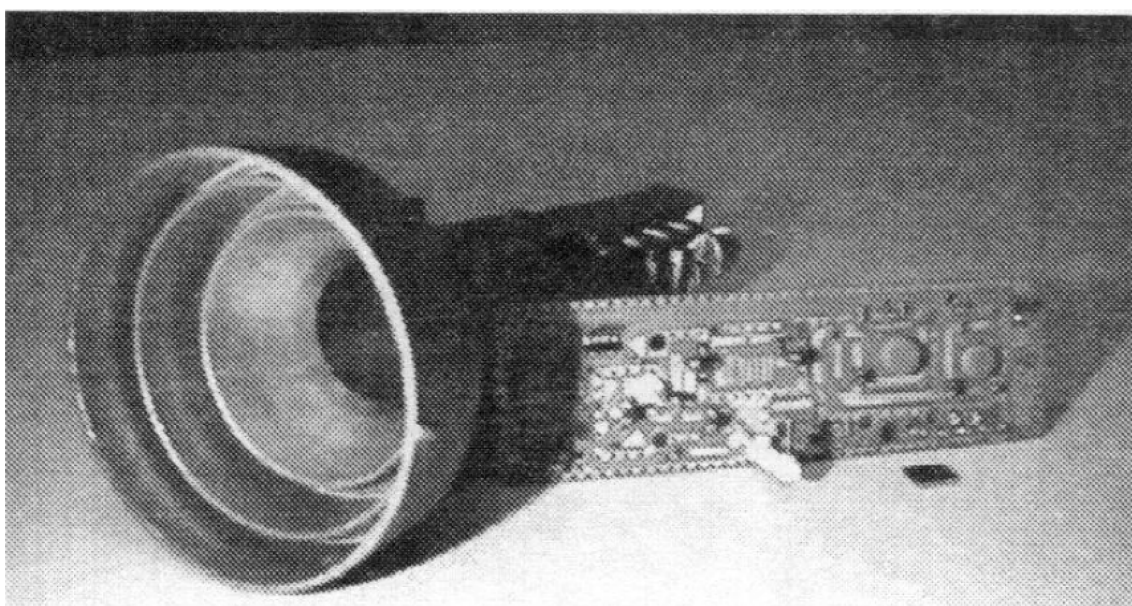


図 1-2 衛星放送アンテナの外観例 1 [1-7]



図 1-3 衛星放送アンテナの外観例 2 [1-8]

NJR2934E/35E/36E/37E/39E

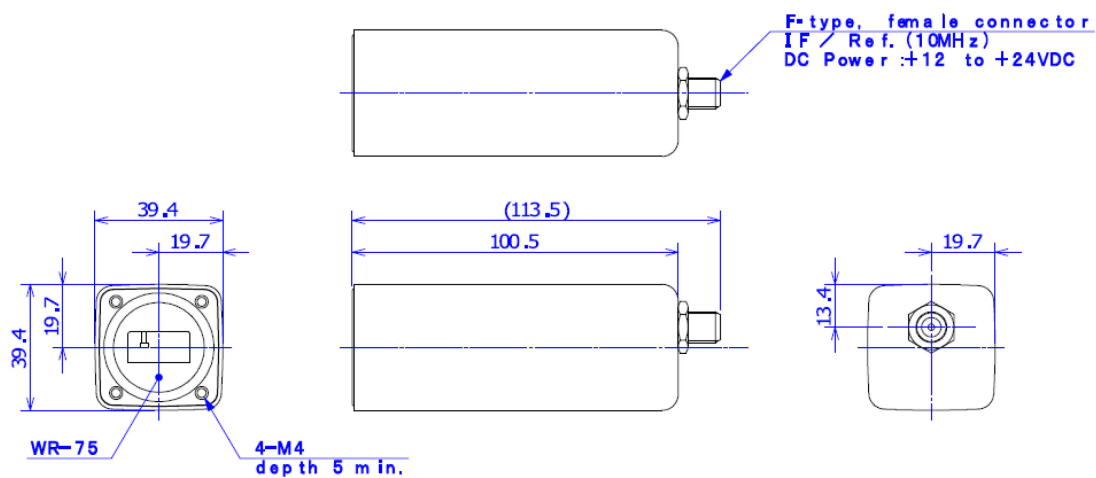


図 1-4 図 1-3 に示した LNB の外形図 [1-8]

LNB の長さは 100.5mm と短いものの、断面は 39.4x39.4mm と厚く大きい。アンテナへの出力には WR-75(周波数帯域 9.84~15.0[GHz])の導波管の利用が前提となっており、アンテナとの接続方法も小型化を妨げている原因である事がわかる。

一方, 3)・4)として例示した K・Ka-バンド用途では, Ku-バンドに比べて波長が短いことを利用し, 小型化を図った用途が主流であるものの, 数 GHz の用途を代表する携帯電話と比べるとその差は歴然としている[1-41], [1-42]. これら装置の大きさの問題については, デバイスの集積化や小型化によって解決できるものだと考える.

もう一つの問題である“高価なデバイス”を使用している問題についても同様に見ていくと, 利用されている環境が寸法制約の比較的緩やかなモジュール内部であることや, 準ミリ波帯という超高周波を取り扱う事などから, 今までは非 Si 系の化合物半導体, 例えば GaAs の個別素子[1-43], [1-44]や, CMOS に比べ製造工程が複雑である為に大量生産による低コスト製品には殆ど用いられていない SiGe[1-8], [1-45], [1-46] の半導体による信号処理が行われている. 他方最も安価な半導体プロセスであり, 現在の半導体の主流でもある CMOS によって集積化された IC の発表は, パッケージに封止されていない研究レベルのもの[1-47], [1-48]である. これらも先述の大きさの問題同様デバイスの高集積化や小型化で解決できる問題である.

1-2 Purpose of this Research

このような状況を鑑み本研究では、個別部品の集積化によるシステムコストの低下と信頼性の向上を目的としている。具体的には既に 10 年以上の量産実績があり生産コストも十分安く、信頼性要求が厳しい車載分野でも利用されている 0.18 μ m-CMOS プロセスで製造された IC を、標準的なプラスチックパッケージである 32-pin \cdot 0.5mm ピッチの Quad Flat Non-lead (QFN) に封止した Monolithic Millimeter wave Integrated Circuit (MMIC) に適用し、その有効性について言及する。

研究対象の選択には工学本来の意義である[1-49]”科学技術の発展によって人々の豊かな暮らしの実現に貢献する”事を重視した。そこで最初の研究ターゲットとしては、準ミリ波帯の中で最も市場が大きく“多くの人に様々な情報を伝達する事で生活を豊かにできる” 2) のテレビのデジタル衛星放送受信機(Ku-バンド)を選択した。また 2 番目には人の安全を高めることで豊かな生活へ貢献し、且つ目覚ましい勢いで市場の拡大を遂げつつある 4) の用途の一部として挙げた車載・予防安全用途のレーダ部品研究(K~Ka バンド)を選択した。

先ず LNB と車載レーダ用途部品の 2 つ研究を効率よく進め“新規用途製品研究のモデルケース”とする為に、適切なゴールを設定し、ゴールに到達するまでの課題を予め整理し、それらを Step-by-Step で解決して行く手法を用いる事にした。その為には部分的には 2 つの研究を同時進行で研究する必要がある。

以下では LNB とレーダ部品の同時研究を行う事で排除出来そうな無駄と、得られる効果について説明する。

- 1) Process Design Kit (PDK)を 40GHz 対応にしておけば、1つの PDK で両方の周波数に対応できる為研究効率も上がる。
>特に今回の研究製品群は、通常の PDK がサポートしていない準ミリ波帯域を使用する為、準ミリ波・ミリ波対応の PDK 研究は必須であり、効率的な設計プロセスの構築も大きな課題として挙げられる。
- 2) 今迄の回路設計経験、5.8GHz Dedicated Short Range Communication (DSRC) の 2 倍周波数の LNB を設計したのち、さらにその 2 倍の車載レーダ用途の設計に進むため、設計ノウハウを徐々に高めて行く事ができ設計ハードルを相対的に低くする事が可能になる。
>Ku-バンドの設計で得たノウハウを、車載レーダの部品研究にフィード・バック出来るので、車載レーダ部品研究においては、設計時間の短縮が可能であるとの見通しを得た。
- 3) 製品が点ではなく、群となるので幅広い分野・ユーザーにアピールできる。
>マーケットリサーチやマーケティング・セールス等の面でのインパクトが格段に

高くなり, 効率も上昇する.

一方欠点としては, 当初掲げた 2 つの回路を設計する為時間が掛る事が挙げられる. 上記 1) と 2) とで説明したように 2 製品=2 倍の時間が掛かる訳ではなく, むしろ 1 つの作業で 2 製品両方の研究が終わる, 若しくは 2 つ目の研究は加速する事が期待できる為問題とはならない.

以上の事より, 研究的な視点からは研究対象の正当性が確認できた. 続く 1-3~1-5 節では, 市場調査を通じてマーケティング的な観点からも研究対象を検討してみることにする.

1-3 Parabola Antenna Shipment in Japan

1-3～1-5 節では、1-2 節で定めた開発目的のマーケットの状況の詳細を見て行く。此処 1-3 節では一番目の準ミリ波帯 IC の研究ターゲットに定めた衛星放送受信機の日本校内マーケットの動向を過去に遡って調査した。

その為に一般社団法人電子情報技術産業会(JEITA)発表の[民生用電子機器国内出荷統計]のデータをもとに、総務省が自らまとめた“衛星放送の現状”平成 26 年度第 2 四半期版中のデータ [1-50]を引用しつつ LNB の国内市場について説明する。

次ページ図 1-2 にその“衛星放送アンテナの出荷台数”のグラフを示す。これは横軸に統計取得年度を示しており、データ取得開始年度は 1987 年度、最新のデータは 2013 年度のものである。データとしては棒グラフで表された単年度出荷台数(縦軸左に数量表示有、単位は万台/年)と、折れ線グラフで表された累計出荷台数(縦軸右に終了表示有、単位は万台)が記載されている。

このグラフによると、衛星放送アンテナの過去最高の単年度出荷台数は、1992 年に記録された 163 万台/年であり、その後もコンスタントに 70 万台以上は売れる安定した市場である事がわかる。他方累計出荷台数は 2013 年度において 2574 万台に達しておりコモディティー化している市場と考える事もできる。

但し金額ベースで考えるとパラボラアンテナ 1 台の実勢価格は、5000～10000 円であり、国内での売り上げは、37.5～150 億、たぶん 50 億程度であると想像される。従って国内だけでも LNB 用途の電子部品の売上高はその 5～10%、少なくとも億オーダーの市場が有ると思われる。

また海外に目を移すと、中継局を必要としない衛星放送は発展途上国において非常に魅力的な高品位放送媒体であり、世界での衛星放送受信機売り上げ台数は 1 億台/年だとも言われる巨大市場で、日本国内の 10 倍以上の市場規模が期待できる。

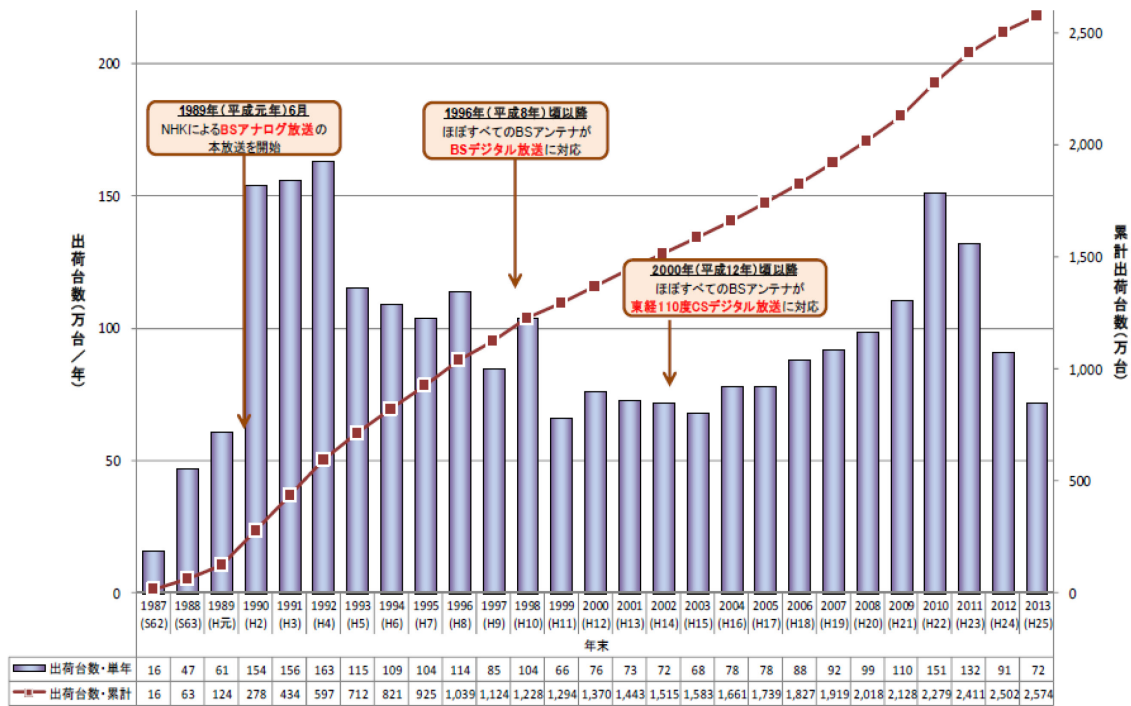


図 1-2 衛星放送アンテナの出荷台数[1-50]

LNB は衛星放送アンテナ 1 台につき、通常 1 モジュールが搭載されており、衛星アンテナ出荷台数は、LNB 出荷台数とほぼ等しいと考えられる。

1-4 Satellite Receiver Market All Over the World Wide

世界中の市場に打って出る事は、今後高齢化と総人口の減少が予想される日本において避けては通ることの出来ない道である。そこで1-4節では総務省統計局が、毎年公表している“世界の統計”を利用して、国別の衛星放送受信機の普及状況を調べた。

使用した資料は2013年度版[1-51]・2014年度版[1-52]で、その中の2001・2006・2010・2011年度における衛星放送の契約世帯数を調査した。以下でまとめた数は前頁 図1-2 “衛星放送アンテナの出荷台数” 折れ線グラフで表された“総出荷台数”に近いものと言え、また衛星用パラボラアンテナを1世帯で2つ持つ家庭もある筈なので、この値は”少なくとも“の考え方の方が良いと思われる。いずれにしても全世界の衛星放送受信機出荷台数の傾向は、図1-3によって把握できると考える。

表 1-3 世界各国の衛星放送契約世帯数

	衛星放送契約世帯数				契約純増数 2011-2010	Comment
	2001	2006	2010	2011		
アジア						
日本	11,164	12,922	13,423	13,423		2011年は2007年
インド		11,100	19,100	19,100		2011年は2009年
インドネシア	4,000					
韓国	516	1,940	2,375	3,262	887	
サウジアラビア	2,061					
シンガポール						
タイ	255	331				
中国						
トルコ	3,140	3,284		3,875	3875	
フィリピン						
ベトナム						
マレーシア	748	2,203	3,172	3,050	-122	
北アメリカ						
アメリカ合衆国	17,890	28,084	32,700	33,900	1200	
カナダ				2,877	2877	MMDは衛星放送に含まれる
メキシコ	869	1,339	2,440	5,645	3205	
南アメリカ						
アルゼンチン						
コロンビア		228	249	685	436	
ブラジル	1,244	1,480	2,780	6,985	4205	
ベネズエラ		820	1,050	1,365	315	
ペルー				362	362	
ヨーロッパ						
イギリス	6,590	8,791	9,804	10,979	1175	2011年は2010年
イタリア	2,550	4,800	4,800	5,030	230	
ウクライナ	141					
オーストリア	1,560	1,699	1,742	1,708	-34	
オランダ	340	790		790	790	2011年は2004年
ギリシャ	260	419				
スイス	440	486				
スウェーデン	862	694	666	666		2011年は2009年
スペイン	2,036	2,044	1,846	1,756	-90	
デンマーク	671	383	356	283	-73	
ドイツ	13,300	16,720	16,200	17,500	1300	IPTVは衛星放送に含まれる

ノルウェー	520	721	691	655	-36	
フィンランド	361	406		406	406	2011年は2003年
フランス	4,740	6,210		6,210	6,210	2011年は2004年
ベルギー	150	30		30	30	2011年は2006年
ポーランド	2,810	3,121				
ポルトガル	425	436	645	699	54	
ロシア	550	1,624				
アフリカ						
エジプト	887	5,000	10,919	2,350	-8569	
ナイジェリア						
南アフリカ	450	502				
オセアニア						
オーストラリア	575					
ニュージーランド	300	453		810	810	
	2001	2006	2010	2011		
Total	82,405	119,060	124,958	144,401	19,443	単位は1000台

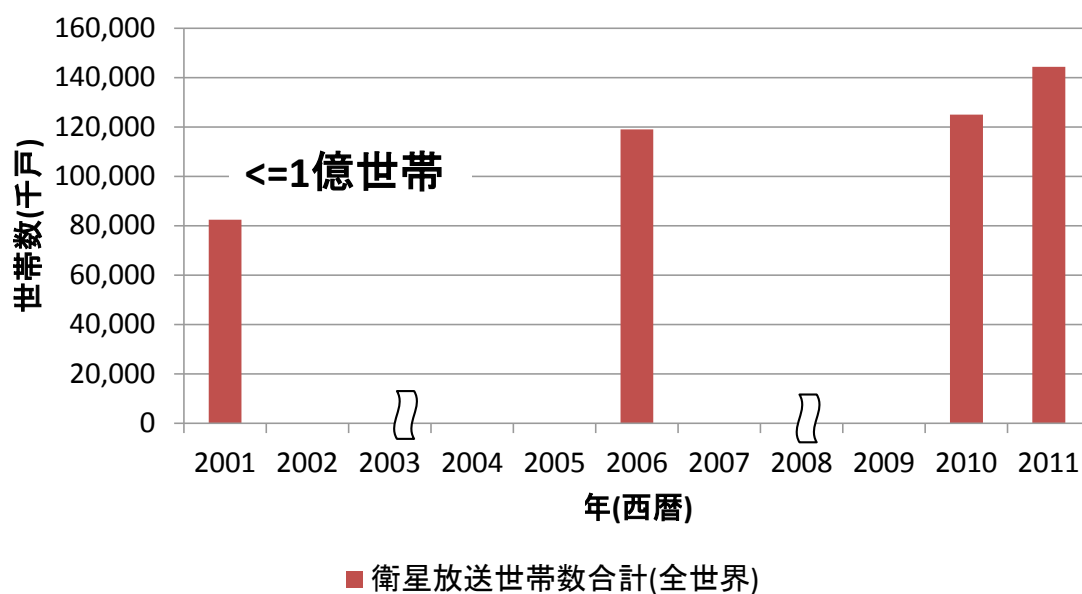


図 1-3 各年における世界の衛星放送契約世帯数

2010年2011年の衛星放送受信世帯の純増は約1940万台で、これにはエジプト政情不安による850万世帯の減少が大きく影響している。それでも2010年から2011年の、純増は過去10年間の増加分に匹敵する。

以上の結果より、日本国内で飽和状態であるものの世界に目を向ければまだまだ台数や今後の伸び率が大きな巨大成長市場である事が確認できた。

1-5 Ultra Wide Band (UWB) Radar Market in Japan

続く1-5節では第2の研究対象として定めた車載レーダの中でも、EUで既に利用されており、日本においても比較的早い市場形成が期待される、近距離検知用の Ultra Wide Band (UWB) Radar の国内市場を調査する。

Ka-バンドの Automotive レーダ の代表である UWB レーダの日本での普及状況は、日本自動車輸入組合(Japan Automotive imports Association: JAIA)の統計で確認できる。これはUWBレーダ搭載自主管理グループが定期的にWEB上で公表している統計である[1-53]。

WEB アドレス(2015年4月19日現在)

<http://www.jaia-jp.org/j/about/report/>

UWBレーダ搭載自主管理グループ参加会社は以下の4社である。

ゼネラルモーターズジャパン(株)・ビーエムダブリュー(株)・本田技研工業(株)・メルセデス ベンツ日本(株)。

以下に示す掲載台数は、自主管理グループ参加会社の、2010年4月から最終更新月2014年12月31日までの累計台数である。

また“UWBレーダ”の定義は電波法施行規則第4条の4 第2項第2号で定める超広帯域無線システムの無線局の通信設備を参考に確認した。これは2015年4月19日現在、以下のWEBで公開されている[1-54]。

http://www.tele.soumu.go.jp/horei/reiki_honbun/a720020001.html

該当部分を”法律用語なのでそのままの書式”で以下に転記する。

“超広帯域無線システムの無線局(必要周波数帯幅が四五〇MHz以上であり、かつ、空中線電力が〇・〇〇一ワット以下の無線局のうち、屋内において主としてデータ伝送を行う無線局であつて三・四 GHz以上四・八 GHz未満若しくは七・二五 GHz以上一〇・二五 GHz未満の周波数の電波を使用するもの又は無線標定業務を行うことを目的として自動車その他の陸上を移動するものに開設する無線局であつて二四・二五 GHz以上二九 GHz未満の周波数の電波を使用するものをいう。以下同じ。)の送信設備”である。

上記のような特色を有する、UWBレーダを備えた新車登録台数を集計して次頁の表1-4に、それをグラフ化して図1-4に示す。

表 1-4 UWB レーダの新車登録台数

最終更新月	搭載するUWBレーダの種類		合計 20GHz帯 UWB レーダ合計
	22GHz以上24.25GHz未満 の周波数帯を使用周波数に 含むUWBレーダ	24.25GHz以上29GHz未満 の周波数帯を使用周波数 帯に含むUWBレーダ	
2014/6/30		18255	
2014/3/31		18103	
2013/12/31	59724	17914	77638
2013/10/31		17615	
2013/6/30		16417	
2013/3/31		13573	
2012/12/31	15190	9894	25084
2012/9/30		6667	
2012/6/30		5000	
2012/3/31		3518	
2011/12/31	1012	(推定)2000	(推定)3000
2010/4/1	0	0	
純増2013	44534	8020	52554
純増2012	14178	7894	22072
純増2010~2011	1012	(推定)2000	(推定)3000

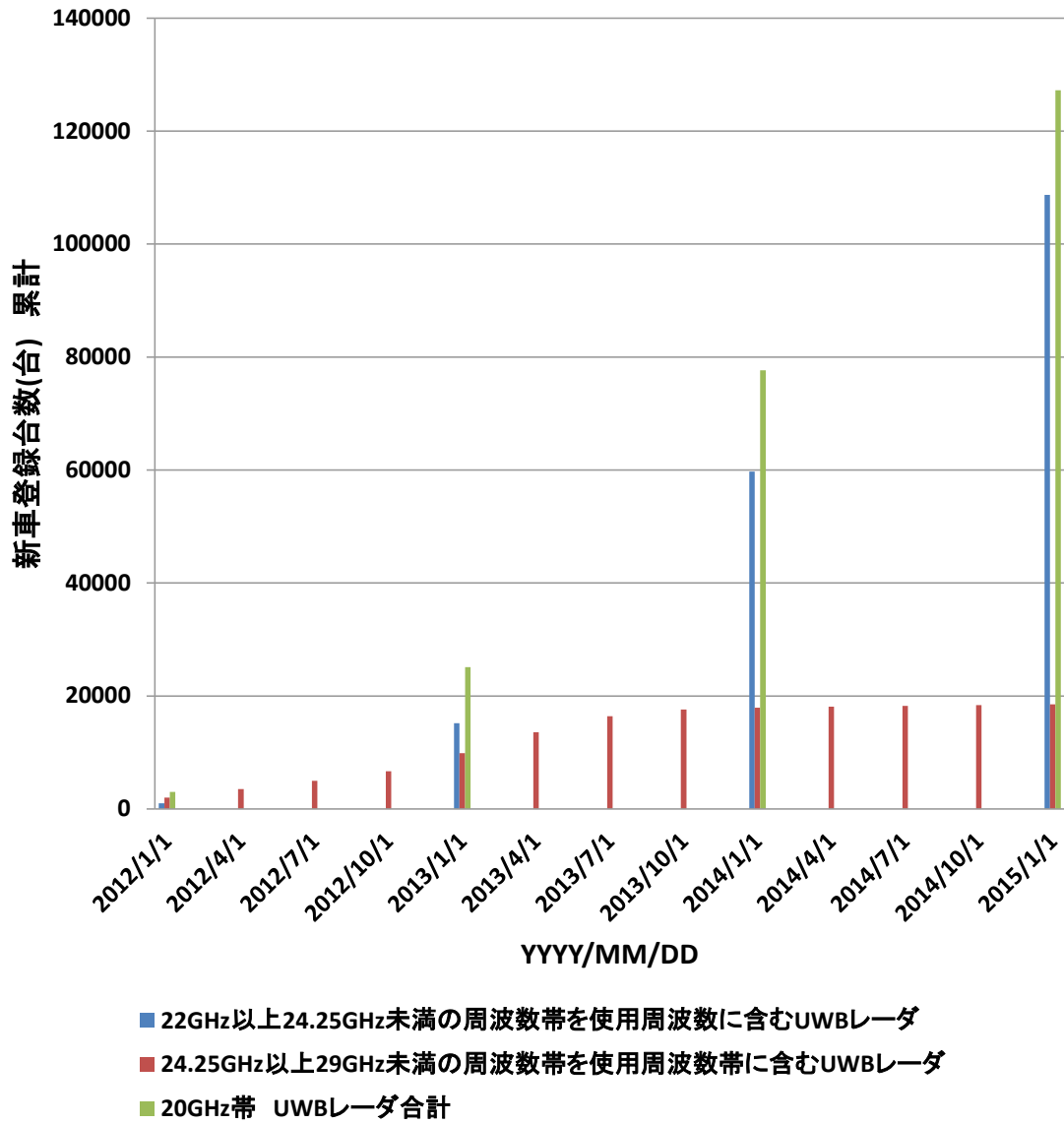


図 1-4 UWB Radar の新車登録台数

前述の、表 1-4・図 1-4 に寄れば 24GHz 近傍の周波数を用いた、車載レーダ (22.0～24.25GHz), (24.25～29.0GHz)両者は、正に市場立ち上がり期の様相を示している。更に自動車に搭載する部品は一度採用されると長く使われる傾向にある[1-55]ので、24G-UWB Radar の研究はまさに今開始すべき分野だと言える。

他方同じく 24GHz 帯の 24.0～24.25GHz を用いた小電力通信装置も狭帯域の車載レーダとして利用されている。このアプリケーションに対する技術仕様は、日本国内では無償公開されている[1-56]。加えて衛星受信機の場合と同様に EU 内でも 24G 車載レーダの規格は標準化され、こちらも無償で公開されている[1-57]。即ち 24GHz 狭帯域のアプリケーションは ISM バンド(Industry-Science-Medical Band)と呼ばれ日本のみならず全世界で利用できる応用範囲の広い周波数帯である。

従って二番目の研究目標である車載レーダ向け部品においては、ここ 1-5 節で市場の存在を確認した 24G-UWB レーダに限定せず、24G 狭帯域の車載レーダの事も考慮しつつ研究を進めていくこととする。

EU 内での 1~40GHz の放射電界等に関する規格は、ETSI EN 300 440-1 V1.5.1 (2009-03) “Electromagnetic compatibility and Radio spectrum Matters (ERM): Short range devices: Radio equipment to be used in the 1 GHz to 40 GHz frequency range: Part 1: Technical characteristics and test methods” [1-58]

と ETSI EN 300 440-2 V1.3.1 (2008-11) “Electromagnetic compatibility and Radio spectrum Matters (ERM): Short range devices: Radio equipment to be used in the 1 GHz to 40 GHz frequency range: Part 2: Harmonized EN covering essential requirements of article 3.2 of the R&TTE Directive” [1-59]において詳細に記述されている。

加えて、24GHz 帯には狭帯域(最大 22.0～26.65GHz)の別途規格が存在する[1-60], [1-61]ので、こちらも参考にした。

1-6 Organization of this Thesis

本論文の構成を以下に述べる。1章では、この研究の動機・背景について述べた。2章では技術的なチャレンジの理論的背景についてまとめる。続く3章では高周波 Process-Design-Kit(PDK)を確立するうえで欠かせない、ウエファ上での RF 測定の高精度化方法”De-Embedding“方法を解説し、今回非常に高い周波数測定に併せ、40GHz までは対応できる PDK 確立のために導入した”Pad-open-short”の De-embedding 方法を詳細に説明する。4章では受動素子の設計とモデリングについて説明した後、第5章で Ku-バンドの LNB を構成する各回路ブロックの設計手法と実際の IC の評価結果について述べ、第6章では Ka-バンドの VCO 設計及び IC の測定結果について報告し、後に7章でこの研究をまとめる。

Chapter 2: Technology Challenges

設計に関する詳細を述べる前に、設計上の問題点・克服すべき課題を解析結果・測定結果を交えながら明らかにしていく。

2-1 Ultra Low Noise System Design

先ず 10GHz 超の周波数を取り扱うアプリケーションの中で最も市場が大きく、人々の暮らしを豊かにする事で世の中に貢献できそうな事を理由に最初の研究テーマとして選択した、Broadcast Satellites(BS)・Communication Satellites(CS)放送[2-1]・[2-2]受信用への応用を念頭に、Ku-バンドに向けての電子回路設計技術の現状を把握しておく。

衛星放送受信機のパラボラアンテナ内に配置されている、周波数増幅・変換部は非常に低い雑音特性を要求される事からローノイズブロック(Low Noise Block: LNB)と呼ばれる。

LNB の構成と、各部で扱う周波数とを合わせ図 2-1 に示す。LNB 内で増幅・周波数変換された信号は、同軸ケーブルを伝わって STB へと導かれ復調されてテレビ信号となる。すなわち LNB では一般的な携帯電話システムとは異なり、RF 周波数帯での周波数の同調、ベースバンド信号への復調は行わないシステム構成である。

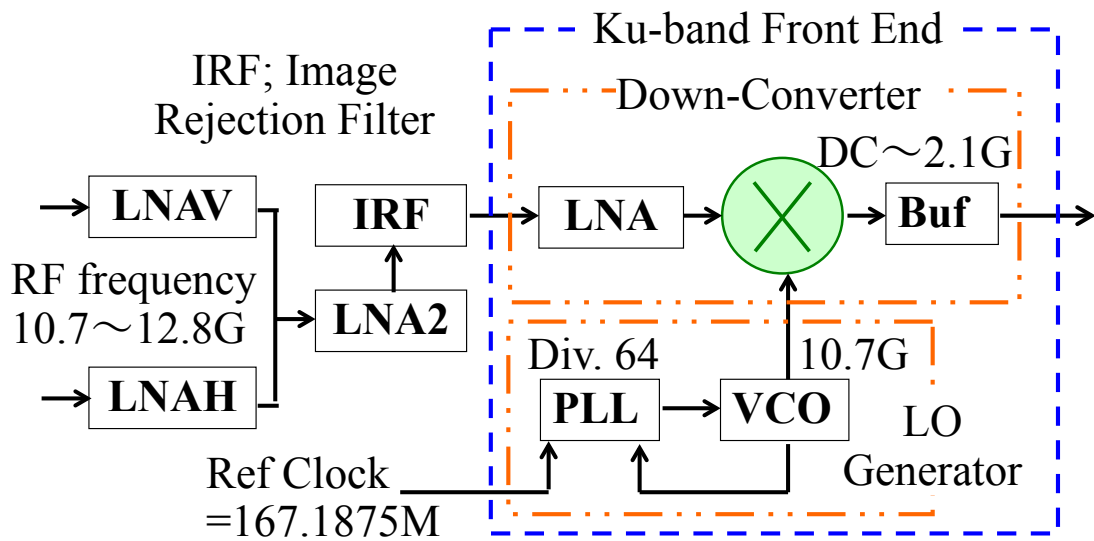


図 2-1 各ブロックが取り扱う周波数を明示した LNB の Block 図

今回研究の LNB は図 2-1 に示すように、2 つの Low Noise Amplifier (LNA: LNA-V は垂直偏波対応, LNA-H は水平偏波対応), それに続く LNA2, イメージリジェクションフィルタ(IRF), そして Ku-バンドのフロントエンドとで構成される。

パラボラアンテナに接続された LNA-V と LNA-H は、入力信号の偏波面に従っていずれか一方が選択される。LNA-V, H と LNA2 の 3 つの外付け電子部品は、その NF・利得の要求値を満足する為、通常 High Electron Mobility Transistor (HEMT) が用いられる。2 つの LNA で増幅された信号は Ku-バンドフロントエンド内でさらに増幅された後、内部で生成した 10.7GHz のローカル(LO)と掛け合わせる事で、2.1GHz 以下の中間周波数(Intermediate Frequency: IF)信号へと周波数変換され、同軸ケーブルを介して衛星チューナ又は、STB へと導かれここで復調される[2-3]-[2-5]。

この 2.1GHz という周波数は、通常携帯電話の搬送波として用いられている周波数帯とほぼ等しい[2-6]。すなわち LNB は入力周波数 10GHz 以上、出力も 2GHz 以上の通常は RF として取り扱われる周波数を取り扱うことが必要になるので、携帯電話等で使われている高周波回路技術をさらに高度化した モノリシックマイクロ波集積回路 (Monolithic Microwave Integrated Circuit: MMIC) ならでの回路技術が必要とされる。それらについては 5 章で詳細に説明する。

今回研究する IC の構成要素をもう少し詳しく見て行く。Ku-バンドフロントエンドは増幅器(LNA), ミキサ(Mixer), 同軸ケーブル駆動用バッファ(Buf)及び、位相同期ループ(PLL)による LO 信号発生部とで構成される。今迄の衛星放送通信システムで用いられていた、誘電体共振発振器(DRO)を用いた LO 信号発生器[2-7]-[2-9]に代わって、

完全差動の PLL を用いることで周波数安定度の向上, 電源電圧変動の影響を緩和できた. その上 PLL はループの働きによって, キャリア近傍の雑音を抑圧できる為, 本 IC では $1/f$ 雑音は大きいが無価な CMOS プロセスを用いることができ, 大幅なコストダウンが可能になった.

また, 標準的なプラスチックパッケージに前述のフロントエンドを封止する事で, 電氣的性能, 信頼性を確保しつつ更なるコストダウンへの道筋をつける事も狙っている. 他方放送衛星は, 赤道上はるか 35,784 km 上空に位置し地球上からは静止しているように見える. 12GHz での Free-space loss は以下の式で表されることが知られている [2-10].

$$L_f = 92.4 + 20 \cdot \log_{10}(f = 12 \text{GHz}) + 20 \cdot \log_{10}(r = 3578 \text{km}) \text{ [dB]} \quad \text{式(2-1)}$$
$$= 205.5 \text{ [dB]}$$

ここで L_f は Free-space loss [dB], すなわち自由空間内での損失を表す.

晴天下でも, 放送衛星から LNB までの伝送損失は 205dB を超える. その上降雨等によって損失はさらに 4.6dB 程度増大する. つまり地上で受信できる電波はとても弱く, 非常に低雑音な受信システムを構築する事が求められる事になる.

他方総務省発行の“衛星放送の概要”2010 年度版[2-11]によると, 衛星の出力は概ね 100W 程度であり, 受信パラボラの大きさは 40~60cm であった. 上記内容がまとめられている[2-11]の“衛星放送衛星の諸元”を表 2-1 に, “BS・CS 放送の”テレビ受信機の概要”を表 2-2 に示す.

今回伝送品質を $BER = 1e-9$ (誤り訂正後), 変調方式は FM で受信に必要な SN 比を 38.6[dB]と仮定した[2-12], [2-13]. 続いてこれらの情報を用いて上位レベルでの信号強度等の主要スペックを得る為, リンクバジェット(Link Budget)を計算しこれを表 2-3 にまとめた. その際, 衛星放送規格としてヨーロッパで標準化された DVB-S[2-14]と DVB-S2[2-15], [2-16]を参考資料として用いた.

表 2-1 衛星の諸元 [2-11] p4

区 分	放送衛星 (BS)			通信衛星 (CS 放送)					
	現在運用中								
	BSAT-3a	BSAT-2c	MBSAT	N-SAT-110 (CS110度)	JCSAT-4A	JCSAT-3A	SUPERBIRD-C	JCSAT-2A	PAS-8
中継器出力 (TV免許値)	120W	106W	1215W	104.7W	72.4W	127W	90W	120W	100W
周波数帯 (ch番号等)	11.72~ 12.00GHz (5, 7, 9, 11)	11.72~ 12.00GHz (1, 3, 13, 15)	2.63~2.65GHz	12.291~ 12.731 GHz (ND2等12波)	12.26~ 12.72GHz (JD1等16波)	12.26~ 12.72GHz (JD1等20波)	12.4945~ 12.7465GHz	12.52~ 12.68GHz (J1等2波)	12.25~ 12.75GHz
静止軌道位置	東経110度	東経110度	東経144度	東経110度	東経124度	東経128度	東経144度	東経154度	東経166度
放送に使用している中継器数 (通信用も含めた全中継器数)	4中継器 (8中継器)	4中継器	1中継器	12中継器 (24中継器)	16中継器 (32中継器)	20中継器 (42中継器)	2中継器 (24中継器)	2中継器 (32中継器)	1中継器
打上げ年月	平成19年8月	平成15年6月	平成16年3月	平成12年10月	平成11年2月	平成18年8月	平成9年7月	平成14年3月	平成10年11月
設計寿命	平成32年頃	平成25年頃	平成28年頃	平成27年頃	平成23年頃	平成33年頃	平成22年頃	平成25年頃	平成25年頃

表 2-3 BS・CS 放送のテレビ受信装置 [2-11] p11

区 分	放送衛星 (BS)		通信衛星 (CS)			BS	通信衛星 (CS)				
	アナログ	デジタル	デジタル						アナログ	デジタル	デジタル
衛星名	BSAT-3a	BSAT-2c (注1)	N-SAT-110	JCSAT-4A	JCSAT-3A	MBSAT	SUPERBIRD-C		JCSAT-2A		PAS-8
静止軌道位置	東経110度	東経110度	東経110度	東経124度	東経128度	東経144度	東経144度		東経154度		東経166度
放送チャンネル数 (テレビジョン)	SDTV:3	HDTV:10 SDTV:20 (注2)	SDTV:81 HDTV:13 (注3)	71	118	簡易動画付 8	0※	5	0※	0※	休止中
アンテナ径	約45cm	約45cm	約50~60cm		小型アンテナ	約45cm	約45cm	約38~60cm		約45cm~ 60cm	
アンテナ方向	南西向 仰角約38°	南西向 仰角約38°	南西向 仰角約 45°	南西向 仰角約 47°	南南東 仰角約45°	南南東向 仰角約 48°	南南東向 仰角約 48°	南東向 仰角約 42°		南東向 仰角約 40°	
放送方式	BS7ナログ方式	BS/CSデジタル (広帯域伝送)方式	CSデジタル (狭帯域伝送)方式		衛星デジタル 音声放送方式	CSデジタル (広帯域伝送) 方式	CSデジタル (狭帯域伝送) 方式	CS7ナログ方式	CSデジタル (狭帯域伝送) 方式	CSデジタル (広帯域伝送) 方式	
限定受信方式	コアック方式	ARIB-限定受信方式	Perfec CARD方式		ARIB-限定 受信方式	U-CAS 方式	パイス限 定受信方 式	コアック方式	MULTI2- NAGRA方 式	マルチ2	

表 2-3 衛星放送受信システムの Link-Budget 例

項目		数値	単位	備考	
衛星	1	放送衛星送信電力	20.3	dBW	Pt=106W(BSAT-1)
	2	フィーダ損失	-2.0	dB	Lf
	3	送信アンテナ利得	41.1	dB	Gt(東京)代表値
	4	EIRP	59.4	dBW	Pe=1+2+3
	5	ポインティング損失	-0.5	dB	
伝搬	6	受信電力束密度	-103.2	dB(W/m ²)	Po=10*log{Pe/(4*pi*d ²)} d=37,930[km] 10*log(4*pi*d ²)=162.6dB
	7	自由空間減衰量	-205.6	dB	Le=-10*log{(4*pi*d/λ) ² } (東京), λ=2.5[cm]
	8	雨・大気減衰	-2.0	dB	最悪月の時間率 1%
受信機	9	受信アンテナ利得	32.5	dB	Gr=10*log[(pi*D/λ) ²] η(効率)=70%,D=40cm
	10	受信アンテナ実効面積	-10.6	dBm	A=10*log{η*pi*(D/2) ² } =0.088
	11	受信機入力電力	-116.2	dBW	Pr=4+5+7+8+9, or Pr=5+6+8+10
	12	ボルツマン定数 k	-228.6	dB (W/Hz/K)	K=10*log(1.38e-23)
	13	雑音温度	23.6	dB(K)	NF=1dB に対する受信機 内部 75k, 降雨減衰による 雑音等を含む.
	14	受信帯域幅	74.3	dB(Hz)	27MHz
	15	雑音電力	-130.7	dB	12+13+14
	16	上り回線 CN 比	30.0	dB	
	17	下り回線 CN 比	14.5	dB	11-15
18	総合 CN 比	14.3	dB		
映像信号	19	FM 改善度	21.1	dB	lfm=10*log[3/{2*(Δf/fm) ² *(B/fm)}] Δf=17[MHz], fm=4.5[MHz]
	20	エンファシス効果	3.0	dB	

	21	SN 比(無評価値)	38.6	dB	18+19+20
	22	視覚評価係数	11.2	dB	統一評価特性(Rec,576-1)
	23	評価信号対雑音比	49.8	dB	21+22

$$[\text{EIRP}]-20.3-2.0+41.1=59.4$$

$$[\text{LOSS}]=-0.5-205.6-2.0=-208.1$$

$$\begin{aligned} [\text{RECIEVER INPUT POWER}] &= [\text{EIRP}] + [\text{LOSS}] + [\text{Gr}] \\ &= 59.4-208.1+32.5=-116.2 \end{aligned}$$

$$[\text{NOISE}]=-228.6+23.6+74.3=-130.7$$

$$[\text{CNR, Down Link}]=-116.2-(-130.7)=14.5$$

$$[\text{SNR}]=14.5+21.1+3.0=38, 6$$

$$[\text{SNR, Final}]=38.6-11.2=49.8$$

Ku-バンドという超高周波において、システム NF1.0dB 程度を達成することは、0.18 μm CMOS プロセスを前提とした研究環境下では非常に困難であり、システム設計上のブレイクスルーが求められる。今回この NF を達成する為に IC の外付け部品として、高利得、低雑音のディスクリートの BJT を前置する方式を採用した。近年衛星放送の普及に伴って、12GHz 近傍利用に好適な BJT が安価に供給されるようになってきている。本節ではその中でも代表的なデバイス NE3210S01(CEL/NEC)[2-17]の前置を想定して、現実解としての LNB の各部仕様を検討していくこととした。

前頁中に図 2-1 として、ブロック図に動作周波数を記入したものを示したが、本 IC がパラボラアンテナ内部に配置され、TV 受像機付近に復調器が配置される現実等を考慮すると、本 IC 内部の各機能ブロックの仕様を検討する為には、パラボラ内部に搭載される部品全てを記したより詳細なブロック図を用いたほうが便利なので、これを次の図 2-2 として作成した。

STB/Tunerでの復調時に得られた偏波面情報を、
DC電圧レベルとして同軸ケーブルに印加。
電源ICで検知->各ブロックへ伝える。

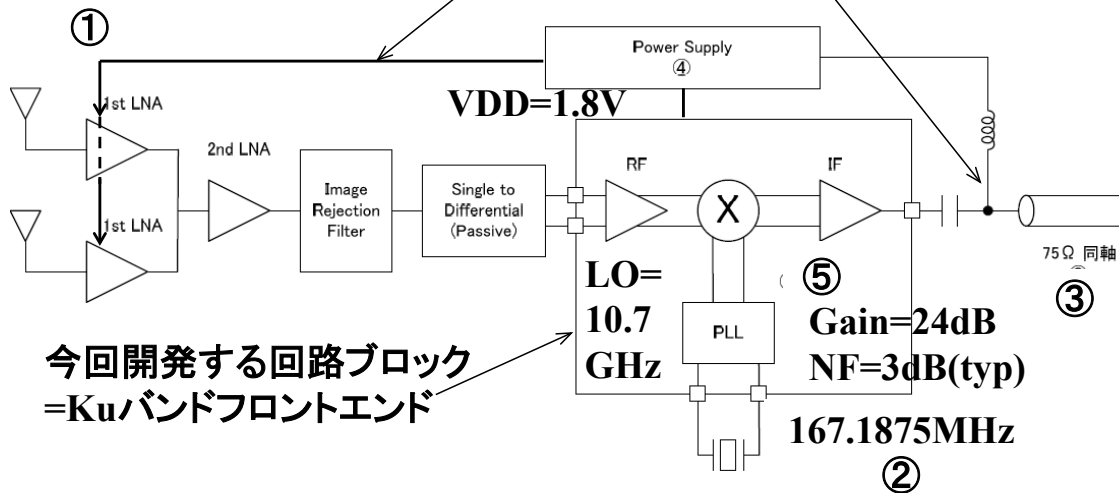


図 2-2 LNB モジュール構成図

LNB モジュールの重要な仕様

- ① Low Noise Block NF~1.0[dB]
受信信号は、フロントエンド外部の受動素子でシングルエンドからディファレンシャルに変換された後入力される。
- ② X'tal Oscillator fosc=167.1875[MHz]
受信信号のダウンコンバートの為のローカル(LO)は、10.7GHz 固定とする。
- ③ IF load impedance 50ohm
現実の製品では DC カットの容量を介して、75Ω の特性インピーダンスを有する同軸ケーブルをドライブする必要があるが、今回は評価のことを中心に考え 50Ω 負荷の直結を想定して設計を行った。
- ④ Power Supply Vdd=1.8[V]
- ⑤ Ku-バンドフロントエンドの詳細仕様は、この後検討・説明する。
利得=24[dB]
NF=3[dB] (仮)
- ⑥ Power Consumption TBD

図 2-2 より, 今後研究を進めて行く上で詳細な仕様検討が必要なブロックは, RF・Mixer・IF そして PLL である事が解る. 先ず Friis[2-18]の公式を用いて, System の Noise Figure (NF), 3rd-order Input Intercept Point (IIP3)を検討した. その前提として Ku-バンドフロントエンドに前置される受動素子群である Image Rejection Filter (IMF), Single to Differential Converter (Unbalance to Balance Converter = Balun)の損失をそれぞれ, 1.0dB, 0.5dB. また全ての受動素子の IIP3 は 100dBm(=受動素子なので歪まない)と仮定した.

Friis の公式: 2 つの増幅器の縦続接続時の NF 計算例を図 2-3 に示す. 図 2-3 において, 入力端での総合 NF を F21, 初段の増幅器の NF を F1, 利得を G1 と置き, 2 段目の増幅器の NF を F2, 利得を G2 とする.

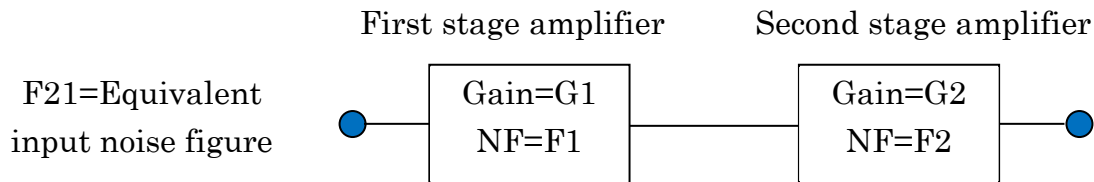


図 2-3 縦続接続増幅器の例

この時 F21 は下式の, 式(2-2)で示される.

$$F_{21} = F_1 + \frac{F_2 - 1}{G_1} \quad \text{式(2-2)}$$

これを n 個素子が縦続接続された場合の一般式に拡張すると, 下式(2-3)が得られる

$$F_{n1} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 * G_2} + \dots + \frac{F_n - 1}{G_1 * G_2 \dots G_{n-1}} \quad \text{式(2-3)}$$

この関係を用いて, LNB の最重要の仕様項目 NF を決定する. 尚モジュールの仕様は, マスプロ電工の製品情報のページに掲載されている衛星放送受信用アンテナの値を参考にした[2-19], [2-20], [2-21]. この製品群中では, パラボラ径によるアンテナ利得の差はあるものの, 周波数変換部を含む LNB の仕様に差異は認められなかった.

表 2-4 各回路素子の NF/Gain 検討表

CASCADED NOISE FIGURE:

Stage #	Noise figure	Gain	NF	Gain	Pre-st	Noise
	[dB]	[dB]	[lin]	[lin]	gain	terms
1st LNA	0.35	12	1.084	15.84 9	1	1.084
2nd LNA	0.35	12	1.084	15.84 9	15.84 9	0.005
Image Rejection Fil	1	-1	1.259	0.794 3	251.1 9	0.001
S to Diff Converter	1	-1	1.259	0.794 3	199.5 3	0.001
LNA	3	22	1.995	158.4 9	158.4 9	0.006
Mixer	5	4	3.162	2.511 9	25119	9E-0 5
IF Buffer	5	0	3.162	1	63096	3E-0 5
Total	0.40582910 5	48	1.098	63096	63096	2E-0 6

注) 今回設計する LNB の NF と利得の仕様(典型値)としては, 1st-LNA・2nd-LNA の分を差し引いた値, すなわち

NF=3.0[dB]

利得=24[dB] に成る.

IIP3 の仕様(最大値)も NF・利得と同様, Friis の公式を用いて,

IIP3 < -20[dBm]を得た.

また, 位相雑音に関しては, 他の論文や現在市販されているモジュールの値を参考にして[2-22], [2-23] -105dBc/Hz@1MHz 離れとした.

この結果, 今回研究するICの最重要項目仕様のNF, IIP3, 及び位相雑音に関して実現可能な目標仕様が得られたので, 更に検討を進めてKu-バンドフロントエンドの詳細仕様を詰めて行った. これを下表 2-5 の LNB 要求仕様一覧にまとめた.

表 2-5 LNB 要求仕様一覧

	Min	Typ	Max	Unit	Comments
Specification					
Power Supply Voltage	1.71	1.8	1.89	V	±5%
Process	0.18μm CMOS			-	
Package	32pin QFN			-	Plastic Package
Power Consumption		TBD		mW	
Electrical Performance					
Gain	25	28		dB	
RF Band Width	10.7		11.7	GHz	Low-Band
	11.7		12.75	GHz	Hi-Band
IF Band Width	DC		2.1	GHz	Output frequency
NF		3.0		dB	SSB
IIP3			-20	dBm	
Input Impedance		50		Ω	Low band
Output impedance		50#		Ω	DC~2.1GHz(freq)
Phase Noise		-105		dBc/Hz	At 1MHz

#IC 評価の容易化・高精度化を考慮して出力インピーダンスは 50 Ω とした.

>TV 用同軸ケーブルには、特性インピーダンス 75 Ω の物が使われる。

(略語表)

QFN: Quad Flat Non-Lead

TBD: To Be Determined

RF: Radio Frequency

IF: Intermediate Frequency

NF: Noise Figure

SSB: Single Side Band

IIP3: 3rd order Input Intercept Point.

2-2 Ft Maximized Layout Methodology

2-2 節では IC の高性能化, 低消費電流化に大きく貢献する“ft を最大化するレイアウト手法”について述べる.

価格競争力があり, 信頼性の高い半導体を研究することは, 顧客満足を高める為に欠かせない. その為にマチュアな CMOS プロセスを採用する事は有力な選択肢と成り得る. 最先端の CMOS/BiCMOS プロセスと異なり, マチュアな CMOS プロセスを用いた場合, トランジスタの高周波特性が問題となる. IBM の文献[2-24]に依ると, $0.18\mu\text{m}\cdot\text{NMOS}$ -トランジスタの Transition frequency(遮断周波数=ft)は 53GHz と低く, 10GHz を超える, 特に Ka-バンドの回路設計には十分とはいえない[2-25].

そこで本研究においては, 旭化成エレクトロニクス開発のプロセスを使っての研究である利点を生かし, 研究の冒頭でトランジスタの動作速度を最大化する手法, 特にレイアウトを検討し実測ベースで確認した.

今回使用した $0.18\mu\text{m}$ の RF/Mixed-signal CMOS process の概要を説明する[2-26].

- 1) 電源電圧 1.8V(Recommend)
- 2) 使用できる MOS-トランジスタは, 通常閾値と低閾値の PMOS・NMOS 各 2 種の計 4 種.
- 3) 使用できる抵抗素子は, Well・Diffusion・Poly 抵抗. 今回は精度・温度変動の観点から, 主として Poly-抵抗を使用.
- 4) 使用できる容量性素子は, Metal-Insulator-Metal(MIM) capacitor, Double-poly Capacitor. 今回は対地寄生容量の少ない MIM capacitor を主として使用.
- 5) 最上層の配線層は通常の Al の 5 倍以上の厚さを有する“Thick-Metal” オプションを利用. これは大電流の供給・伝送路・誘導性素子の低抵抗化, 即ち低損失化に有用である.

まず十分ではないと解っているトランジスタの ft を最大にする事から始める. そこで Ft を最大化するヒントを得るため, ft の解析式[2-27]に着目した.

$$F_t = g_m / (2 \cdot \pi \cdot C_g) \quad \text{式(2-4)}$$

ここで $C_g = C_{gs} + C_{bs} + C_{gd}$

C_{gs} : Gate-Source Capacitance

C_{bs} : Bulk-source Capacitance

C_{gd} : Gate-Drain Capacitance

上式中の C_{gd} は RF 増幅段として最も一般的なソース接地増幅器において, ミラー容量に成る働く寄生素子である為, 影響が最も大きい. 従って以下では C_{gd} の低減を目指し, ft を最大化する方法論について述べる.

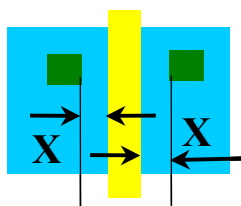
C_{gd} を減らす最も簡単な方法は, ゲート(poly)とドレイン(metal)の距離を離すことである. しかし, これはドレイン面積の増大, すなわちドレイン-バルク間・ドレイン-ソース

間(ソース接地構成において)の寄生容量増加を招く事から, C_{gd} の極小値が得られるゲート-ドレイン間隔が存在する. この事を式(2-4)に適応すると, f_t の最大値が得られるゲート-ドレイン間隔の存在が想像される.

そこで本研究においては, 図 2-4 に示すようにゲート-ドレイン間隔を設計ルール允許最小間隔から, 最小間隔の 3 倍の間隔までを最小間隔の半分ずつ広げる Test-element-Group(TEG)を作成し, 評価する事で f_t を最大化する MOS のレイアウトを探索した.

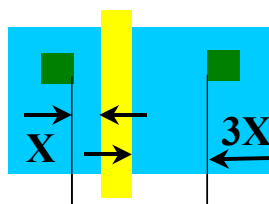
MOS layout Optimization “In terms transition frequency (f_t)”

*Basic MOS layout
for Area conscious
criteria*



X =Minimum Spacing
Defined in a Design rule

*MOS layout for C_{gs}
minimization, Trade
off increasing C_{ds}*



Increasing step= $0.5X$
from 1.0 to 3.0

図 2-4 f_t 最大化 MOS-layout の探索手順

図 2-4 中のゲート・ドレイン間隔(D)を, 最小設計ルール(X)に従ってレイアウトした時の測定値である図 2-5 中の“ D_{1X} ”と 2 倍でレイアウトした時の“ D_{2X} ”のとの比較で, D_{2X} は D_{1X} に比べ f_t が 61GHz から約 8%上昇し 66GHz になっている事が確認できる. この時, ソース・ドレイン間電圧は 1.5V であった. 本傾向は, ウェファ内バラつき, ロット間のバラつきに依存しない事を実測で確認している.

図 2-5 は 40GHz までの静特性測定結果から外挿して求めた f_t をプロットしている。すなわち f_t が高い事はゲインが高い事と同意である。従って本レイアウト手法を用いることで増幅器のゲインが高くなり高速回路の低消費電流化, 又は動作マージンの拡大による良品率の向上が期待できる等, 小さな工夫ながら製品研究に対するメリットは大きい。

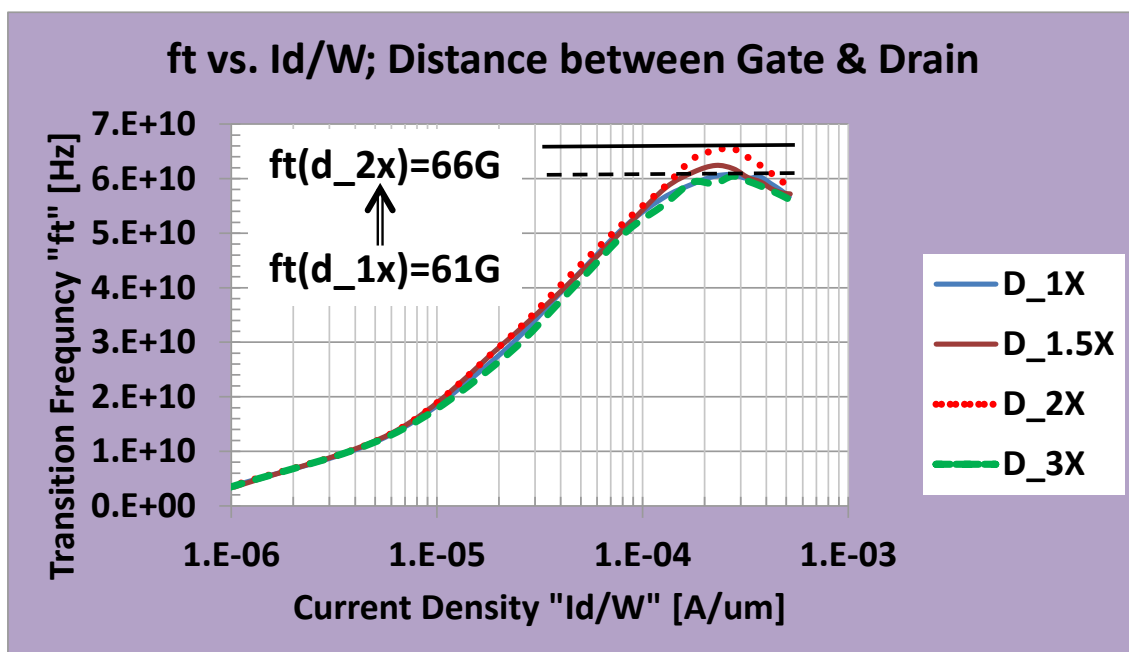


図 2-5 f_t 測定結果比較

D_1X: GD 間隔最小でレイアウトされたトランジスタの f_t 評価結果

D_1.5X: GD 間隔最小の 1.5 倍でレイアウトされたトランジスタの f_t 評価結果

D_2X: GD 間隔最小の 2 倍でレイアウトされたトランジスタの f_t 評価結果

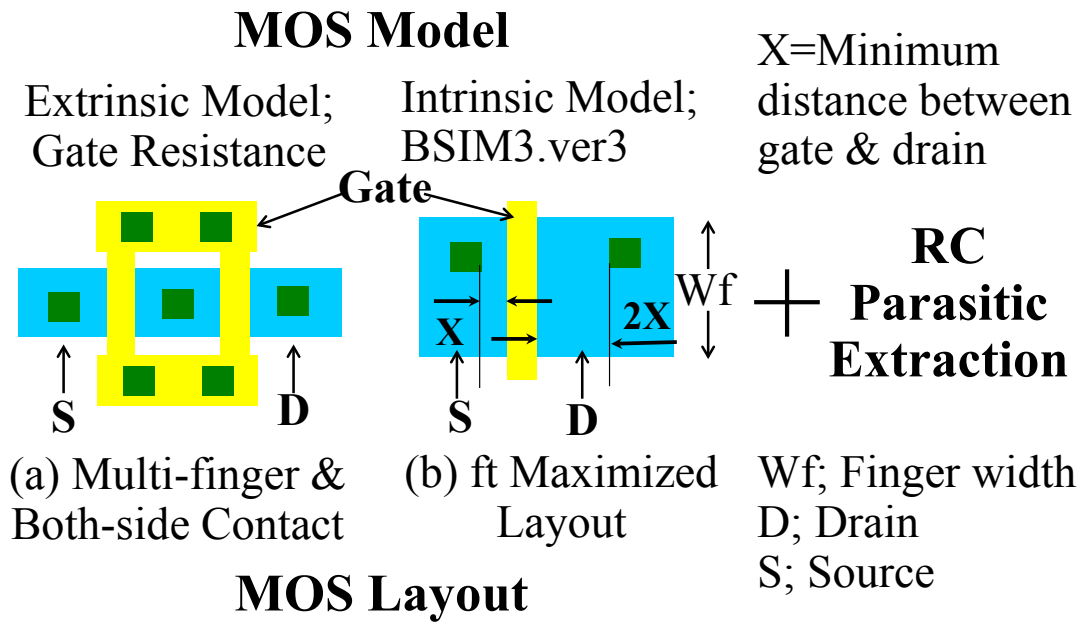
D_3X: GD 間隔最小の 3 倍でレイアウトされたトランジスタの f_t 評価結果

通常 BSIM3-Ver3 を用いた RF 回路設計には、専用のマクロモデルを用いる事が多い[2-25]が、今回は自社のプロセスを用いた為、RF モデルも研究する必要があった。幸いなことに2-2節で説明した f_t 最大化のレイアウト手法は、トランジスタの本来有する C_{gd} を削減するだけでなく、トランジスタ同士の接続時に付加される寄生容量の増加も最小化してくれる為、10GHz を超える高周波であっても、簡易的な RF モデルで設計出来る可能性が高い。この事を Ku-バンドのミキサ単体の回路を設計・制作・評価して実証した[2-26]。

今回の設計に利用した MOS モデルとレイアウトを図3にまとめた。外部抵抗(R_{ext})との兼ね合いで、単位 MOS の幅(W_f)は $3\mu\text{m}$ に固定、MOS モデルは通常の BSIM3 に外部のゲート抵抗を付加した物を用いた。レイアウトの工夫はゲート抵抗削減の為、トランジスタの両側でコンタクトを取った事と、2-2節で説明した f_t 最大化レイアウトの2点で、寄生成分は市販のツールを用い抵抗と容量の両方を抽出した。レイアウトの工夫に寄って、ゲート抵抗の最小化を達成していても、ゲート抵抗の正確なモデリングは NF の要求が厳しい LNA の設計には欠かせない。今回ゲート抵抗(R_g)は一般的に良く用いられる[2-27]に補正項を加えた式(2-5)で計算、得られた値をゲートに対して直列に追加して解析・設計を行った。

$$R_g = (R_{sh}/12) * (W_f / (nf * L)) + (R_{ext}/2) \quad \text{式(2-5)}$$

上式において、 R_{sh} はゲートのシート抵抗、 $W_f \cdot L$ は MOS トランジスタ 1 個の幅・長さ。 nf は MOS の並列存在個数、 R_{ext} は片側の外部抵抗を表す。



☒ 2-6 MOS Layout & model proposal

2章のまとめとして、今回提案の手法を用いた場合と、通常のBSIM3モデルを用いた場合と、RF-シミュレーション用のMacro-modelを用いた場合との利点・欠点を以下の表2-6にまとめた。

表 2-6 提案の手法を用いた場合・通常のBSIM3モデルを用いた場合
RF-Simulation用のMacro-modelを用いた場合の利点・欠点一覧

	提案の手法	BSIM3	BSIM3+ RF-macro model	備考
シミュレーションの精度	3~4 (トランジスタ特性が安定しているところで設計可)	3	5	
シミュレーションの収束性	4(BSIM3と同等)	4	3	
シミュレーション時間	5(BSIM3と同等)	5	4(2X,BSIM3比#)	#:著者の過去の経験に立脚
研究の容易さ	4	5	3	
スケラビリティ	4(L最小値のみ対応)	5	3(W・L共に制限有)	
レイアウトの容易さ	4\$	5	5	\$:G-D間のカスタマイズが必要
レイアウト検証の容易さ	4%	5	4~5(何等かの指示レイヤーが必要な場合も有り)	?:目視による確認が必須

数字の意味
 5:最も優れている(全ての面で勧めることができる).
 4:優れている(実用レベルにある)
 3:若干問題ある(いくつかのシチュエーションでは利用を勧めない).
 2:問題がある(利用を勧めない).

Chapter 3: Modeling Methodology

高周波の測定では通常 Vector Network Analyzer (VNA)を用いる。VNA で測定を行う際は高精度の測定を行うため、校正キットを用いたキャリブレーションが必須である。キャリブレーションに寄って校正された面(通常は SMA コネクタの結合部)を“基準面”と呼ぶ。

図 3-1 には VNA を用いた高周波測定系の構成例を、図 3-2 では VNA を用いた測定を行う際に非常に重要な“基準面”をキャリブレーションの実施例と共に説明する。

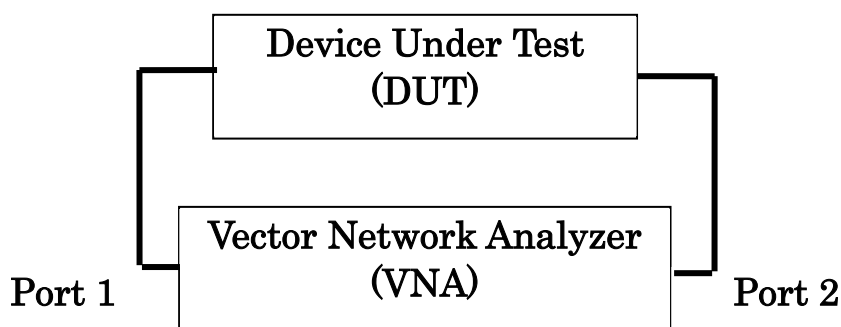


図 3-1 高周波測定系構成例

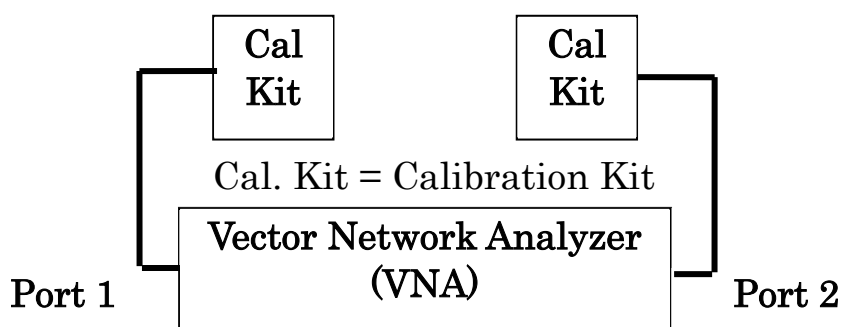


図 3-2-(a) Calibration 時の接続例

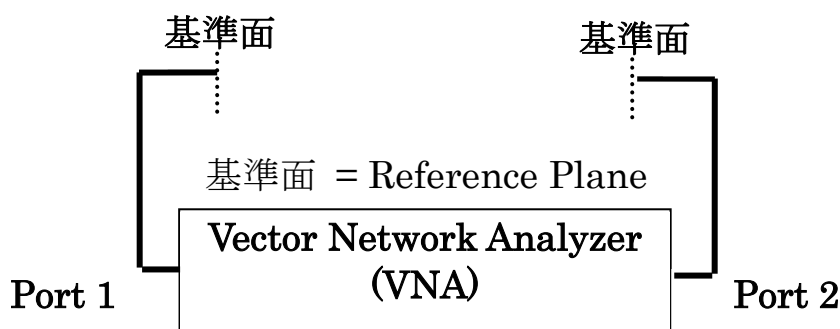


図 3-2-(b) 基準面の決定

3-1 Basics & Effectiveness of De-embedding

3-1節ではDe-embeddingの基礎とその効果について説明する。GHz帯の測定を行う際には、基準面とDUT(Device Under Test)間の寄生成分が測定精度に大きな影響を与える[3-1]・[3-2]・[3-3]。本研究では10GHzを超え40GHzまで適応できるPDKの研究も目標の一つである為、最初に40GHzにおいても精度の高い測定が出来るDe-embedding法の検討を行った。

以下では基準面と、De-embeddingすべき寄生素子について説明する。ここでは測定にRF-Probeを用いる事を想定している為基準面の校正を行うためのCalibration-kit (Cal-kit)はImpedance Standard Substrate (ISS)を利用する事を仮定する。

以下の図3-3ではDe-embeddingの概念を説明する上で重要な事を、3つの図に分けて示す。図3-3-(a)ではDe-embedding Systemのブロック図を示し、図3-3-(b)ではDe-embeddingを実施する系のレイアウト例を、図3-3-(c)にはDe-Embeddingで校正されるべきインピーダンス素子を含んだ等価回路を示す。

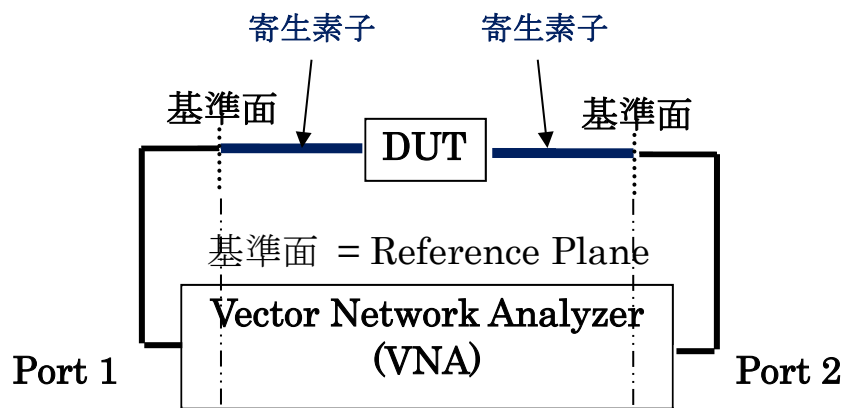


図 3-3-(a) De-embedding System のブロック図

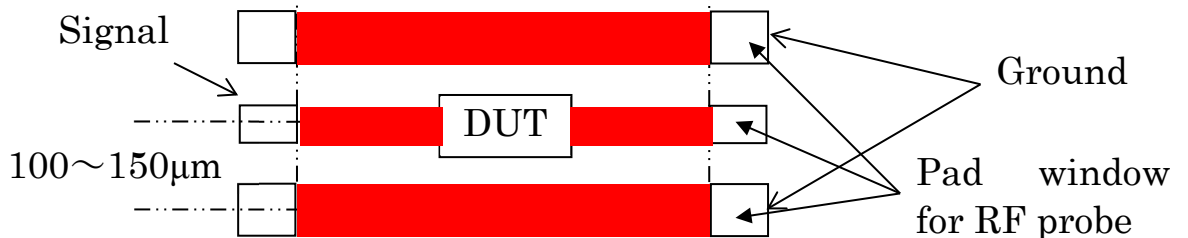


図 3-3-(b) 実際のレイアウト例

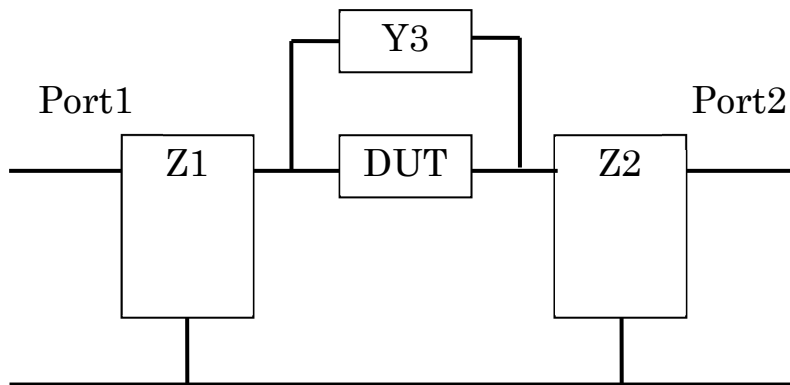


図 3-3-(c) De-embedding System の等価回路

以下では 理解のしやすさを考え, 最も簡単な, De-embedding 方の“Open”(これは Pad から DUT までの, 対地寄生容量による測定誤差を補正できる方法である)を例にとって説明する事で“ De-embedding の概念”に対する理解を深めていく.

最初に図 3-4-(a)・(b)に Open De-embedding 用の校正パターンと, それに対応する等価回路を示す. Open De-embedding は図 3-3-(b)に置いて, 薄い赤色で示された部分での位相変動や Pad と DUT 間の直列のインピーダンスが無視できる, 比較的低い周波数(10GHz 以下)で良く用いられる. この方法で De-embedding される寄生素子は図 3-4-(a)の校正パターン中薄いピンクで示されている“Signal を DUT に伝えるパターン”の対地アドミタンス $Y1 \cdot Y2$ と, Signal 用パッド間のアドミタンス $Y3$ との 3 素子になる.

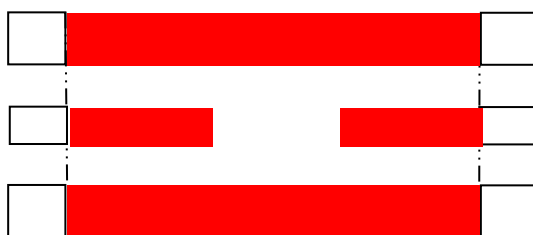


図 3-4-(a) Open De-embedding の校正パターン

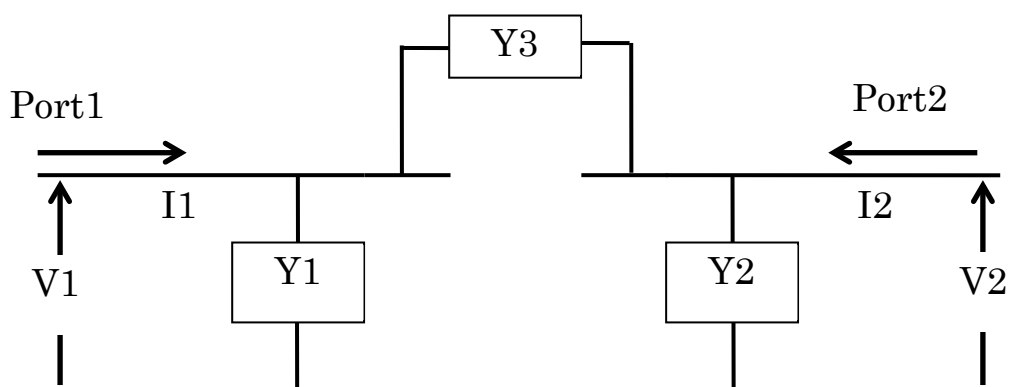


図 3-4-(b) Open De-embedding の等価回路

次に Y1~Y3 の 3 素子を de-embedding する数学的な解析を行列によって行う。Open De-embedding は, pad の寄生容量が Y1・Y2 が DUT に対して並列に存在するという仮定に基づいた校正方法である為, 解析には Y 行列を用いる。

図 3-4-(a)の測定結果を Y_{open} とすると, Y_{open} は式(3-1)で定義できる。

$$Y_{open} = \begin{bmatrix} Y_{11open} & Y_{21open} \\ Y_{12open} & Y_{22open} \end{bmatrix} \quad \text{式(3-1)}$$

一方で, Y 行列の定義式は

$$I_1 = Y_{11} * V_1 = Y_{21} * V_2$$

$$I_2 = Y_{21} * V_1 + Y_{22} * V_2$$

なので, これを行列表示すると, 次の式(3-2)になる。

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{21} \\ Y_{12} & Y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad \text{式(3-2)}$$

Y 行列の各要素である Y パラメータは, V1 または V2 を短絡したときのアドミタンスで, 次式によって求める事ができる.

$$Y_{11}=(I_1/V_1)|V_2=0 = \text{出力端短絡入力アドミタンス} \quad \text{式(3-3)-(a)}$$

$$Y_{12}=(I_1/V_2)|V_1=0 = \text{入力端短絡伝達アドミタンス} \quad \text{式(3-3)-(b)}$$

$$Y_{21}=(I_2/V_1)|V_2=0 = \text{出力端短絡伝達アドミタンス} \quad \text{式(3-3)-(c)}$$

$$Y_{22}=(I_2/V_2)|V_1=0 = \text{入力端短絡出力アドミタンス} \quad \text{式(3-3)-(d)}$$

従って図 3-4-(b)の等価回路の Y パラメータは次の手順で求める事ができる.

V2=0 の時

$$I_1=(Y_1+Y_3)*V_1 \Rightarrow Y_{11}=(I_1/V_1)|V_2=0 = Y_1+Y_3$$

$$I_2=-Y_3*V_1 \Rightarrow Y_{21}=(I_2/V_1)|V_2=0 = -Y_3$$

V1=0 の時

$$I_1=-Y_3*V_2 \Rightarrow Y_{12}=(I_1/V_2)|V_1=0 = -Y_3$$

$$I_2=(Y_2+Y_3)*V_2 \Rightarrow Y_{22}=(I_2/V_2)|V_1=0 = Y_2+Y_3$$

よって $Y_{11} = Y_1+Y_3$

$$Y_{12} = -Y_3$$

$$Y_{21}=-Y_3$$

$$Y_{22}=Y_2+Y_3$$

これらを行列としてまとめると式(3-4)を得る.

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Y_1+Y_3 & -Y_3 \\ -Y_3 & Y_2+Y_3 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad \text{式(3-4)}$$

以上により, 寄生素子 Y1-Y3 と open de-embedding の測定値 Y_{11open} , Y_{12open} , Y_{21open} , Y_{22open} とは次の式(3-5)-(a),(b),(c)の様に関係付けることができる.

$$Y_3=-Y_{12open}=-Y_{21open} \quad \text{式(3-5)-(a)}$$

$$Y_1=Y_{11open}+Y_{12open} \quad \text{式(3-5)-(b)}$$

$$Y_2=Y_{22open}+Y_{21open} \quad \text{式(3-5)-(c)}$$

以下同様に, 図 3-3-(b) の測定結果を Y_{meas} とすると, Y_{meas} は式(3-6)で表す事ができる.

$$Y_{meas} = \begin{bmatrix} Y_{11meas} & Y_{21meas} \\ Y_{12meas} & Y_{22meas} \end{bmatrix} \quad \text{式(3-6)}$$

先述の“pad の寄生容量が $Y_1 \cdot Y_2$ が DUT に対して並列に存在する”という仮定に立脚すると, DUT のみの Y パラメータ Y_{dut} は式(3-7)と式(3-8)で表現できる.

$$Y_{dut} = \begin{bmatrix} Y_{11dut} & Y_{21dut} \\ Y_{12dut} & Y_{22dut} \end{bmatrix} \quad \text{式(3-7)}$$

$$Y_{dut} = Y_{meas} - Y_{open} \quad \text{式(3-8)}$$

これらをまとめると, Y_{dut} は下式(3-9)で求める事ができる.

$$Y_{dut} = \begin{bmatrix} Y_{11meas} - Y_{11open} & Y_{21meas} - Y_{21open} \\ Y_{12meas} - Y_{12open} & Y_{22meas} - Y_{22open} \end{bmatrix} \quad \text{式(3-9)}$$

今までの解析により, Y_{dut} を求めるには, 2 回の測定で得られた Y 行列の要素毎に, DUT の測定値から De-embedding の測定値を引き算するだけで良いことが解った.

3-2 Pad-Short-Open de-embedding technique.

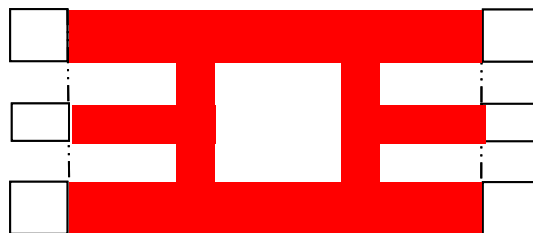
周波数が高くなり図 3-3-(b)における、薄いピンク色で示された Signal パッドから DUT までの配線部分での位相変動やパッドと DUT 間の直列の寄生インピーダンスが無視できなくなって、電氣的に短絡しているという仮定が成り立たなくなると、薄いピンク色の部分を伝送線路として取扱い、その部分のインピーダンスを考慮する必要がある。これらを考慮した Open De-embedding 法よりも更に高い周波数に適応した De-embedding 法は数多く提案されているが[3-1] -[3-5], 今回は 40GHz 近傍の誤差と専有面積の少なさとで, Pad-Short-Open De-Embedding 法を選択した. この方法で用いられるキャリブレーション用パターンと, 等価回路とを それぞれ図 3-5-(a)~(d) と 図 3-6-(a)~(c)と に示す.

Pad-Short-Open De-Embedding 法は DUT の測定 “= 図 3-5-(d)の測定“ 以外に, 3 回の測定” = 図 3-5-(a)~(c)の測定“ が必要であるが, そのうちの 1 回, 図 3-5-(a)に示すパッド測定パターンは全ての評価で同じレイアウトを利用できるので, PDK 作成時の様な, 数多くの DUT を測定する場合, 測定回数は DUT 測定以外に 2 回とほぼ等しくなり効率的である.

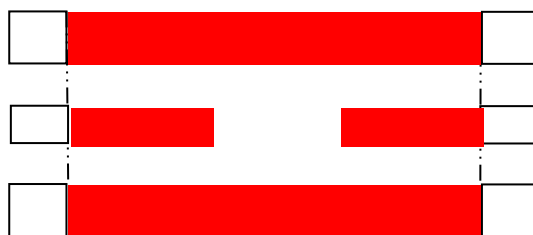
全ての De-
Embedding
pattern で共通



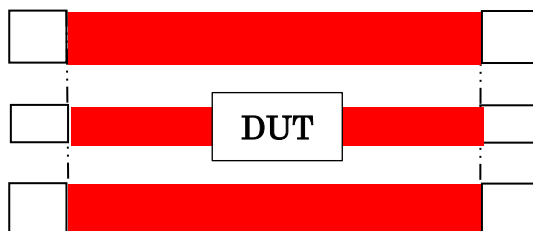
☒ 3-5-(a) Pad-Short-Open De-embedding “Pad”



☒ 3-5-(b) Pad-Short-Open De-embedding “Short”



☒ 3-5-(c) Pad-Short-Open De-embedding “Open”



☒ 3-5-(d) Pad-Short-Open De-embedding “DUT Measurement”

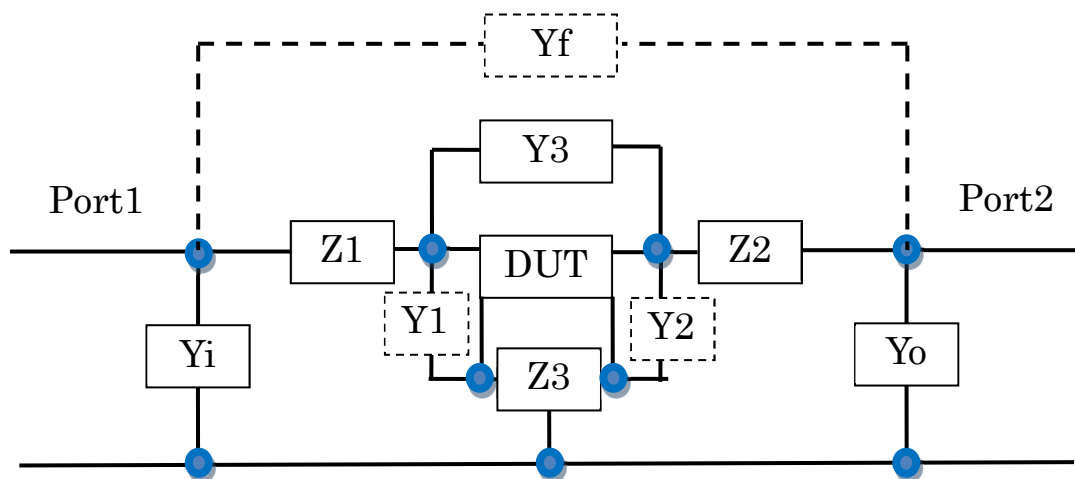


图 3-6 等価回路 Pad-Short-Open De-embedding “DUT measurement”

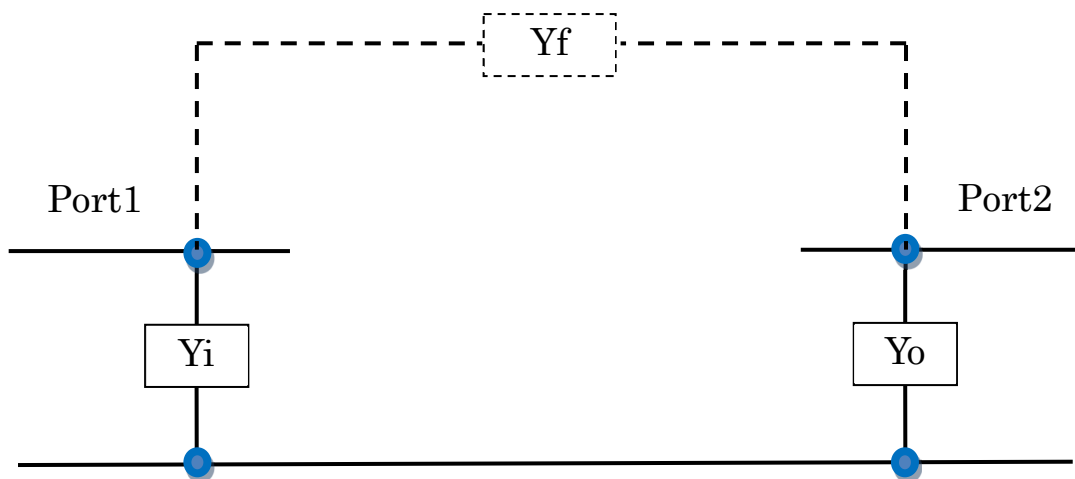


图 3-7-(a) 等価回路 Pad-Short-Open De-embedding “Pad”

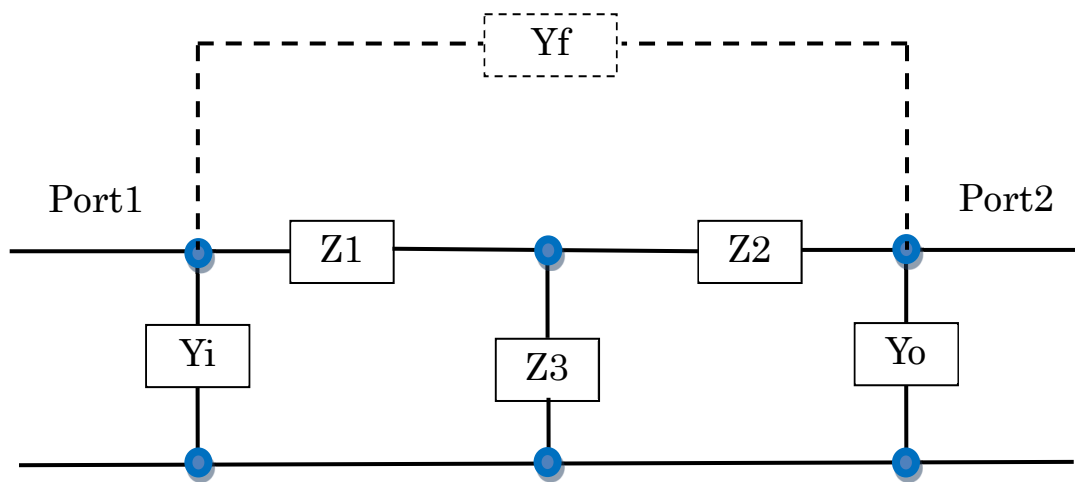


图 3-7-(b) 等価回路 Pad-Short-Open De-embedding “short”

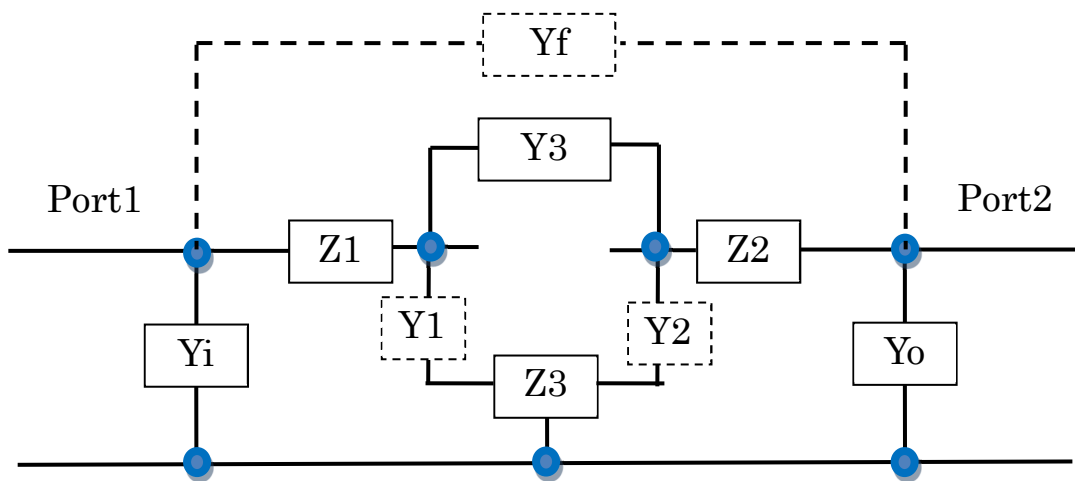


图 3-7-(c) 等価回路 Pad-Short-Open De-embedding “open”

先程の”Open” De-embedding と同様の方法で寄生素子の影響を取り除いて行くと、以下の式で DUT の測定値を導くことが出来る[3-3].

$$Y_{DUT} = [(Y_{meas} - Y_{pad})^{-1} - (Y_{sh} - Y_{pad})^{-1}]^{-1} - [(Y_{op} - Y_{pad})^{-1} - (Y_{sh} - Y_{pad})^{-1}]^{-1} \quad \text{式(3-10)}$$

上式中の Y_{dut} , Y_{op} , Y_{sh} , Y_{pad} はそれぞれ図 3-5(d), (c), (b), (a)を用いた Y 行列想定値である.

Y_{dut} =DUT 接続時の Y 行列測定値

1-6.1.1.1.1.1.1 図 3-5-(d) Pad-Short-Open De-embedding “DUT Measurement”

Y_{op} =Open パターンの Y 行列測定値

1-6.1.1.1.1.1.2 図 3-5-(c) Pad-Short-Open De-embedding “Open”

Y_{sh} =Short パターンの Y 行列測定値

1-6.1.1.1.1.1.3 図 3-5-(b) Pad-Short-Open De-embedding “Short”

Y_{pad} =Pad パターンの Y 行列測定値

1-6.1.1.1.1.1.4 図 3-5-(a) Pad-Short-Open De-embedding “Pad”

1-6.1.1.1.1.1.5 全ての De-embedding 演算時に共通の測定値.

上記変換は手作業で実施するには複雑なので、Matlab®を用いて測定結果を処理し Y_{dut} を求めた. この変換に用いた Matlab®-code を Appendix に示す.

下図 3-8 に Pad-Short-Open De-embedding 用に作成した, Test Element Group (TEG)の写真を示す.

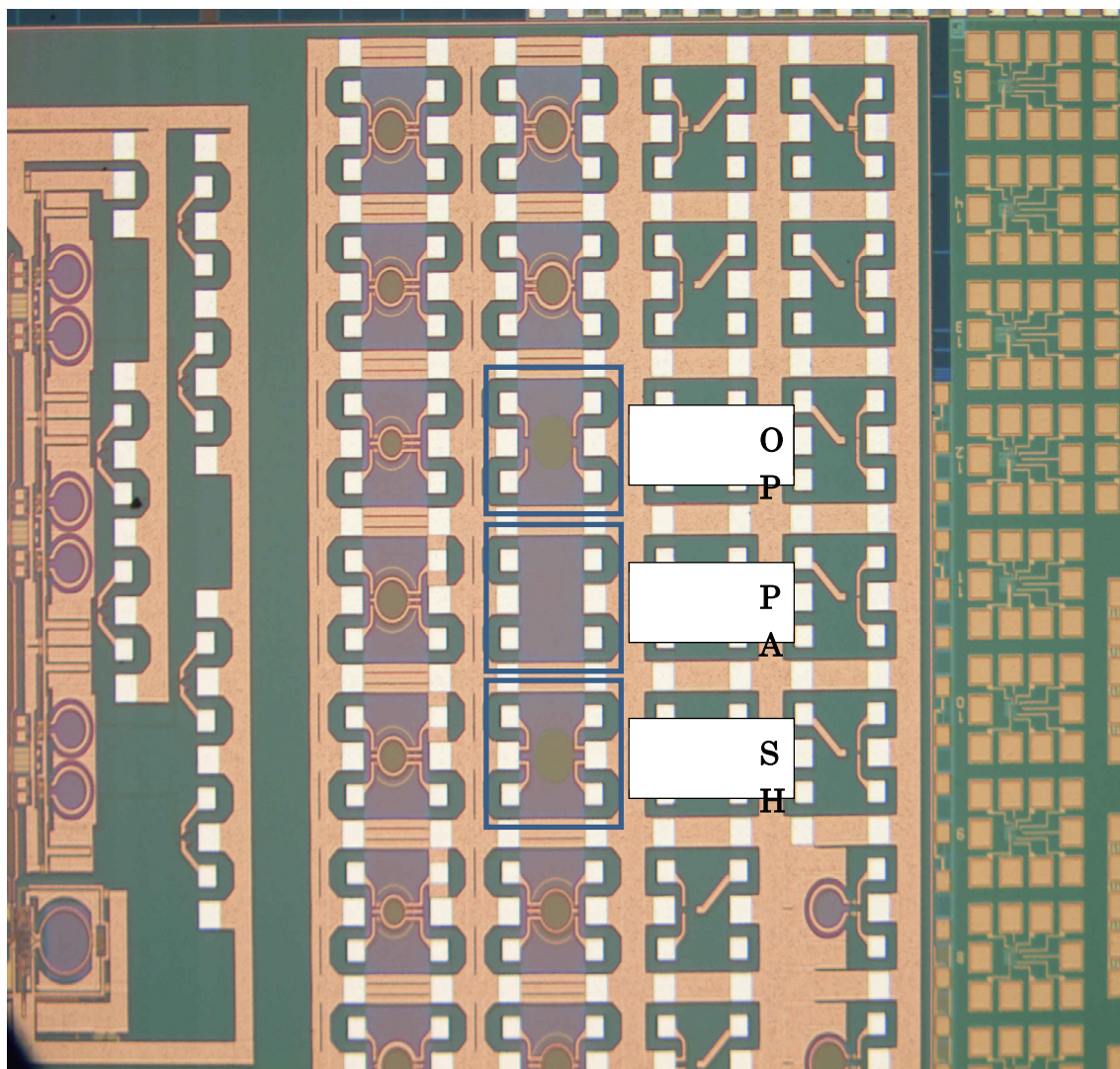


図 3-8 Pad-Short-Open De-embedding を用いた TEG の Chip 写真

本章のまとめとして，“Open”と“Pad-Open-Short” 両 De-embedding 法を用いた場合の測定値の差異を下図 3-9 に示す。測定は 75ohm の抵抗素子を用いて行った。抵抗値の絶対精度・複数個測定する際のばらつきを少なくする為、かなり大きなサイズ (W/L)=(12.0/2.96[μm])の物を用いた。また不要な寄生素子の付加を招く, Dummy Metal・Dummy poly 等は配置していない。

Yellow; Row data

Cyan; Open

Blue; Open-Short

Magenta;

Pad-Open-Short

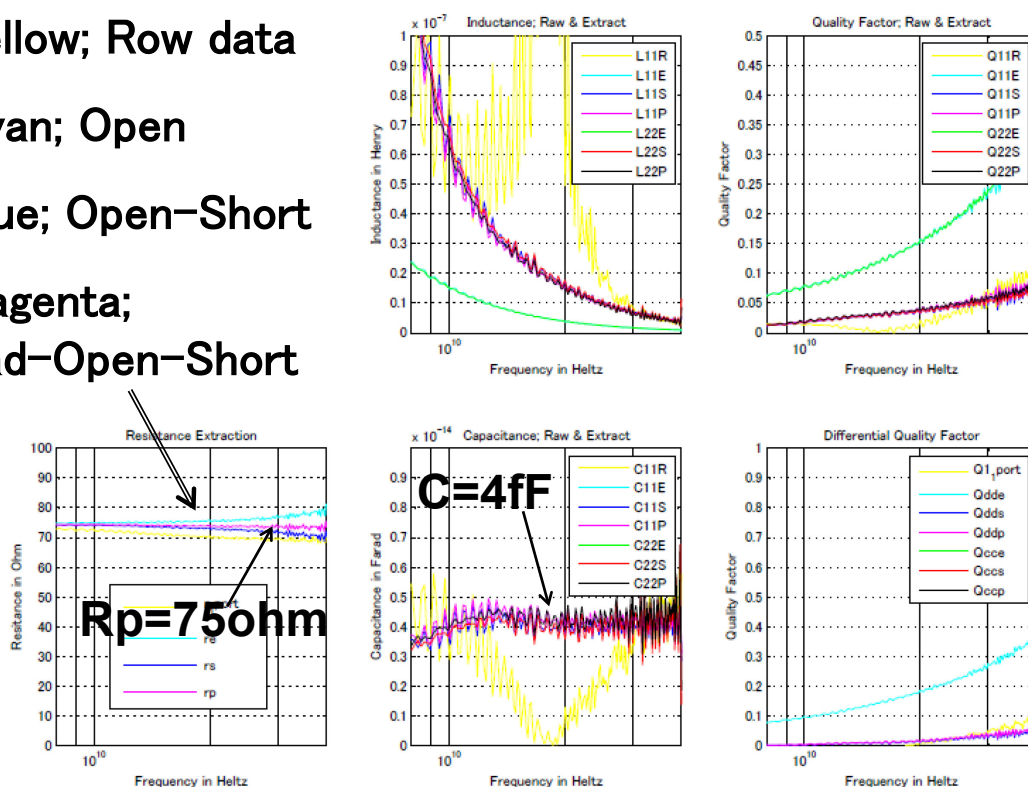


図 3-9 75ohm resistor に Open, Open-Short, & Pad-Open-Short De-embedding を適応した場合の補正後周波数特性の比較

図 3-9 左下の図から Pad-Open-Short を用いた場合が、最も周波数特性が平坦且つ高周波まで伸びていることがわかる。同じく評価結果から対基板の容量は 4fF と読み取れるので、抵抗自身で発生する pole は集中定数近似を用いて $(2 \cdot \pi \cdot 75 \cdot 4e-15)^{-1} = 5.31e11$ と計算できる。従って周波数特性は 40GHz までフラットな筈で、Pad-Open-Short De-embedding 法の測定精度上の優位性が確認できた。尚上記 De-embedding データの変換には、先に述べた Appendix に記載の Matlab®-code を用いた。

40GHz まで使える PDK を作成する為、今後の PDK 作成においては Pad-Open-Short De-embedding 法を用いて得たデータを利用する事とする。

Chapter 4: Passive Structures Design and Modeling

PDK はトランジスタを代表とする能動素子と伝送線路や抵抗を代表とする受動素子とで構成される。能動素子の代表 MOS トランジスタの最適化とモデリング手法については 2-2 節で詳しく説明したので、此処 4 章では受動素子の設計とモデリングについて評価結果を交えつつ説明する。

10GHz を超える高周波の場合、ブロック間結合時等で配線長に対して信号の位相変動が無視できない場合が起こり得る[4-1]-[4-3]。この場合 De-embedding を用いた評価系の構築が必要なことは既に 3 章で詳しく述べた。しかしながら素子自身が非常に長い伝送線路等を取り扱う場合は、伝送線路の内部で位相変動が生じたり、反射が発生したりする事が起り得るため、入力・出力部における整合等も含めてのモデリングが必要になる。

そこで今回は受動素子として伝送線路を例にとり、その特性インピーダンス・挿入損失及びリターンロスの評価・最適化したので以下で報告する。

4-1 Transmission Line Design and Modeling

4-1 節では伝送線路の解析・設計及びモデリングの手法を説明する。

マイクロ波伝送回路は通常 3 次元の電磁界を取り扱わなければならないので、解析は複雑になるが、ある特定の伝送モードだけに着目するならばそのモードに対して 1 次元的な等価分布定数が考えられる[4-2]。

分布定数回路は入射波と反射波との干渉によって色々な特性を示す。線路を取り扱うのにいつも入射波と反射波との干渉を考えるのは煩わしいので、以下の 2 端子対回路網を用いて表現・解析を行うのが便利である。

先ず図 4-1 では、長さ $Z=L$ の伝送線路を考えた。次ページの図 4-1-(a)には 4-1 節で説明していく伝送線路の概念図を、また同図(b)では伝送線路の行列表示を示す。線路の特性インピーダンスを Z_0 とし正弦波の伝搬について考えると、線路上の電圧・電流に対して以下の式が得られる[4-4]。

$$V=A*\exp(-j*\beta*z)+B*\exp(j*\beta*z) \quad \text{式(4-1)}$$

$$I=(A*\exp(-j*\beta*z) - B*\exp(j*\beta*z))/Z_0 \quad \text{式(4-2)}$$

ここでは、線路は無損失であると仮定し、 $\gamma = j*\beta$ とおいている。

上式(4-1)・(4-2)中の、A と B とは線路の境界条件によって決まる積分定数である。

又損失を考慮する場合は、 $\gamma = j*\beta$ を $\gamma = \alpha + j*\beta$ に置き換える必要がある。この場合、 α は減衰定数、 β は位相乗数、 γ は伝搬定数となる。

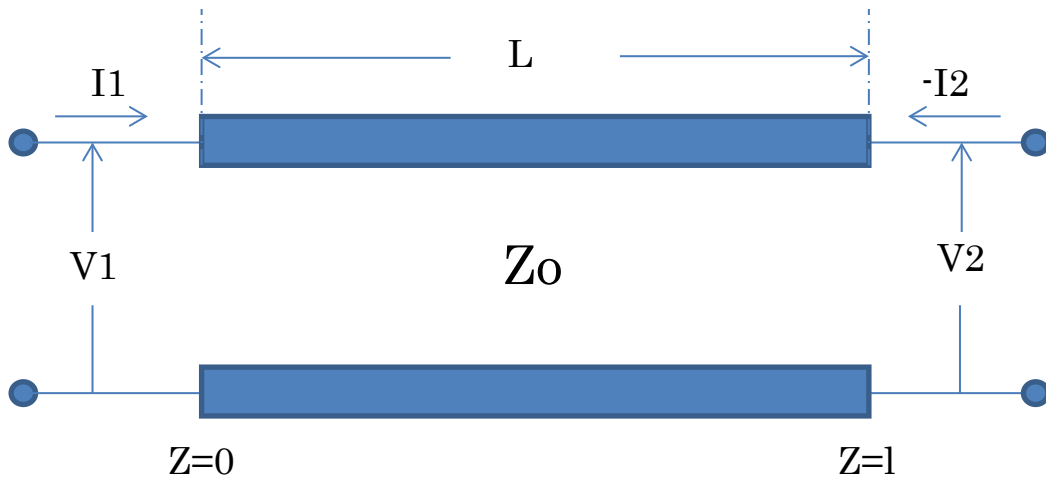


図 4-1-(a) 伝送線路概念図

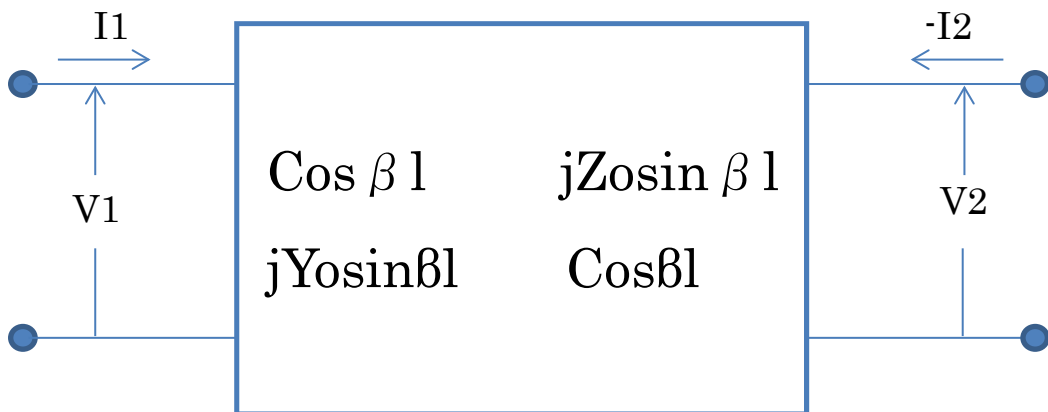


図 4-1-(b) 伝送線路の行列表示

図 4-1 において左端($z=0$)を入力端子, 右端($z=L$)を出力端子とし, 入出力端子における電圧・電流を V_1, I_1 : V_2, I_2 とおくと, 次の(4-3)-(4-6)が得られる.

$$V_1 = A + B \quad \text{式(4-3)}$$

$$Z_0 \cdot I_1 = A - B \quad \text{式(4-4)}$$

$$V_2 = A \cdot \exp(-j\beta \cdot z) + B \cdot \exp(j\beta \cdot z) \quad \text{式(4-5)}$$

$$-Z_0 \cdot I_2 = A \cdot \exp(-j\beta \cdot z) - B \cdot \exp(j\beta \cdot z) \quad \text{式(4-6)}$$

式(4-4) と式(4-6)から A と B とを求め, 式(4-3)と 式(4-5)に代入すると, 以下の Z 行列式(4-7)を得る.

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad \text{式(4-7)}$$

この行列式中の各要素は, 次の式(4-8)-(a),(b)で表される.

$$Z_{11} = Z_{22} = -j \cdot Z_0 \cdot \cot(\beta \cdot l) \quad \text{式(4-8)-(a)}$$

$$Z_{12} = Z_{21} = -j \cdot Z_0 \cdot \operatorname{cosec}(\beta \cdot l) \quad \text{式(4-8)-(b)}$$

伝送線路は通常, 従属結合される回路素子として用いられるので, 上記式(4-7)のインピーダンス行列を, $F(=ABCD)$ 行列に変換しておいた方が後の計算実行時に便利である.

F 行列は下式(4-9)で定義される[4-4].

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \quad \text{式(4-9)}$$

F 行列の各要素 $A \cdot B \cdot C \cdot D$ も 3 章での Y 行列の時と同様にして求めることができる. ... Y 行列の時と I_2 の向きが反対な事には注意が必要である.

$$A = (V_1/V_2)|_{I_2=0} = \text{出力端解放電圧転送比の逆数} \quad \text{式(4-10)-(a)}$$

$$B = (V_1/I_2)|_{V_2=0} = \text{出力端短絡伝達アドミタンスの逆数} \quad \text{式(4-10)-(b)}$$

$$C = (I_1/V_2)|_{I_2=0} = \text{出力端解放伝達インピーダンスの逆数} \quad \text{式(4-10)-(c)}$$

$$D = (I_1/I_2)|_{V_2=0} = \text{出力端短絡電流転送比の逆数} \quad \text{式(4-10)-(d)}$$

この定義に従って, 式(4-8)を変換すると, 下式(4-11)を得る.

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cos(\beta \cdot l) & j \cdot Z_0 \cdot \sin(\beta \cdot l) \\ j \cdot Y_0 \cdot \sin(\beta \cdot l) & \cos(\beta \cdot l) \end{bmatrix} \quad \text{式(4-11)}$$

式(4-9), (4-11)は F 行列による伝送線路表示の基本式として多用される重要な行列式と行列である.

4-2 Microstrip line vs. Co-planar wave guide

伝送線路の一般的な概念の説明に続いて、伝送線路の代表的な実現方式として、マイクロストリップ線路=micro strip line (MSL), コプレーナ線路=Co-planer waveguide(CPW), 及びその派生形のグラウンドを有するコプレーナ線路, グラウンデッド・コプレーナウェーブガイド(Grounded Co-planer waveguide: GCPWG) [4-5]- [4-10] の3種類の伝送線路を例にとってその特性と、設計パラメータを説明する。

Chip 上で準ミリ波帯の伝送線路を実現する場合は、シリコン基板の影響を抑える事が損失の少ない伝送線路を設計する上で重要なので、伝送線路の下部に Ground を有する MSL と GCPWG が良く使われる。図 4-2-(a)にマイクロストリップラインの、(b)にはグラウンデッド コプレーナウェーブガイドの構成例をその設計パラメータと共に示す。

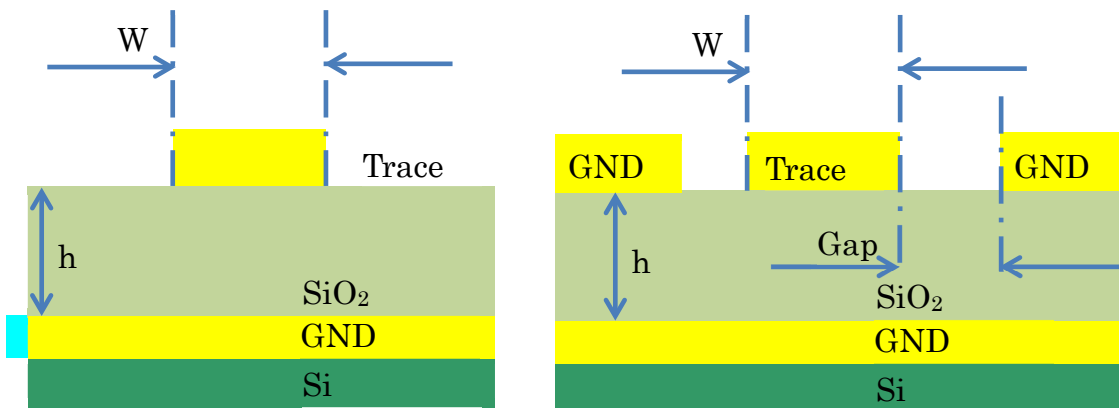


図 4-2-(a) マイクロストリップライン (MSL)

図 4-2-(b) グラウンデッド・コプレーナウェーブガイド (GCPWG)

上記図 4-2-(a)と図 4-2-(b)に置いて、

W=トレースの幅

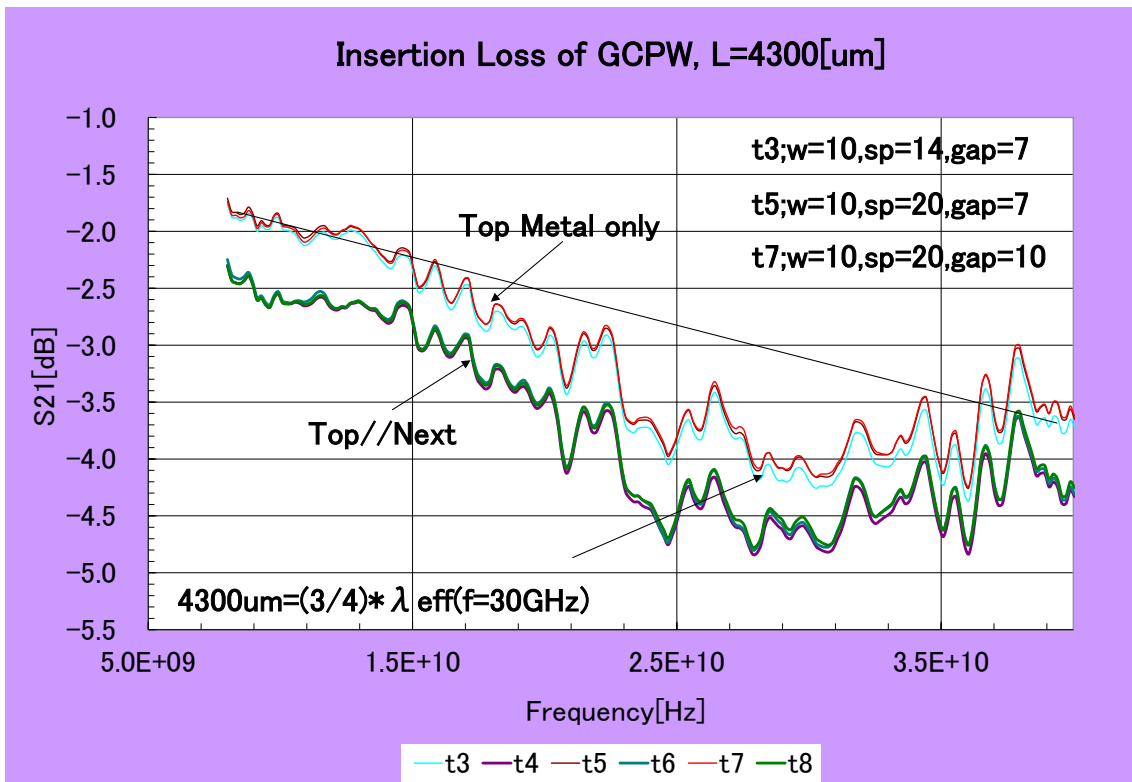
L=トレース長

h=トレースからグラウンド面までの高さ(誘電体は SiO₂ を仮定)

Gap=コプレーナウェーブガイドにおけるトレースグラウンド間の距離(水平方向)

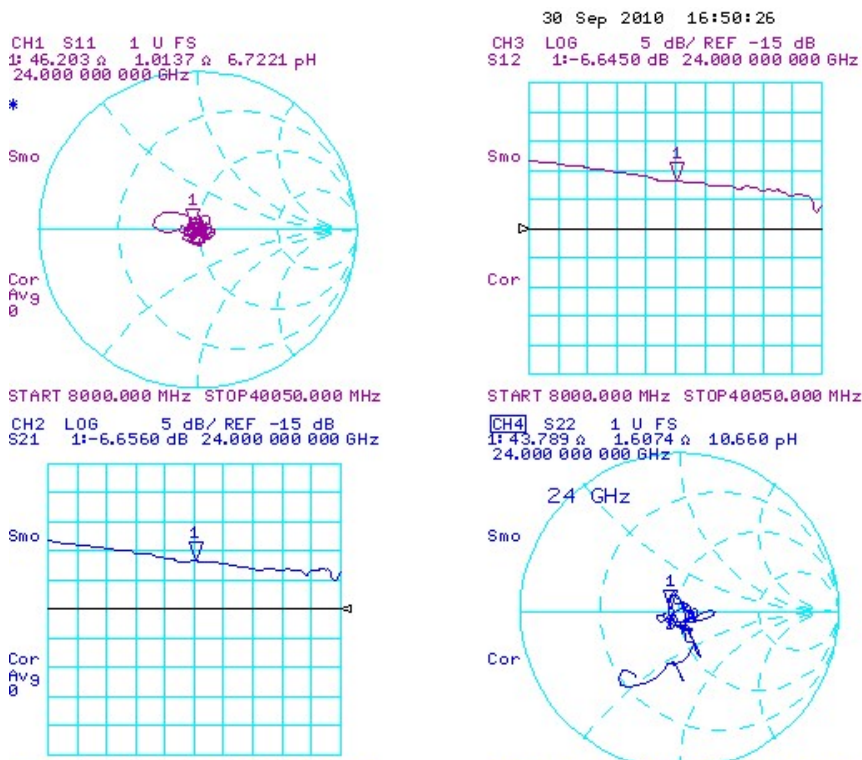
伝送特性の例として、 $L=4300[\mu\text{m}]$ の GCWPG 伝送線路の S_{21} を次ページ 図 4-3 に示す。ここで用いた評価パラメータは、トレースと GND 面との間隔“S”と、トレースを構成するレイヤーの数“1 or 2”である。ここでトレースレイヤ数 1 の場合は TOP-Metal を、トレースレイヤ数 2 の場合は“TOP と NEXT Metal とを上下に兼ねる構成とした。他方間隔”S”は 50ohm の伝送線路を構成する為の値 $7\mu\text{m}\cdot 10\mu\text{m}$ を採用した。この伝送線路において、直線近似を行った場合の伝送損失は、 $0.66[\text{dB}/\text{mm}]$ at $25[\text{GHz}]$ であった。

続く図 4-4 と図 4-5 では VNA で測定した生データ、GCPWG と MSL の挿入損失の周波数特性を“Log-Magnitude”のグラフで表したものと、両側のポートから見たインピーダンスの周波数特性を”スミスチャート上に表したものを示す。測定機は HP-8722ES, 測定範囲は $8\text{GHz}\sim 40.05\text{GHz}$, 印加したパワーは 0dBm , 測定ポイント数は 201 ポイント, IF 周波数は測定精度を優先して 10Hz を選択した。この評価環境・設定は、4-2 節, 4-4 節, 4-5 節内の全ての測定に対して用いられた共通のものである。

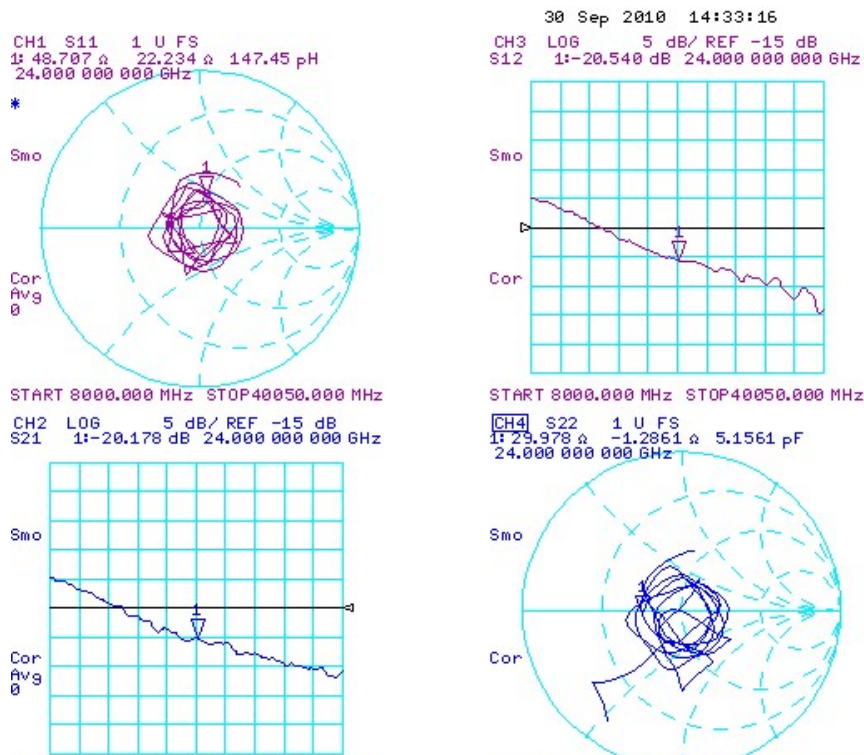


☒ 4-3 Grounded Co-planer Waveguide measurement result

- t3: w=10, sp=14, gap=7 & Top Metal Only Co-Planer Wave Guide Transmission Line
- t4: w=10, sp=14, gap=7 & Top & Next Metal Co-Planer Wave Guide Transmission Line
- t5: w=10, sp=20, gap=7 & Top Metal Only Co-Planer Wave Guide Transmission Line
- t6: w=10, sp=20, gap=7 & Top & Next Metal Co-Planer Wave Guide Transmission Line
- t7: w=10, sp=20, gap=10 & Top Metal Only Co-Planer Wave Guide Transmission Line
- t8: w=10, sp=20, gap=10 & Top & Next Metal Co-Planer Wave Guide Transmission Line



☒ 4-4 Example of GCPWG measurement result both Insertion loss and Impedance



☒ 4-5 Example of MSL measurement result both Insertion loss and Impedance

図 4-3 に示した t3,t5,t7 の Top メタルのみで構成されたグラウンデッド・コプレーナウェーブ伝送線路と t4,t6,t8 の Top メタル・NEXT メタルで構成されたグラウンデッド・コプレーナ・ウェーブガイド伝送線路の伝送損失を比較すると両者の傾きはほぼ等しく AC 的な損失に差はないことから、メタルの 2 枚重ねは伝送損失削減の観点からは有用ではない。

他方 2 枚重ねのメタルで構成された伝送線路は、低周波のロスが大きく伝送損失の絶対値は、TOP メタルのみで構成されたものより大きい。

加えて図 4-4・4-5 にその伝送損失、インピーダンス特性を比較したグラウンデッド・コプレーナウェーブガイドとマイクロストリップラインの 2 種の伝送線路との比較において、グラウンデッド・コプレーナウェーブガイドの方は挿入損失が少なく、インピーダンスも周波数に寄らずほぼ 50Ω 一定値に制御されているのに対し、マイクロストリップラインの方は挿入損失が大きいばかりか、インピーダンスも 30Ω 程度で、グラウンデッド・コプレーナウェーブガイドと比較すると、スミスチャート上で大きな円を描く結果となった。

この結果より、今後研究する IC 内部で伝送線路を用いる場合において、特に説明のない場合は、TOP メタルのみで構成されたグラウンデッド・コプレーナウェーブガイド (GCPWG) 構成を用いることにする。

表 4-1 では、今回挿入損失が最も少なかった $W=10$, $Gap=7$, $Sp=14[\mu m]$, Top-メタルのみで構成したグラウンデッド・コプレーナウェーブガイドの設計パラメータ・挿入損失の測定値を、文献[4-11]- [4-16]とを比較しつつまとめる。

表 4-1 Comparison of Insertion Loss for Transmission Line
with the other Researches.

	W [μm]	Gap [μm]	Sp [μm]	Z [Ω]	I.L [dB]	Freq. [GHz]	Comm	Ref
GCPWG	10	7	14	50	-0.66	25		This work
MSL	18.5	>100	-	53	3.8	20		[4-11]
MSL	9.1	>100	-	75	2.7	20		[4-11]
MSL	4.2	>100	-	100	2.0	20		[4-11]
CPW	18.5	15.9	48.2	42	1.3	20		[4-11]
CPW	4.2	4.2	8.4	68	0.5	20		[4-11]
SL*	6	4	-		0.72	20	M3	[4-12]
SL*	2	2	-		1.6	20	M2	[4-12]
GCPWG	10				0.62	30		[4-13]
GCPWG	16				0.6	40		[4-14]
GCPWG	10				0.8	30		[4-15]
GCPWG	10				2.0	30		[4-16]

*SL Strip Line

#

4-3 Slow wave Microstrip line (SW-MSL)

伝送損失と位相変動は伝送線路長に比例する為、単位長当たりの位相変動の大きい伝送線路を開発できると、整合回路等の波長を基に設計される受動素子の低損失化・小型化に有用である。4-3 節では上記単位長当たりの位相変動を大きくする事のできる特殊な伝送線路である、スローウェーブ伝送線路(Slow wave Transmission line)の中でも、最も IC 上での実現に適しているスローウェーブ・マイクロストリップライン (Slow wave Microstrip line: SW-MSL)の実現方法を、評価結果を織り込みつつ説明する。

自由空間での波長 λ_0 は、周波数を f_0 とする次の式(4-11)で表される。

$$\lambda_0 = 3 \times 10^8 / f_0 \quad \text{式(4-11)}$$

比誘電率 ϵ_r の媒質中の波長 λ_{eff} は、以下の式(4-12)で表される[4-17]。

$$\lambda_{\text{eff}} = \lambda_0 / \sqrt{\epsilon_r} \quad \text{式(4-12)}$$

これを基に、本研究でターゲットとしている 10-40GHz の信号の自由空間における波長、及び比誘電率 4 の媒質中での波長を以下の表 4-2 にまとめる。

表 4-2 周波数と波長の関係

周波数 [GHz]	自由空間での波長	SiO ₂ の比誘電率	SiO ₂ 伝送線路での波長	備考
5	60mm	4.0	30mm	
10	30mm		15mm	
20	15mm		7.5mm	
40	7.5mm		3.75mm	$\lambda_{\text{eff}}/20 = 187.5[\mu\text{m}]$

式(4-12)で示される様に、 $\epsilon_r = 4.0$ の SiO₂ での波長は自由空間中波長の半分になる。更に 40GHz の信号を $\epsilon_r = 12.0$ の媒質中で伝送する時を考えると、その波長 λ_{eff} は 2.165[mm]で、自由空間に比べて 1/(3.464)の長さになり、大幅な小型化・小面積化が実現できる。他方比誘電率は物質に固有の定数であり変更することは難しい。しかしながら Si 上ではスローウェーブ現象を利用する事で、実効的な比誘電率を上げることが出来る。更には、先述の様に、配線による損失はその長さに比例する為、配線長を短くする事で損失を減らす事・Q を高くする事も期待できる。

注) 上記表 4-2 中で用いた数値“ $\lambda_{\text{eff}}/20$ ”は入出力間の位相変動が $360/20 = 18[\text{deg}]$ と小さく、伝送線路を分布定数表現するか、集中定数表現するかの目安として使われる判断の基準値である。

伝送線路の特性インピーダンス Z_0 は, その単位長あたりのインダクタンス L_0 と同じく単位長あたりのキャパシタンスとで表現される式(4-13) から求めることが出来る.

$$Z_0 = \sqrt{L_0 / C_0} \quad \text{式(4-13)}$$

また式(4-10)を, $L_0 \cdot C_0$ を用いて書き直す[4-19]と,実効的な波長 λ_{eff} と $L_0 \cdot C_0$ との関係を表す式(4-14)を得る.

$$\lambda_{\text{eff}} = \lambda_0 / \sqrt{L_0 \cdot C_0} \quad \text{式(4-14)}$$

従ってスローウェーブ伝送線路を実現するには, $L \cdot C$ 積を $\epsilon \cdot \mu$ 積と独立に定める事の出来るトポロジーを実現することに他ならない.

上記目標達成の為のヒントを得る為, 伝送線路におけるインダクタンス・キャパシタンスについて模式図を用いて説明する.

図 4-6 に伝送線路におけるインダクタンス決定のパラメータを説明する模式図を示す.

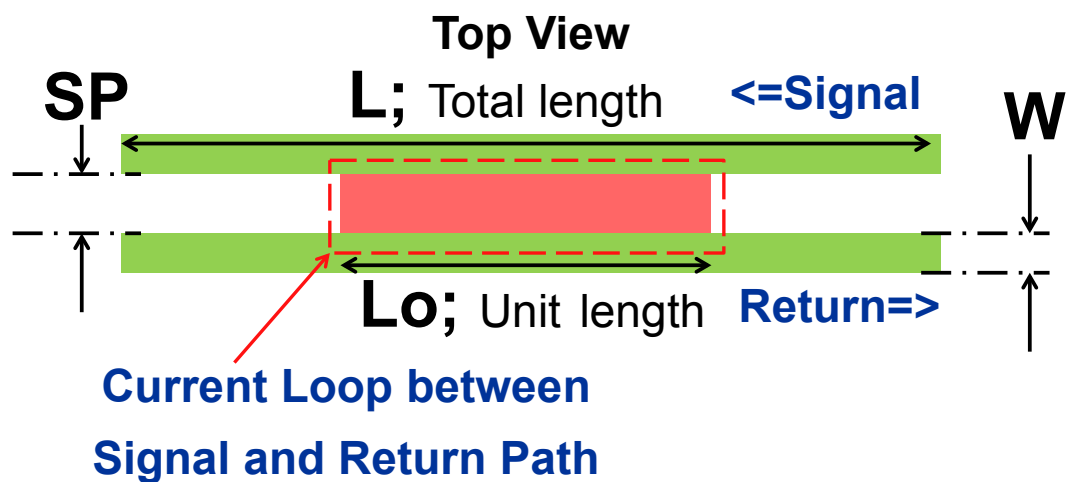


図 4-6 伝送線路におけるインダクタンス

- シグナルパスとリターンパスを遠ざけると
 - ⇒ 信号電流とリターンパス電流とのループが広がる.
 - ⇒ 鎖交する磁束が増加
 - ⇒ インダクタンスが増加

設計パラメータ

W=配線幅

L=配線長

SP=シグナルパスとリターンパスとの配線間隔

Q=フローティングシールドの幅

S=隣り合ったフローティングシールド間の間隔

簡単の為 A=S=Q と置いて評価した.

図 4-7 に伝送線路におけるキャパシタンス決定のパラメータを説明する模式図を示す。

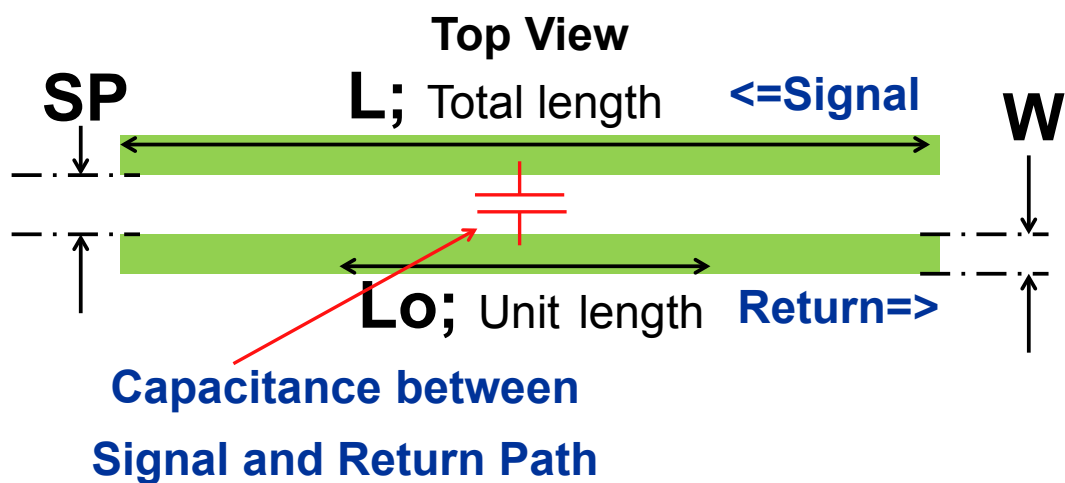


図 4-7 伝送線路におけるキャパシタンス

- シグナルパスとリターンパスを近づけると
 - ⇒ 信号電流とリターンパス電気力線が密になる
 - ⇒ 信号電位とリターンパス電位との距離が短くなる
 - ⇒ キャパシタンスが増加

すなわち、シグナルパスとリターンパスとの間隔と L の大きさ・ C の大きさとはトレード・オフの関係にある。

図 4-8 にスローウェーブ伝送線路における設計パラメータを説明する模式図を示す。

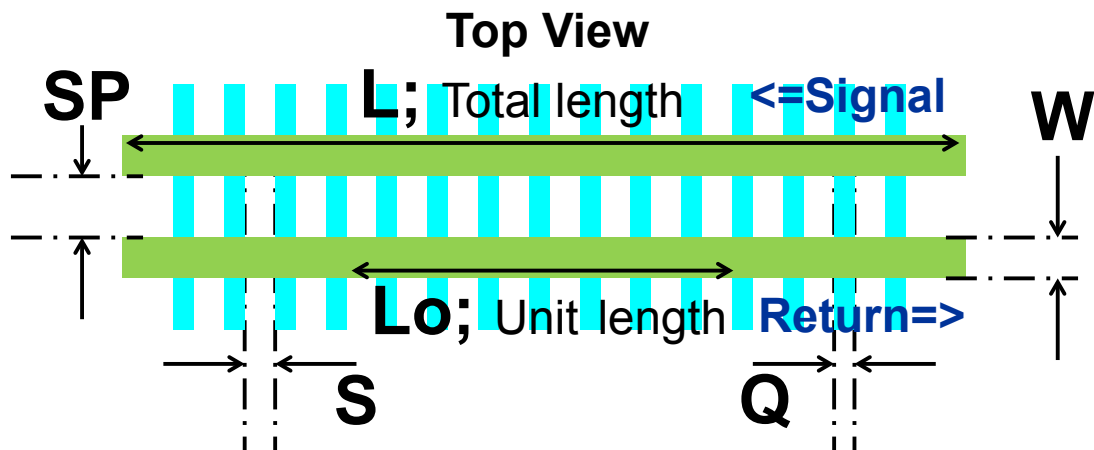


図 4-8 SWTML の構成例と設計パラメータ

今までの考察から波頭短縮実現法としてのスローウェーブ特性を実現するには、式 (4-14) に示した λ_{eff} を小さくすることが必要で、これは

- 1) L を保ちつつ C を大きくする
- 2) C を保ちつつ L を大きくする。

事で実現できることが解った。今回は 1) の方法でスローウェーブ特性を得る事を試みた。

但し問題の単純化の為、一般性を損なわない、以下の事を仮定する。

シグナルパスと、リターンパスの配線幅(=W)は同じ、

フローティングシールドの線幅(=Q)は一樣

フローティングシールドの間隔(=S)も一樣

加えて $Q=S=A$ とし、設計パラメータの数を少なくした。

L_0 =配線の単位長

前頁の図 4-8 の構成でスローウェーブ現象達成に貢献したキーを 2 点, 以下にまとめる.

- a) 磁束の鎖交を増やさないように, 磁束の向きと平行にフローティングシールドを配置した.
- b) シグナルパスとリターンパス間の電気力線が密になるように, すなわちシグナルパス・リターンパスレイヤーの直下のレイヤーを用いてフローティングシールドを構成した.

スローウェーブ特性を評価する為 Time Domain Reflectometry(TDR)を用いて, 信号の遅延を測定した. 信号の伝搬速度 V_p は次の 式(4-15)で表される[4-20]ため, 比誘電率の大きな媒質中を伝搬する信号程速度が遅くなる事が解る. すなわち遅延の大きい信号程 ϵ_r の大きな媒質中を伝搬した事に成る.

$$V_p = C / \text{Sqrt}(\epsilon_r) \quad (\text{式 4-15})$$

遅延の評価結果, 特に遅延が大きかったものを選んで以下の図 4-9 に示す.

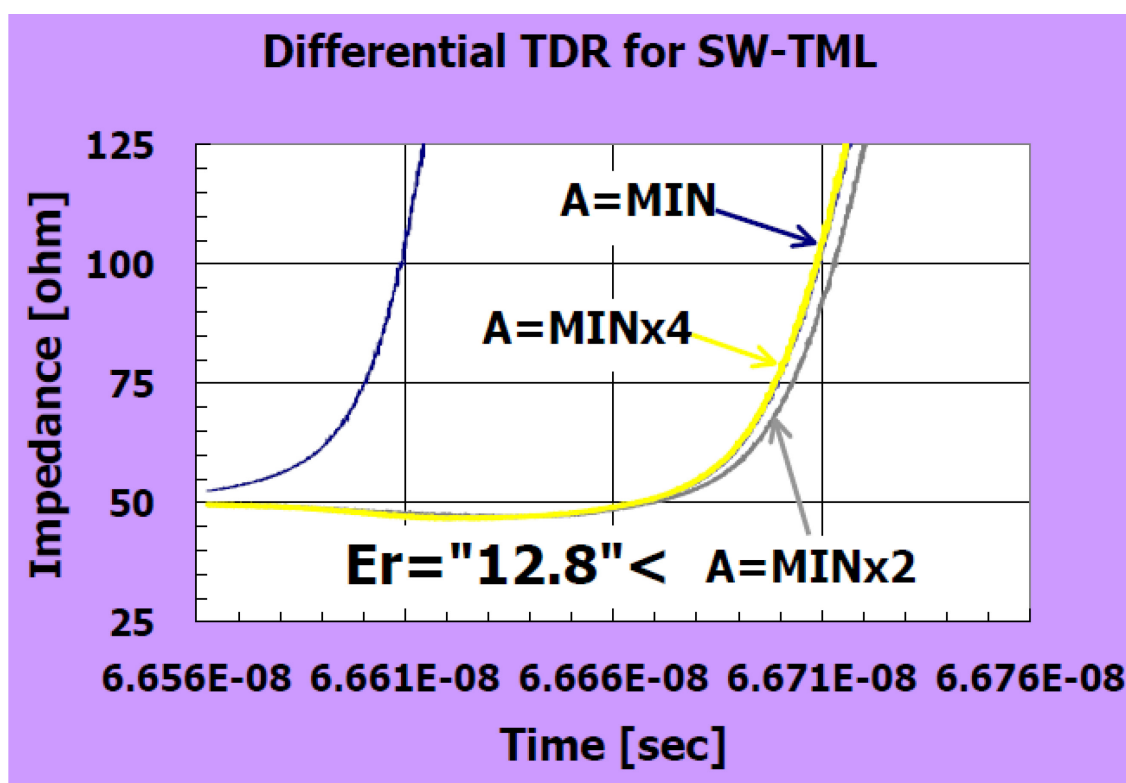


図 4-9 SW-TML の遅延特性測定結果

図 4-9 は、0.18 μm の設計ルールの配線幅の最小値を MIN と置いて、先述のパラメータ A[#]を MIN の 1 倍, 2 倍, 4 倍と変化させた時の、TDR 入力入力(紺色)と出力を示したものである。用いた伝送線路長 L は 4300 μm である。

信号が 4300 μm 伝搬し、Open 端に到達するまでの時間を測定する為、図 4-9 のインピーダンス 100ohm の点に注目すると、入力は 6.661e-8[sec]、出力は概ね 6.671e-8[sec]の近傍に集中している。すなわち入出力間の遅延は 0.01e-8[sec]程度。信号の伝搬速度 vd は、TDR は反射波を測定していることを考慮して

$$vd=(4300e-6*2)//0.01e-8=86e6[\text{sec/sec}]$$

式(4-12)より、 $\text{Sqrt}(\epsilon_r)=C / vd$

$$\text{Sqrt}(\epsilon_r)=3.0e8/(86e6)=3.488 \Rightarrow \epsilon_r = 12.1$$

最も遅延の大きい MINx2 の遅延を用いて計算すると

$$\epsilon_r = 12.8 \text{ を得た。}$$

これは、SiO₂ の比誘電率 3.9[4-21]の 3 倍以上の非常に高い値を示しておりスローウェーブ特性を実際の Si 上で確認することができた。

パラメータ A の説明(再)

SP=シグナルパスとリターンパスとの配線間隔

Q=フローティングシールドの幅

S=隣り合ったフローティングシールド間の間隔

簡単な為 A=S=Q と置いて評価した。

4-4 MIM Capacitor Modeling

この節で用いられる MIM とは, MIM (Metal Insulator Meta)の意で, MIM Capacitor は 2 枚の Metal 電極間に薄い絶縁物を挟むことで大きな静電容量が得られるように工夫された, 一種の平行平板容量素子である. MIM Capacitor は基本容量としての 2 端子間の容量の他に, 対バルクの寄生容量, フリンジ容量, Top Metal の長さに比例する寄生抵抗を有する. その為基本的に Low-pass 特性を示す. 従って此处では MIM Capacitor の形状と利用可能な周波数とを確認する作業を行った.

まず MIM 容量の等価回路としては, 下図 4-10 に示す, MIM 容量 C_s と直列の抵抗素子 R_s ・誘導性素子 L_s と並列の寄生容量 C_{ox1} ・ C_{ox2} を考慮した物を用いた.

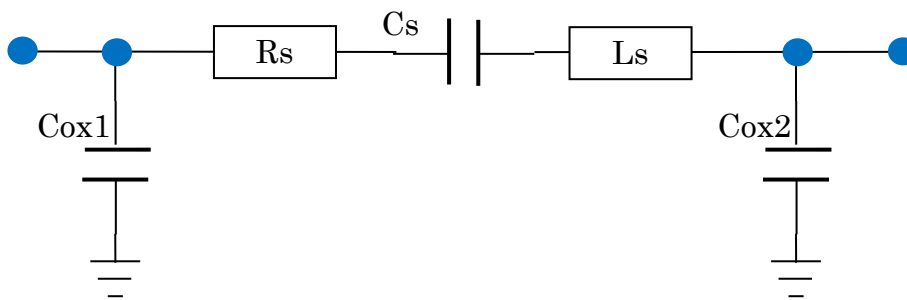


図 4-10 MIM 容量の 等価回路

最初に容量性素子の Q 値の周波数特性を[4-22]で紹介されている方法に従って測定した。

表 4-3 測定したキャパシタとその測定値

容量 fF	縦 μm	横 μm	容量 1G “C1G”	容量 25G “C25G”	C1G/ C25G	Q 40G	備考
121	4.32	15.34	121	124	1.024	16	
202	10.60	10.58	202	207	1.025	12	
266	12.14	18.36	266	283	1.064	11	
329	13.50	13.50	329	355	1.079	10	
1590	29.56	28.80	1590	2100	1.321	-	

基本的なレイアウト方針は、寄生容量が最小且つ、寄生容量も十分小さく制御できる正方形を採用する事であったが、最小の容量については、プローブから、容量への引き出し線の長さを概ね同じにし、De-embedding の影響をすべての被測定物間で同等にする方針のもと長方形を選択した。

以下の図 4-11(a)・(b)・(c)では代表的な外形の例として、最小容量の素子 121fF, 真ん中の大きさを有する容量素子 266fF, そして最大の容量素子である 1590fF のレイアウトを示す。

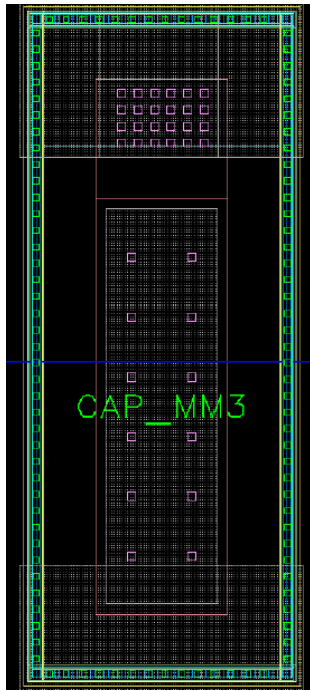


図 4-11(a)
C=121fF のレイアウト

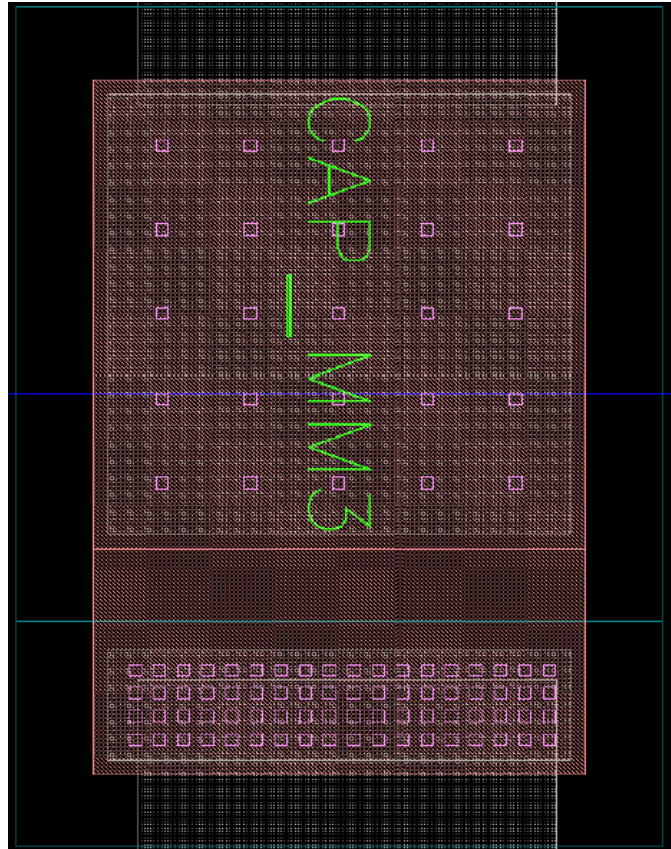


図 4-11(b)
C=262fF のレイアウト

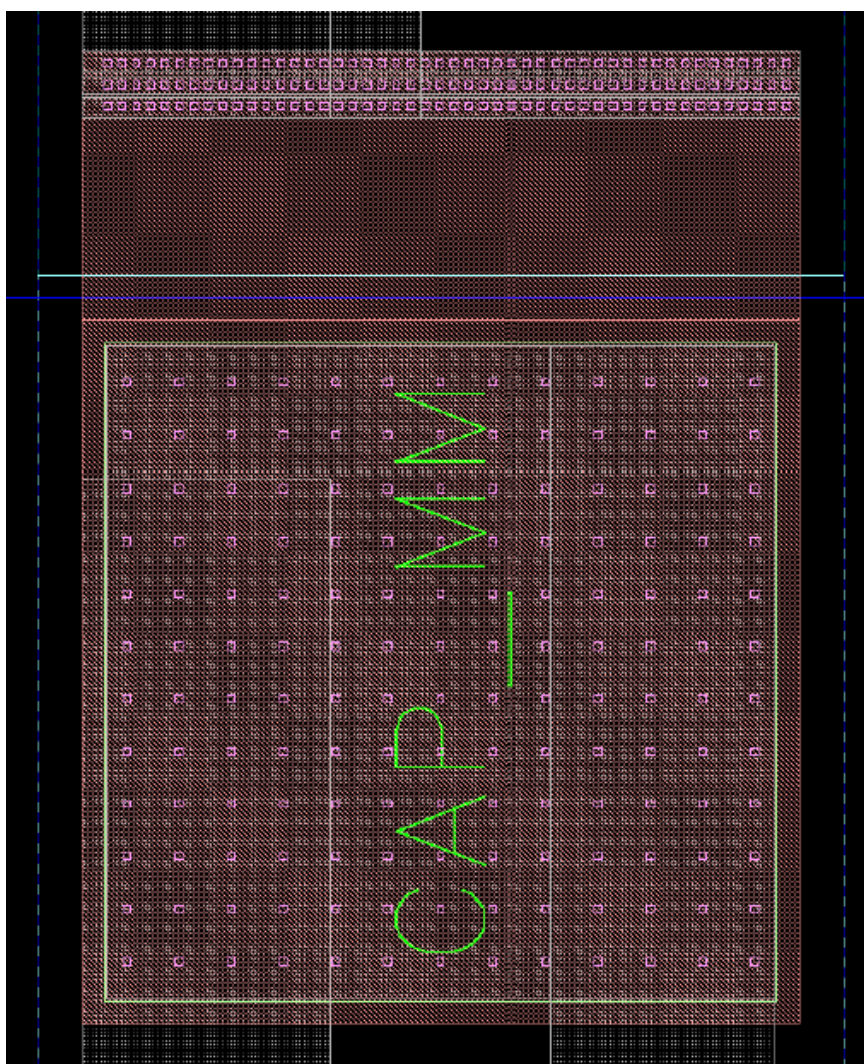


図 4-11(c)
C=1590fF のレイアウト

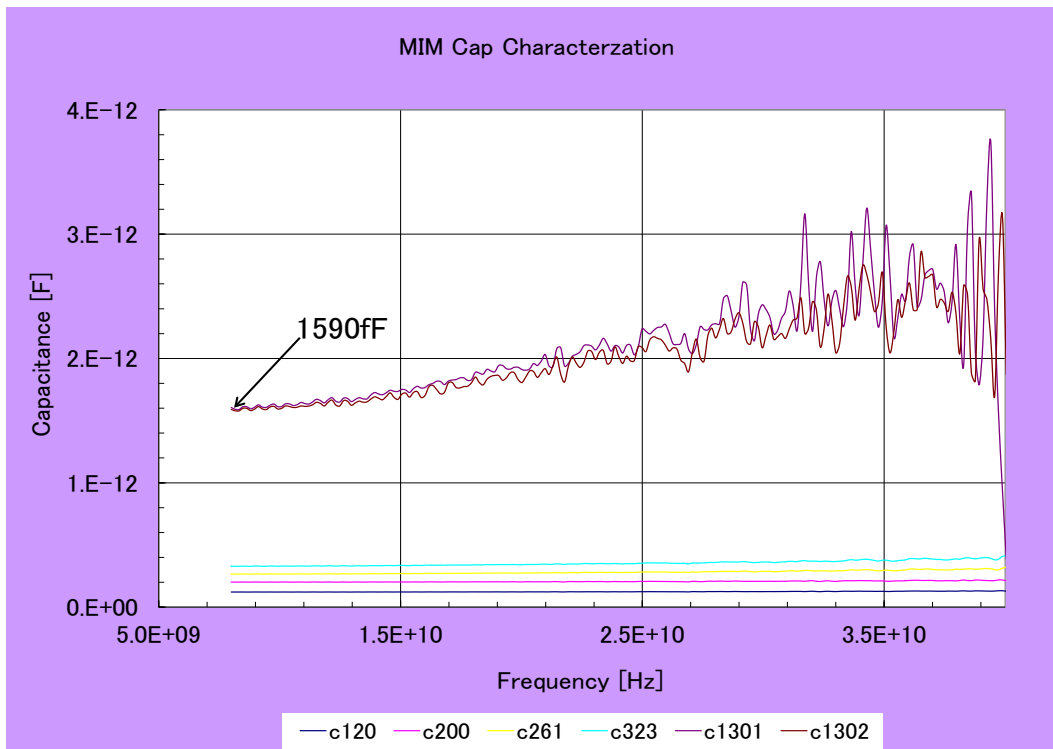


図 4-12(a) 容量の周波数特性図 1

C120: 図 4-11-(a)にレイアウトを示した容量の測定値(設計時の容量 120fF)

C200: 容量の測定値(設計時の容量 200fF)

C261: 図 4-11-(b)にレイアウトを示した容量の測定値(設計時の容量 261fF)

C323: 容量の測定値(設計時の容量 323fF)

C1301: 図 4-11-(c)にレイアウトを示した容量の測定値(設計時の容量 1590fF)

サンプル番号 1

C1302: 図 4-11-(c)にレイアウトを示した容量の測定値(設計時の容量 1590fF)

サンプル番号 2

上図では C1301 と C1302 とが 8~40GHz($40/5=8$ の理由で測定開始周波数を 8GHz に選んだ)の周波数範囲で容量値が大きく変化しており, MMIC の設計用途としては不適格である.

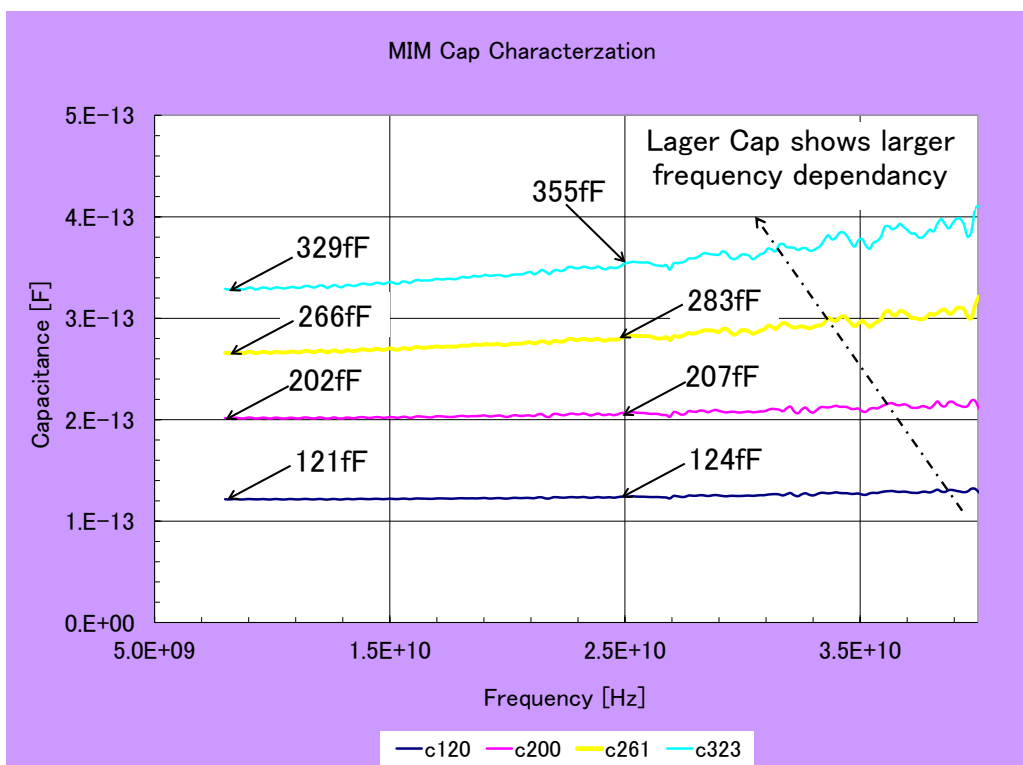


図 4-12(b) 容量の周波数特性図 2

図 4-11(b)は、図 4-11(a) 容量の周波数特性図 1 の Y 軸方向を拡大した図である。上図より C120～C323 いずれも 8~25GHz の範囲なら、容量の変動は 10%以内で、利用可能と考える。

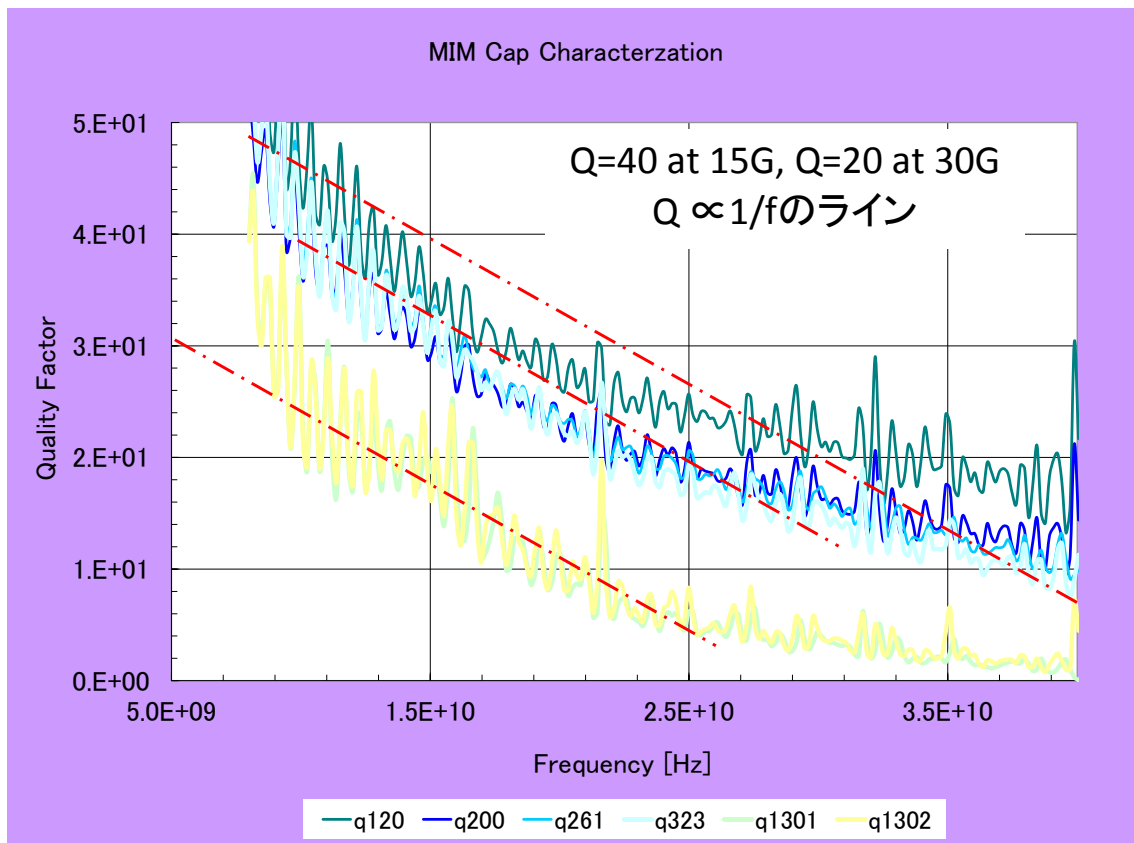


図 4-13 容量性素子の Q 値対周波数特性図

他方容量性素子の Q 値対周波数特性は下式(4-16)で表されることが知られている [4-22].

$$Q \propto (1/f) \quad \text{式(4-16)}$$

図 4-13 の評価結果で上記期待値のラインに乗っているのはないが, C120 は他の物に比べ全ての周波数範囲で Q 値が高いことが確認できた. 従って容量性素子としては MMIC の設計時には C120 のみを用いることにし, 大きな容量が必要な場合は C120 の並列接続で対応する事にした. 但し並列接続において, 寄生抵抗が大きくなりそうなときは, c200, c200, c323 の使用も検討する.

4-5 Inductor Design and Modeling

容量性素子と逆の周波数特性を有する誘導性素子は回路の各ノードについての容量性素子の影響を相殺してくれる為、今回のような超高周波回路設計において特に重要な素子となる。

$$\begin{aligned} 10\text{GHz を超える高周波で必要とされるインダクタは通常 } 0.5\text{nH 以下なので,} \\ Z(0.5\text{nH at } 10\text{GHz}) &= 2 * \text{Pi}() * 10\text{e}9 * 0.5\text{e-}9 \\ &= 10 * \text{Pi}() = 31.4159[\text{ohm}] \end{aligned}$$

以下では TOP-メタルを用いた、巻き数 1 のインダクタを念頭において話を進める。先ず巻き数 1 のインダクタの断面図と外形例を図 4-14 と 4-15 に、その等価回路を図 4-16 に示す。これら図中に示した等価回路・フィッティング法等は[4-23]-[4-26]で詳しく説明されている。

$$L_s = (9 * \mu_0 * n^2 * d^2 \text{mean}) / (11 * d_{\text{out}} - 7 * d_{\text{mean}}) \quad \text{式(4-17)}$$

... Inductance (インダクタンス)

$$R_s = (w * \sigma * \delta * (1 - \exp(-t/\delta)))^{-1} \quad \text{式(4-18)}$$

... Resistance of spiral lines (直列抵抗)

$$\delta = \text{Sqrt}(2 / (\omega * \mu_0 * \sigma)) \quad \text{式(4-19)}$$

... Skin depth (表皮厚さ)

$$C_s = n * w^2 * \epsilon_{\text{ox}} \quad \text{式(4-20)}$$

... Capacitance Between the lines (線路間の容量)

$$C_{\text{ox}} = \omega * l * \epsilon_{\text{ox}} / (2 * d_{\text{rms}}) \quad \text{式(4-21)}$$

... Oxide capacitance (誘電体部分に生じる容量)

$$R_{\text{sub}} = 2 * \rho_{\text{sub}} / (w * l) \quad \text{式(4-22)}$$

... Substrate resistivity (基板抵抗)

$$C_{\text{sub}} = w * l * C_{\text{sa}} / 2 \quad \text{式(4-23)}$$

... Substrate Capacitor per unit Area (単位面積当たりの基板容量)

ここで

w = Conductor width (線路の幅)

l = Conductor length (線路の長さ)

t = Conductor Thickness (線路の厚み)

d_{mean} = Sqrt(d_{out} - d_{in}), d_{ms} = distance between conductor and substrate

$\mu_0 = 4 * \text{Pi}() * E(-7) =$

$\sigma = 37.7 * E(+6) = \text{Wire} (= \text{Aluminum}) \text{ resistivity}$ (アルミニウムの抵抗率)

$\epsilon_0 = 8.854E(-12)$

ρ_{sub} = 基板の抵抗率 を表す。

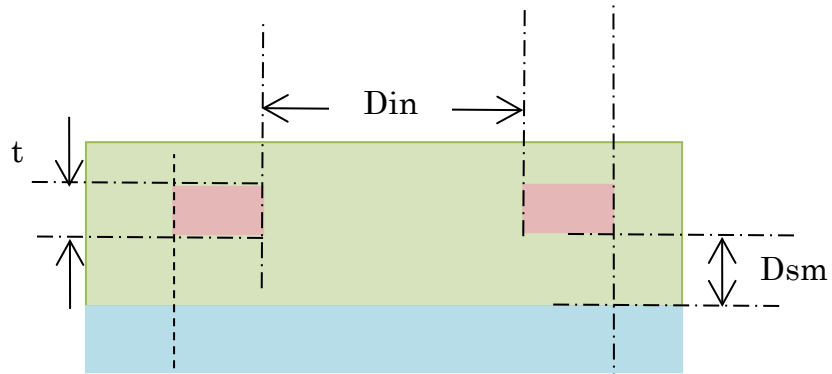


图 4-14 Inductor 断面图

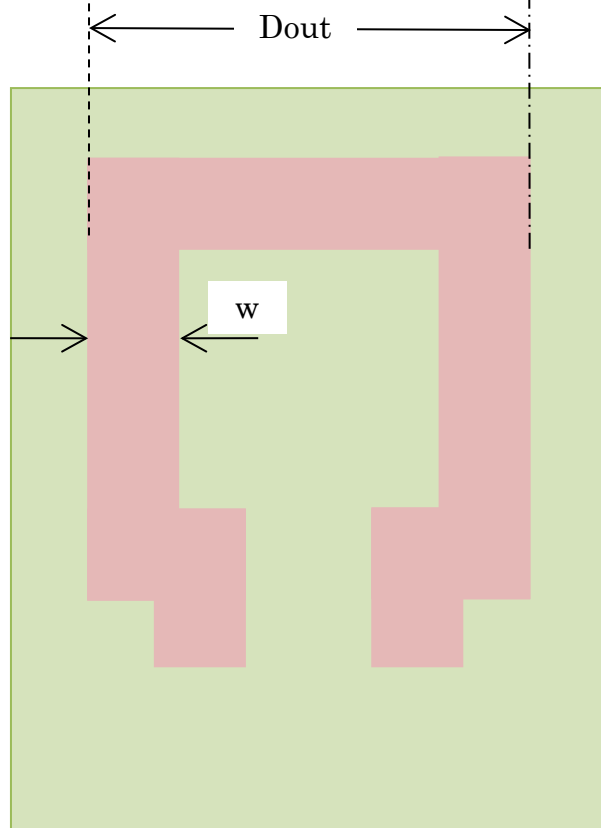


图 4-15 Inductor 平面图

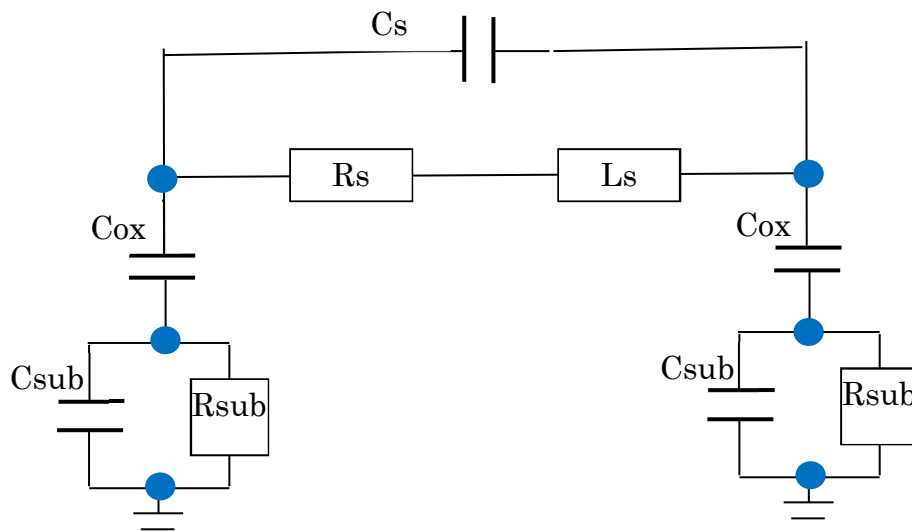


図 4-16 Inductor 等価回路

図 4-16 中の各構成要素の近似式は, (式 4-17)~(式 4-23)を参照の事.

損失成分である図 4-16 中の R_s は一定値である低周波の抵抗 R_{lf} と, 周波数依存性を有する RF インピーダンスの R_{rf} とに関連する部分とに分けて考えると, 広い周波数範囲で利用可能な等価回路・PDK を得る事が出来る. ここで R_s を全損失, R_{dc} は直流抵抗値, R_{ac} は周波数依存性を有するインピーダンス成分として表すと[4-25],

$$R_s = \sqrt{R_{dc}^2 + R_{ac}^2} \quad \text{式(4-24)}$$

ここで R_{ac} は式 (4-25) で表わされる[4-25].

$$R_{ac} = \rho * L / (W * \delta) \quad \text{式(4-25)}$$

$$\delta = \sqrt{2 * \rho} / (\omega * \mu) \quad \text{式(4-26)}$$

ここで ρ は導体の抵抗率, ω は角周波数そして μ は自由空間中の誘電率を表す.

また上図 4-15 で示されたインダクタの Q 値は次式(4-27)で表される[4-28].

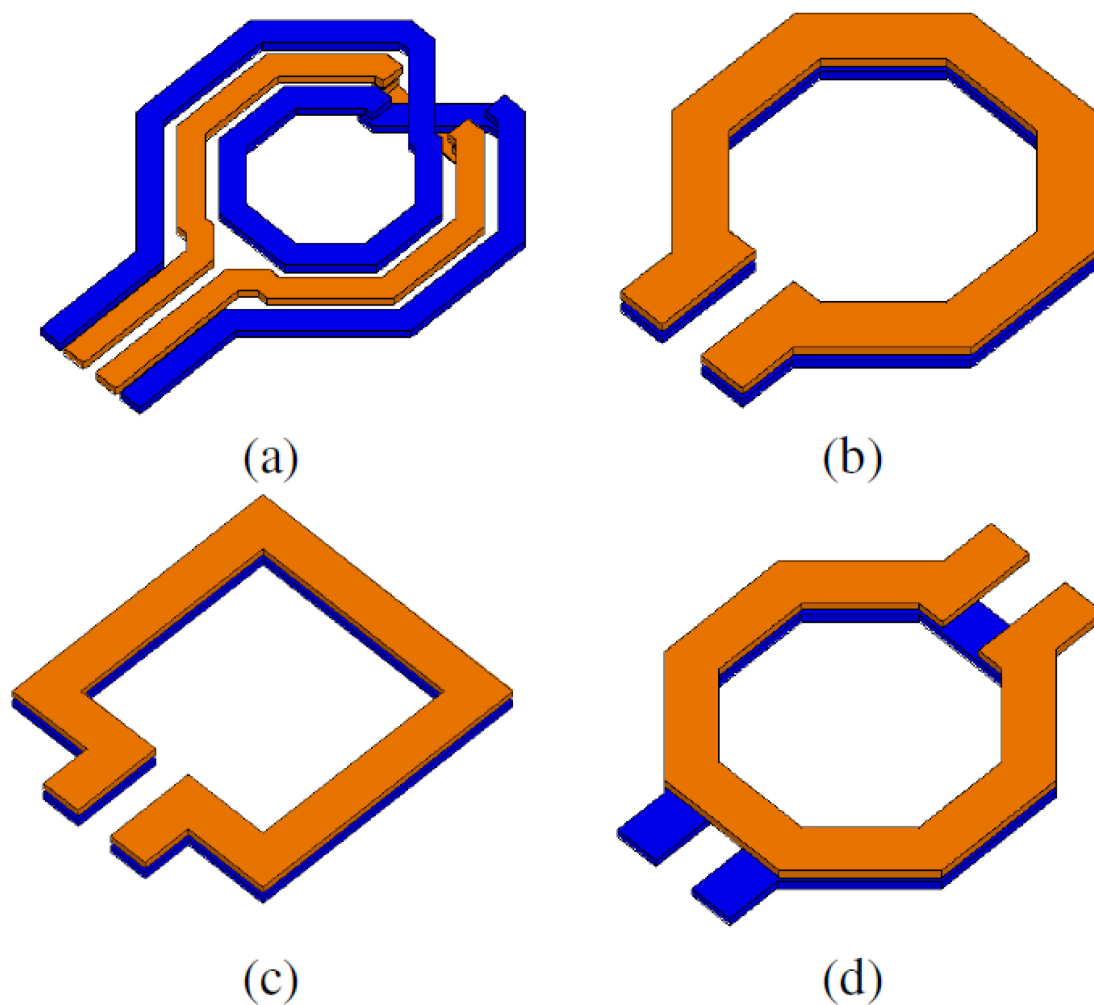
$$Q_L = \omega L_s / R_s \quad \text{式(4-27)}$$

上式から誘導性素子は周波数が高くなる程 Q 値が高くなる. すなわち損失の割合が減って行く事がわかる. 加えてインピーダンスは周波数に比例して大きくなるので, これに反して実現面積は小さくできる. これも又準ミリ波・ミリ波帯では非常に有用な受動素子である理由の一つである.

更にはインダクタの Q 値を向上させる為, インダクタと基板の間にシールドを配置する研究も数多く行われている. 今回の車載レーダ部品研究においても, シールドを用いて受動素子の Q を上げることに成功している. この設計法・実現例については第 4-6 節で説明する.

4-6 Transformer Design and Modeling

インダクタは単体で用いられるだけでなく、それを組み合わせてトランスフォーマーとして用いられることも多い。トランスフォーマーの構成は数多く提案されているが高周波に好適なものは文献[4-29]に効率よくまとめられている。



- (a) Octagonal (6 角形) non-flipped interleaved transformer.
- (b) Octagonal (6 角形) non-flipped stacked transformer.
- (c) Square (4 角形) non-flipped stacked transformer
- (d) Octagonal (6 角形) flipped stacked transformer

図 4-17 ミリ波用トランスフォーマーの構成例 文献[4-29]

しかしながら、図 4-17(a)の構造では設計ルールで広い間隔を取る事が要求される、水平方向の結合を利用する為電磁結合が疎に成る。他方 4-17(a)よりも原理的に密な縦方向の電磁結合が得られる図 4-17(b)~(c)の構造でも、一次側のコイル部の下面と、二次側のコイル部の上面とでしかコイル部同士が向き合っておらず、図 4-17(a)中を示す電流が流れた場合、図 4-17(b)中に矢印で示すような方向で磁束(エネルギー)が発生し、磁束を変成器に完全に閉じ込めておくことができない。トランスフォーマ中において、一次側のコイル部と二次側のコイル部との間で電磁誘導が行われるが、トランスフォーマ中で発生した磁束を十分に閉じ込めておくことができない状況では、一次側のコイル部と二次側のコイル部との結合係数が劣化する。これが損失の大きな原因になっていた。

そこで、以下では上記の課題に鑑み、図 4-17 で示したトランスフォーマ構造の物よりも、1 次側のコイル部と、2 次側のコイル部間の中に発生する磁束を有意差を持って閉じ込め、挿入損失を少なくできるトランスフォーマの構成[4-30]を説明する。

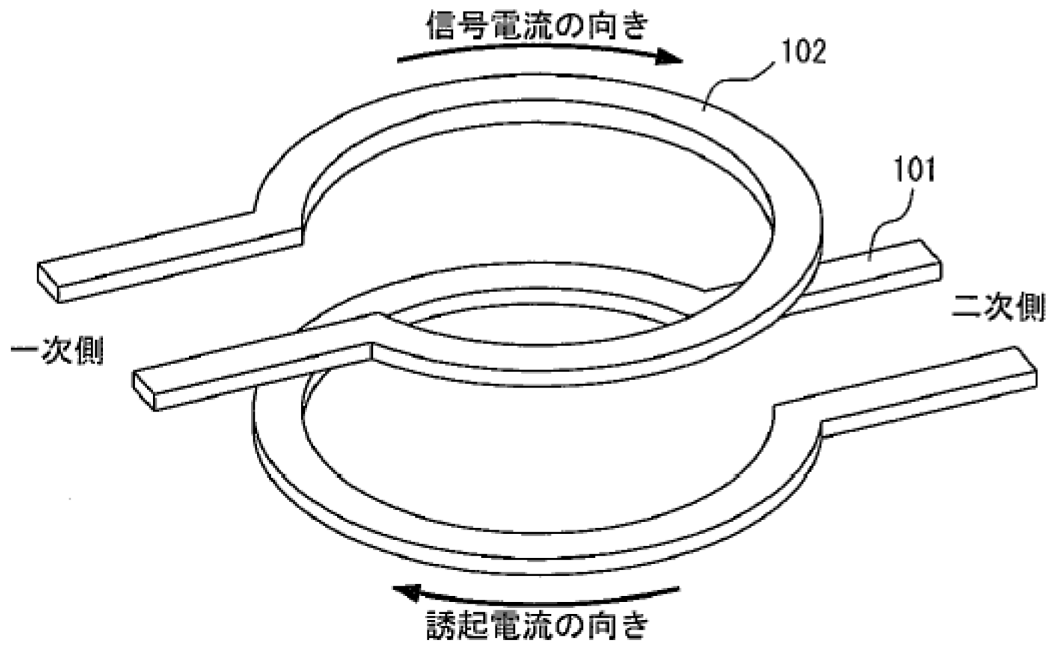


図 4-18(a) トランスフォーマーに流れる電流の例

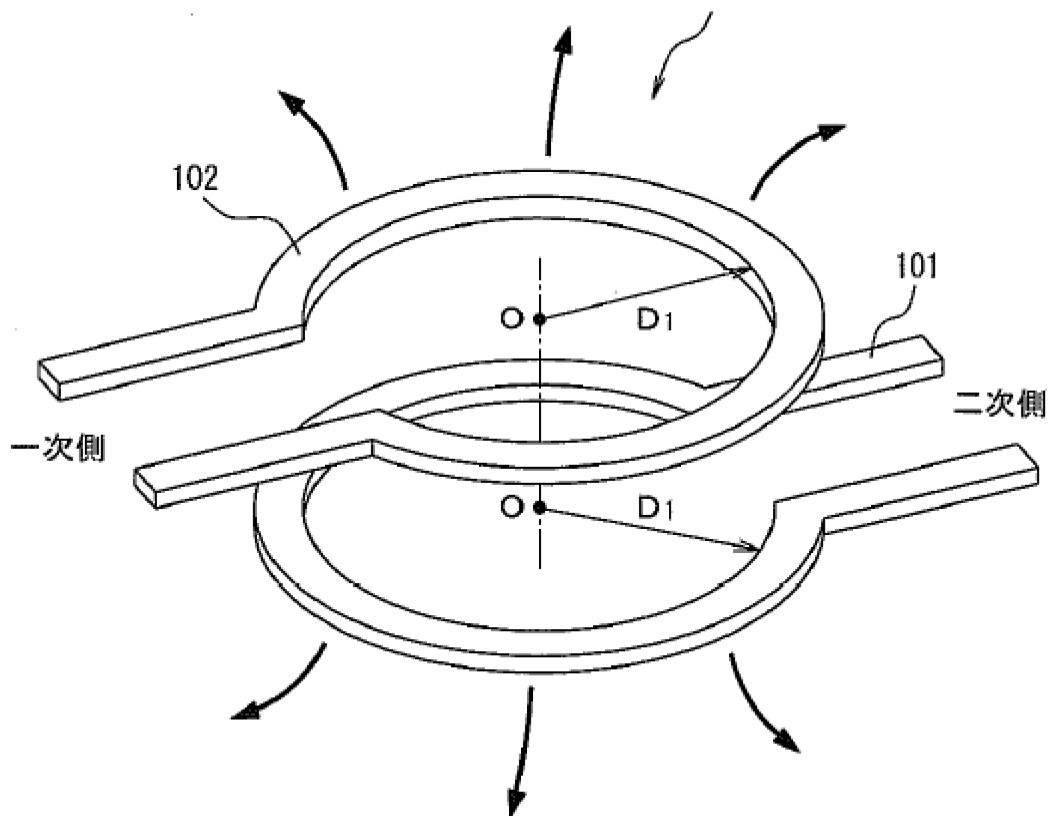


図 4-18(b) トランスフォーマーで誘起する電気力線の例

電気力線を効率よく閉じ込める為、第3の配線層を導入し、最上層とこの第3の配線層とで、2層目の配線層をサンドイッチした。このことにより2次側・2層目の電気力線は閉じ込められ損失の少ないトランスが実現できる。

本手法をK-バンド帯で利用するには、この3層での構成が大切なポイントである。というのも層数を増やしていくと電気力線の閉じ込め効果は高くなるが、基板と配線層間の距離が短くなり寄生容量が増加する。その結果インダクタンスとしての自己共振周波数が低下し、トランスフォーマとしても動作できなくなってしまう。更には基板と最下層の配線間での結合が密に成るが為挿入損失も同時に増加してしまう。下図4-19に配線層を3層用いて実現した、高周波用トランスフォーマの構成例を示す。

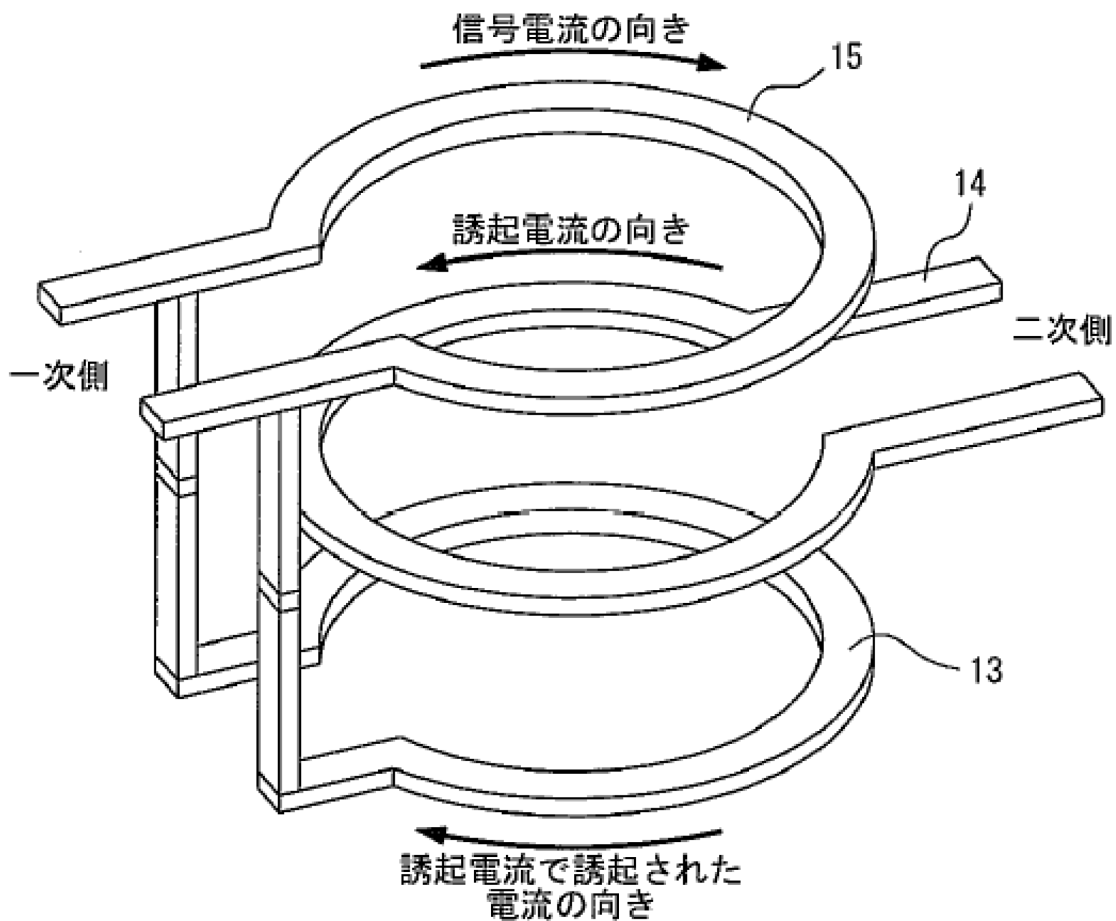


図 4-19 トランスフォーマで誘起する電気力線の例

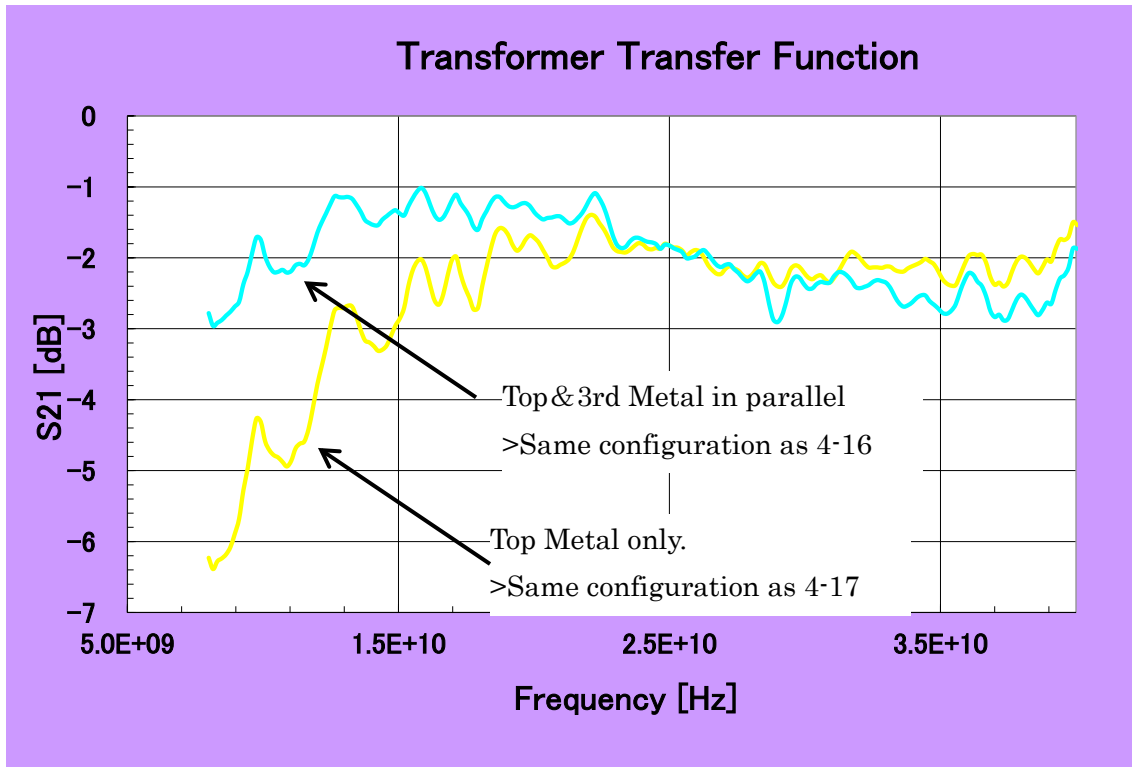


図 4-20 トランスフォーマの構成と挿入損失の比較

図 4-20 では図 4-19 の構成を用い、最上層と第 3 の配線層とで、2 層目の配線層をサンドイッチして実現したトランスフォーマと、図 4-17-(b)~(c)の様に最上層とその直下の 2 層構成で実現したトランスフォーマとの挿入損失の周波数特性と比較した。

その結果図 4-19 の構成の物は図 4-17-(b)~(d)の物に比べ、7~25GHz という広い周波数範囲にわたって改善が確認できた。改善効果は低い周波数ほど大きく 15GHz では 2dB・7GHz では 4dB にも達した。

他方 25GHz より高い周波数範囲では、損失が大きくなっており、これはトランスフォーマと基板間の寄生容量が増加する事で信号成分が基板に流れてしまうこと、基板内での損失が増加する事が原因だと思われる。

Chapter 5: Ku-band Low Noise Block (LNB) for Satellite Receiver

LNB モジュール中の Ku-バンドフロントエンドを構成する回路ブロックは、2-1 節で説明した、LNA, 周波数変換器, 中間周波数信号バッファ, それとローカル信号発生部で構成される. 以下の図 5-1 では、2-1 節で掲載した図 2-2 を再記載し、各掲載の回路ブロックの設計詳細について説明していく.

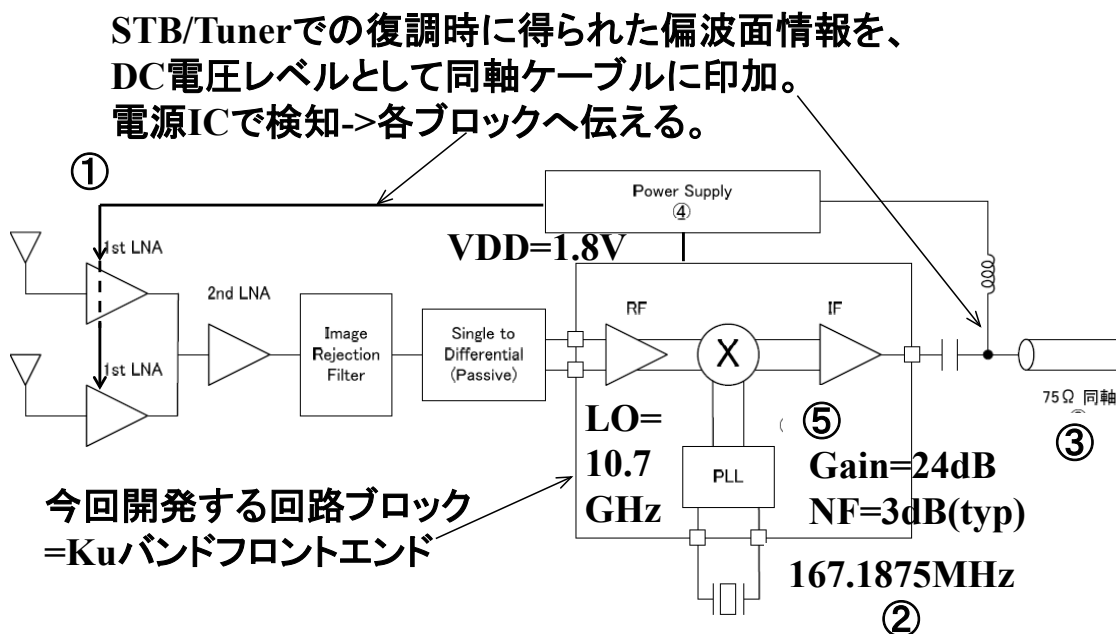


図 5-1 LNB モジュール構成図

…図 2-2 LNB モジュール構成図 を再掲載

5-1 Low noise amplifier (LNA) design

LNA は低雑音・高利得が求められると共に、インピーダンス整合も大事な設計パラメータと成る. 冒頭で述べたように今迄研究・発表された LNB の集積チップは SiGe や On-wafer 上での実現例であり[5-1]~[5-5], LNA の整合は容易に実現できた. 今回は入力が容量性で、実部を持たない CMOS での実現となる. そこで本節では先ず Package を含む整合部の解析を行い、それに続いて LNA の設計について説明する.

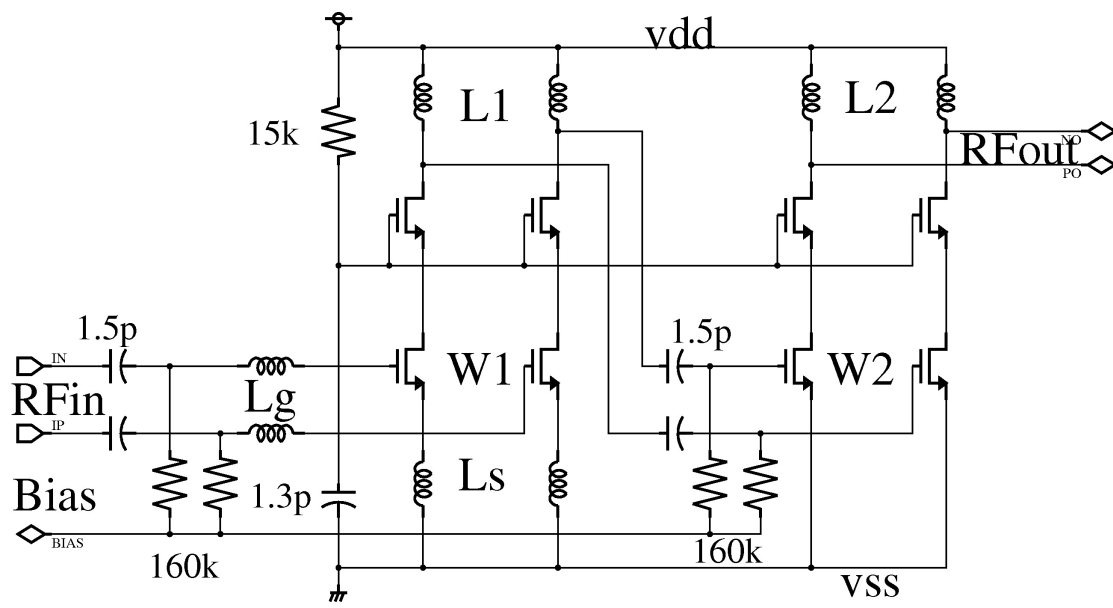
LNA はカスコードアンプ 2 段で、初段は整合の為ソースディジェネレーション型とし、コモンモード雑音の耐力を考慮して疑似差動構成を取った. LNA の回路図は図 5-2 に、入力部の詳細図を図 5-3 に示す. 図 5-2 の $W1$ は初段のトランジスタ幅, L_s はソースと VSS 間の, L_g はゲートとパッド間のインダクタンスである. 図 5 において C_p はボンディングワイヤとリードフレーム間の容量, L_w はボンディングワイヤのインダクタンス, そして C_{pd} はパッドの対地容量を示す.

最適な入力インピーダンス Z_s とは、その虚部はゼロ且つ実部が信号源インピーダンスと等しいインピーダンスであり、図 5-2 の LNA の Z_s は(式 5-1)で表される[5-6]. この式から C_{pad} の影響で整合条件は周波数の上昇と共に低下させる必要があり、Ku-バンドの LNA 設計においては数 GHz 場合と異なり、パッド容量 C_{pad} の影響を無視できない事が解る.

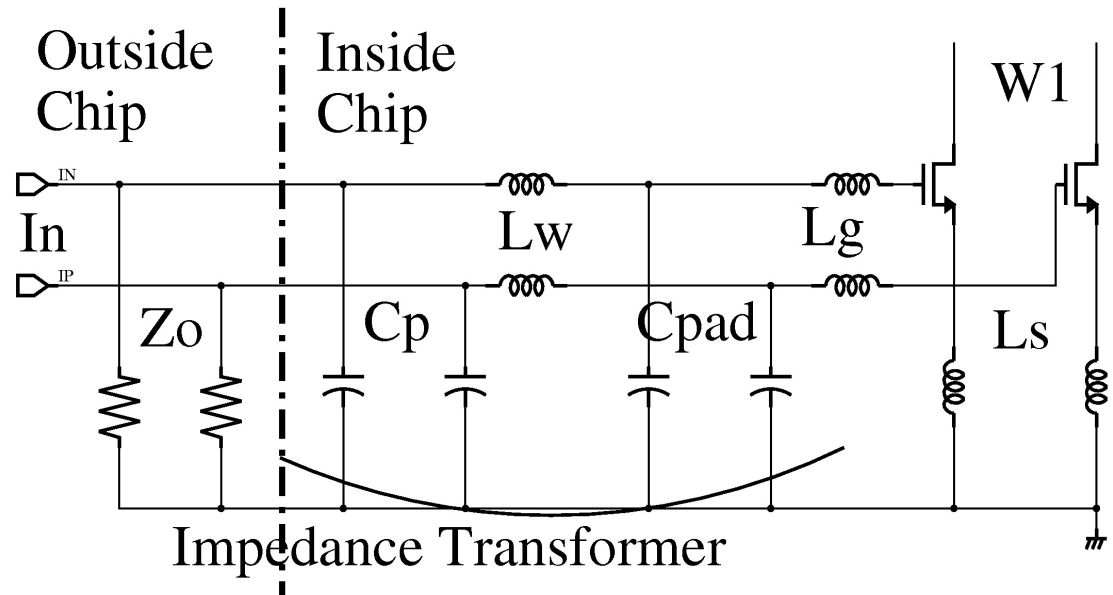
$$Z_s = (Z_s/k) - (j \cdot \omega \cdot C_{pad} \cdot Z_o^2/k) \quad \text{式(5-1)}$$

$$\text{ここで } k = 1 + \omega^2 C_{pad}^2 Z_o^2$$

LNA の設計目標であるインピーダンス整合・ノイズ整合の同時達成には、ボンディングワイヤの影響も考慮しなければならない. この時 LNA 入出力間のアイソレーションが不十分だと、入力インピーダンス整合の影響が、出力インピーダンスに現れたり、出力インピーダンス整合の影響が入力インピーダンスで観測されたりするので、同時整合の実現が非常に困難になる. この現象は入出力間の寄生容量の影響が大きくなる程、又は信号周波数が高くなる程、すなわちトランジスタサイズの大きい古い世代のプロセスで高周波を取り扱う時程影響が大きく、注意も必要となる.



☒ 5-2 Simplified schematic of LNA



☒ 5-3 Noise matching with bond-wire and bond-pad

今回 0.18 μ m プロセスで、10GHz 以上の信号を取り扱う際不足しがちな、LNA のリバースアイソレーションを高める為、特にリバースアイソレーションの支配要因である Cgd を低減する事を目指し、以下の 4 点に注意し設計を行った。

- a) 初段・2 段目共にカスコード構成とする事で、利得を増大させ、入出力間の結合容量を削減した。
- b) LNA 入力トランジスタに 3-1 で示した ft 最大化レイアウトを適応する事で、入力トランジスタの Cgd をさらに削減した。
- c) カスコード構成の欠点である、コモンソース、コモンゲート増幅器間の寄生素子を、コンタクトレスのレイアウトを適用する事で最小化した。
- d) LNA を 2 段の縦続接続で実現する事で、高利得と LNA の入出力間すなわち、初段入力と 2 段目の出力間のアイソレーションを大きくした。

上記 4 つの工程で、入力インピーダンスの変化が、出力インピーダンスに影響を与えなくなったので、図 5 の入力部の整合の問題を簡単化出来た。以下の式群、式(5-2)～式(5-6)ではパッドに付随するインピーダンス素子 Lw,Cp,Cpad を考慮した時の LNA 設計パラメータに(new)の添え字を付け、添え字の付いていない、パッドインピーダンスを考慮しない場合の設計パラメータと比較する[5-6]。下式中の ωT はトランジスタの遮断周波数 $2\pi ft$ である。

$$W1(new)=kW1 \quad \text{式(5-2)}$$

$$Ls(new)=Zo / (k\omega T) \quad \text{式(5-3)}$$

$$Lg(new)=(Zo^2Cpad/k)-Ls(new)+(\omega T/(\omega^2kgm)) \quad \text{式(5-4)}$$

$$|G|(new)=(1/2)(\omega T/\omega)^2(Rp/Zo) \quad \text{式(5-5)}$$

上式中の k は図 5-3 中 Cp・Lw・Cpad から成る π 型回路をインピーダンス変換機と見なした時のインピーダンス変換係数、Rp は容量成分中和時の出力インピーダンス、gm は初段の相互コンダクタンスを示す。上記パッドに付随するインピーダンスを考慮したパラメータを用い、LNA の電流密度を NF が最小となる 0.2[mA/ μ m]に選んだ後、利得・NF の最適化[5-7]を行った結果、シミュレーションでは LNA 初段の利得は 12dB(インピーダンス変換回路を含む)、2 段目は 10dB. NF は 2.2dB で電流消費量は 60mA と設計ターゲットを達成できる見込みが立った。

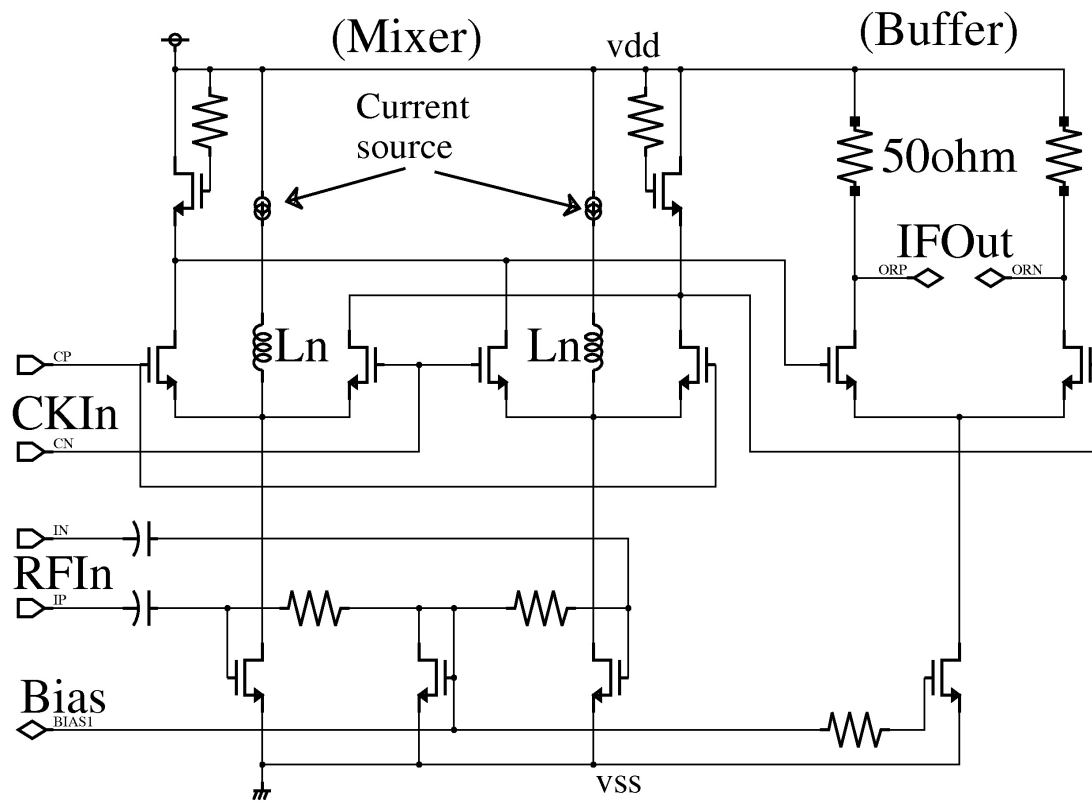
5-2 Down Converter & IF Buffer Design

周波数変換器はダブルバランスドミキサ(DBM), IF バッファは差動増幅器で構成されている. それらの回路図を次ページ図 5-4 に示す. DBM は高利得・低 LO-IF 間フィードスルーでこの応用に適しているが, 一般的な DBM[5-8]のままでは $0.18\mu\text{m}$ プロセスで 13GHz 近い信号をダウンコンバートするのは, トランジスタの性能不足の為不可能であった.

そこで本研究では, カレント ブリーディング(Current Bleeding)法により, 低雑音化[5-9]と DBM への LO 入力振幅の低減[5-10]を達成し, 更にはカレント ブリーディングによって寄生容量が増加したコモンソース部へインダクタ(Ln)を追加し, 且つその値を LO 周波数の 2 倍近傍で寄生容量を中和する様に選ぶ事で Ku-バンドへの対応を実現した. 加えて LNA のみならず, DBM 入力部にも, 3-1 で紹介したレイアウト手法とモデルとを適用しトランジスタの f_t を向上させている.

LNB の出力段である IF バッファは, 今回評価装置との整合性を重視し, 同軸ケーブルの 75Ω ではなく 50Ω 抵抗負荷の差動増幅器を採用した. それにより DC から 2.1GHz の広い周波数帯域に渡って十分な整合を取る事が出来た.

シミュレーションでのこのブロックの総合利得は 6dB, OIP3 は 9dBm そして消費電流は 30mA であった.



⊠ 5-4 Simplified Schematic of DBM and IF Buffer

5-3 Local Signal Generator Design

ローカル(LO)信号は PLL を用いた周波数シンセサイザで生成される。そのブロック図を下図 5-5 に示す。PLL は CML の位相周波数検出器(PFD)と 64 分周器(Div.64), 差動-CMOS 変換器(CML to CMOS), 差動チャージポンプ(C.P.), コモンモードフィードバック(CMFB), オンチップの全差動ループフィルタ(LF), それと差動入力・差動出力の VCO とで構成される。PLL の基準入力は 167.1875MHz, VCO の発振周波数は 10.7GHz で, 両者固周波数で使用する。

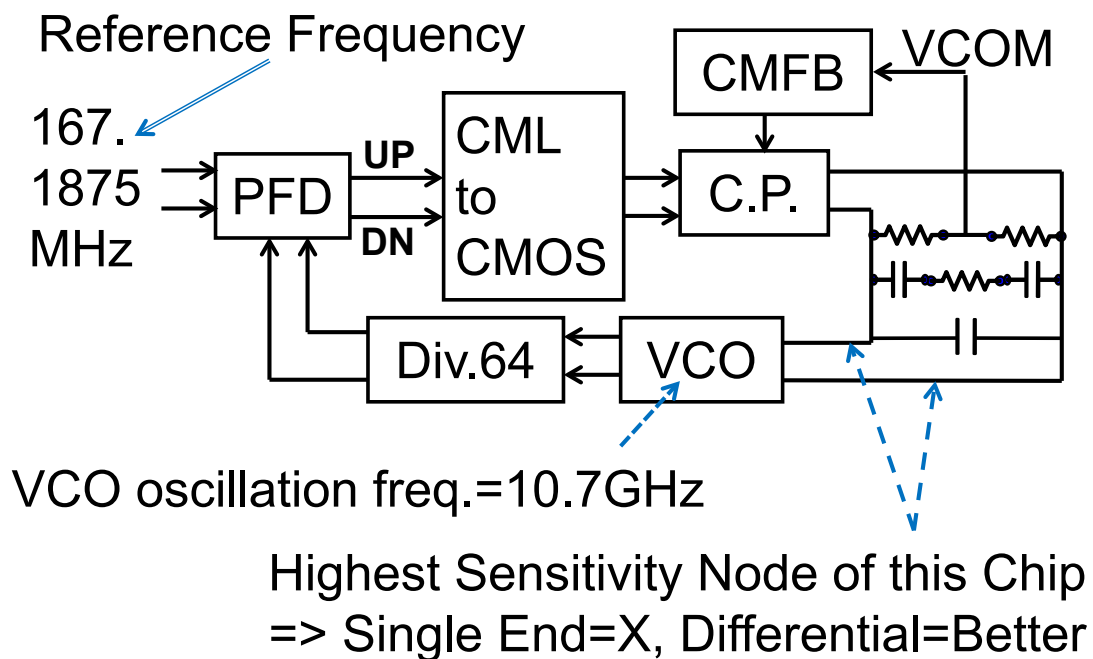


図 5-5 . Block Diagram of LO Generator

1.8V という低い電源電圧で、10.7~12.8GHz の広帯域発振を実現する為、1回巻きのインダクタと全差動の MOS ヴァラクタを用いた。VCO は素子の追加による位相雑音の低下を避ける為、最もシンプルな NMOS のクロスカップルで負性抵抗を発生する図 5-6 に示す回路を採用した。全差動で動作するヴァラクタが電源電圧の変動に対する耐力、そして低位相雑音特性実現の鍵となる[5-11].

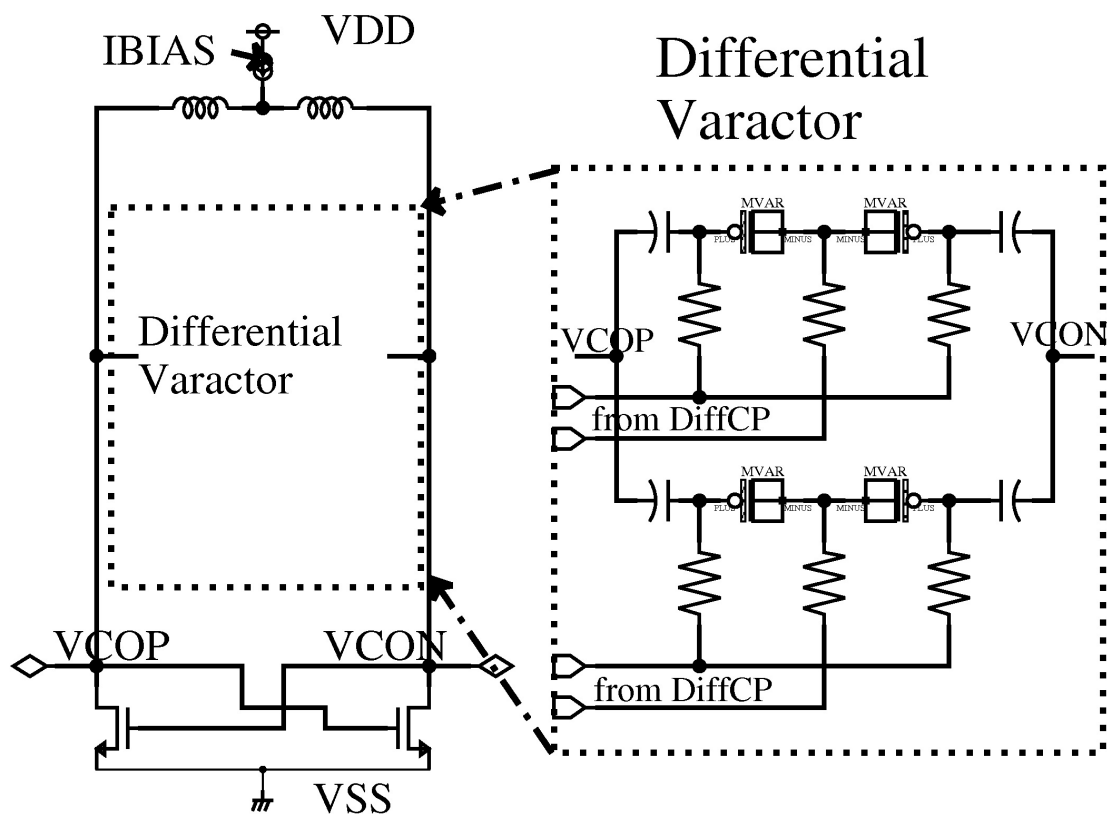


図 5-6 Differentially Tuned VCO schematic

差動チャージポンプとその制御法がもう一つの電源電圧変動に対する耐力,そして低位相雑音特性実現の主要技術である[5-12]. 差動チャージポンプとコモンモード制御部の構成を図 5-7 に示す. 図 5-7 中のループフィルタは差動のラグ・リードタイプ [5-12]である. 位相比較周波数が 167.1875MHzと高いので, ループ帯域は $\sim 2\text{MHz}$ と高く設定できた. これにより CMOS-VCO で発生する高い $1/f$ 雑音の抑圧と LF の小型化を達成した. LF が小型化できたので, これを IC 内部に取り込むことが可能に成った. その結果外着け部品を 4 点もボード上から削減する事に成功した.

他方, コモンモードの制御はチャージポンプの midpoint 電位(VCOM)と電源電圧の半分の電圧(VHALF)との比較結果に応じて, コモンモード制御用シンク電流(ICMN)とソース電流(ICMP)とを調整する事で実現した. 例えば $VCOM > VHALF$ の場合, $ICMN > ICMP$ とする事で VCOM を下げる制御を, 図 5-7 の差動入力差動出力増幅器 (Differential Input Differential Output Amplifier)と付属の電流源で実施し, $VCOM < VHALF$ の時には前記と反対の制御を行った.

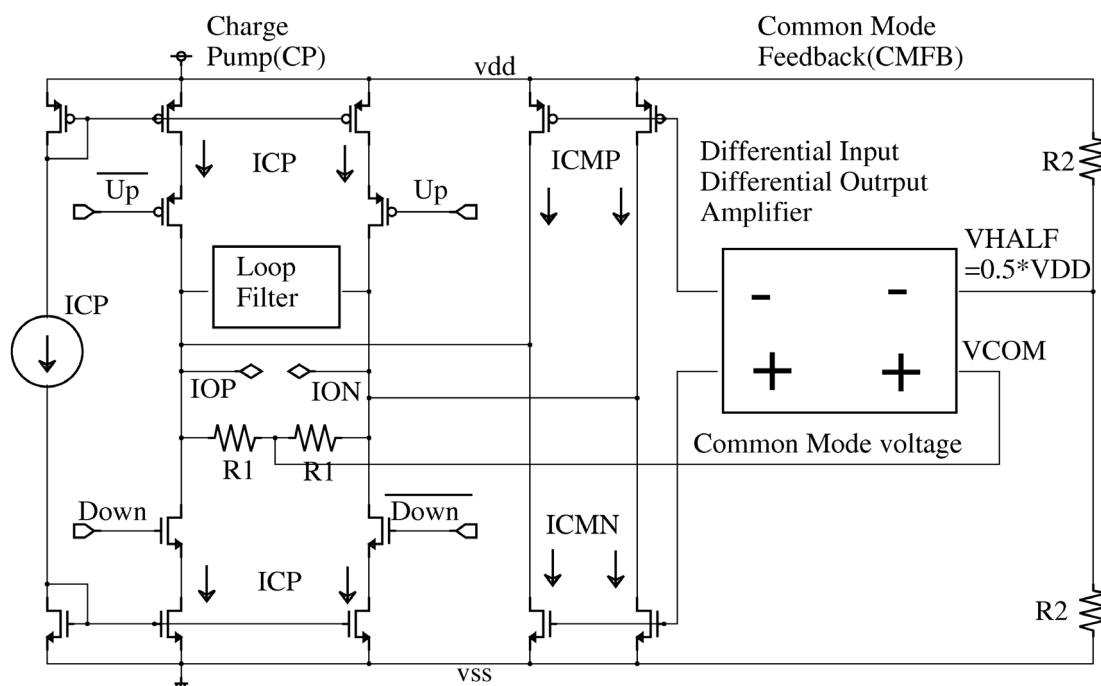


図 5-7 Simplified schematic of Differential charge-pump and Common mode control circuits

5-4 Measurement Result

完全差動の LO 発生部を備えた, Ku-バンドの LNB を自社保有の $0.18\mu\text{m}$ RF/MS CMOS プロセスで製造した. このチップの外観写真を図 5-8 に示す. このチップは製造の都合上 $3.0\times 3.0[\text{mm}^2]$ のサイズで製造したが, 実際の回路はその半分以下の $1.9[\text{mm}^2]$ しか占有していない. この $3.0\times 3.0[\text{mm}^2]$ のチップを 32-pin の QFN プラスチックパッケージに封止した[5-13].

RF 入力はダブルボンド, 電源はトリプルボンドしている為, 実際のパッド数より多く成っている

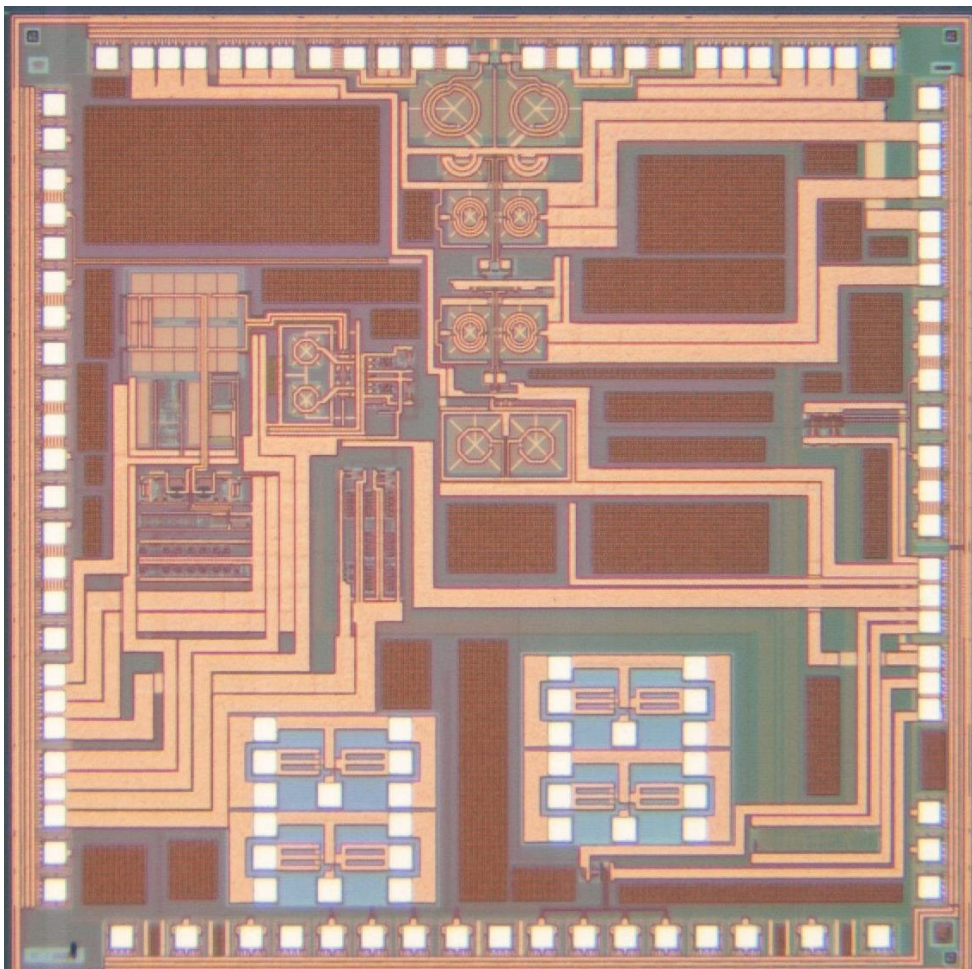


図 5-8 Chip micrograph

VCO 単体以外の評価は図 5-9 に示す評価ボードと評価系を用いて行った. 信号の入出力は全て SMA コネクタを用い, 基板表面には図 5-9 上部に示したポート RFIN とチップとの間にインピーダンス整合用部品(1005 サイズ)と 5GHz 以上の自己共振周波数を有する 100 μ F の電源デカップリング用のコンデンサを配置した.

ネットワークアナライザ(VNA)ではインピーダンスと NF を測定し, 利得・歪等それ以外の項目の評価は, 信号発生器とスペクトラムアナライザ(図 5-9 中で結線されている系・評価装置)を用いて行った. 以下では封止後の性能をグラフと共に報告する.

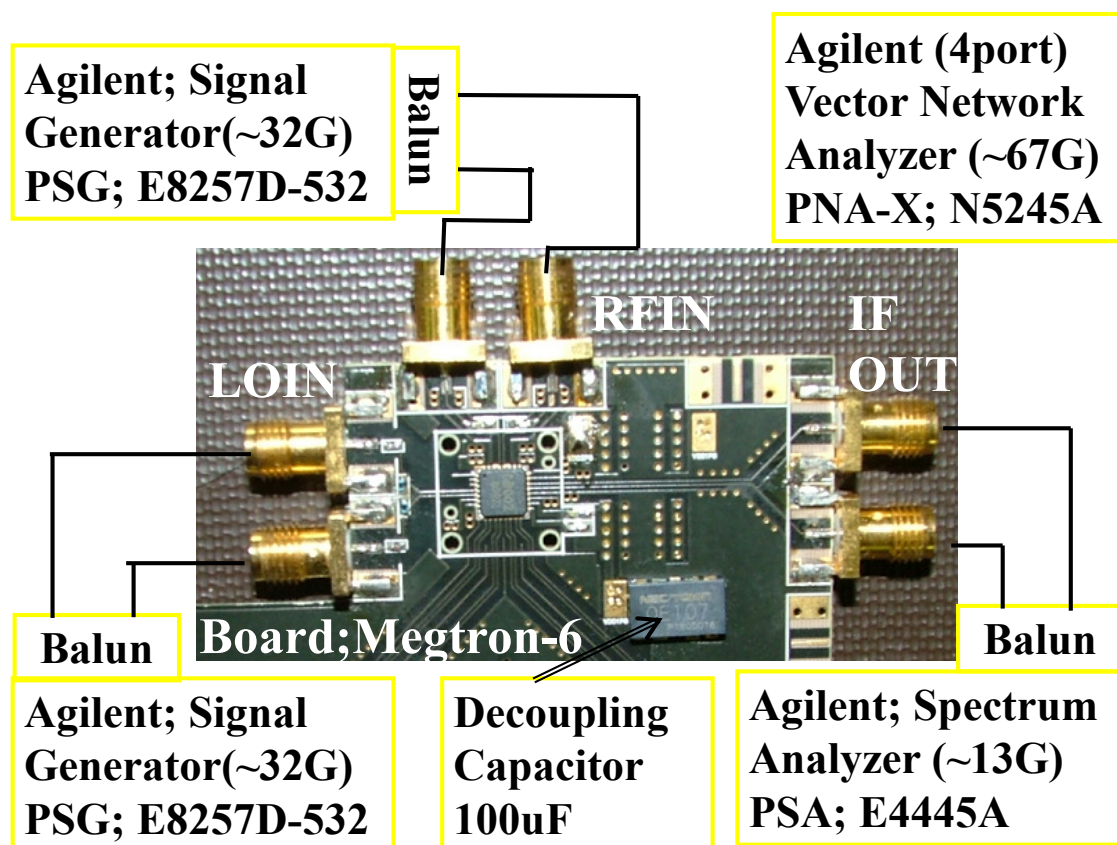


図 5-9 Evaluation Board & Measurement system configuration

設計と使用したモデルの妥当性を検証する為に、先ず LNB の変換利得周波数特性を測定した。LNB のピーク変換利得は周波数 11.3GHz において 28.2dB, -3dB の周波数帯域は 1.6GHz であった。RF 周波数を 9~13GHz の間でスイープした時の変換利得のシミュレーション値, 評価結果を図 5-10 に示す。両者は今回の RF 周波数範囲 10.7~12.8GHz の周波数範囲で良い一致を示している。

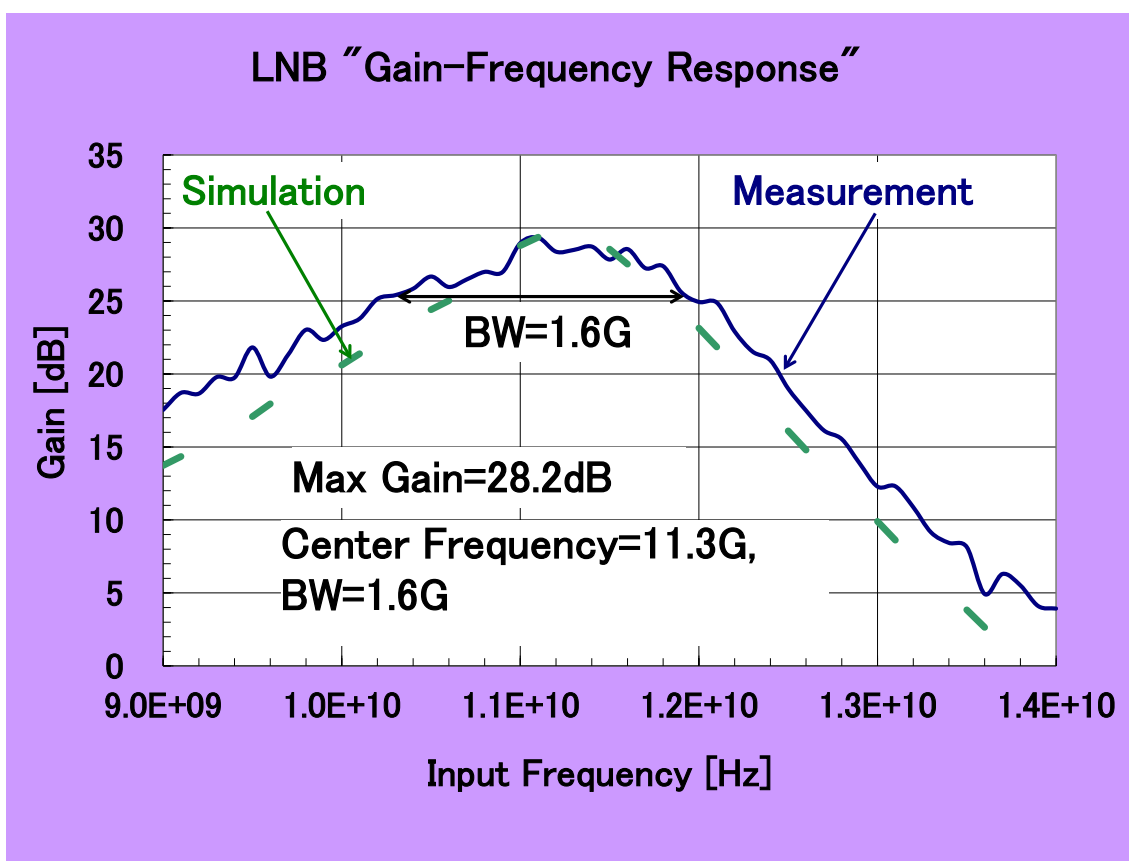


図 5-10 Gain Measurement and Simulation Results

続く図 5-11 では, NF のシミュレーション値, 評価結果を示している. RF 周波数は図 11 の時と同じく 9~13GHz の範囲でスイープした. NF の最小値は 2.5dB で周波数は 11.7GHz, 他方 NF の最大値は 5.7dB で周波数は 12.8GHz であった. 緑の丸でプロットした評価結果は, 青い実線で表したシミュレーション値と, 少なくとも 11.1~12.2GHz の範囲において良い一致を示している.

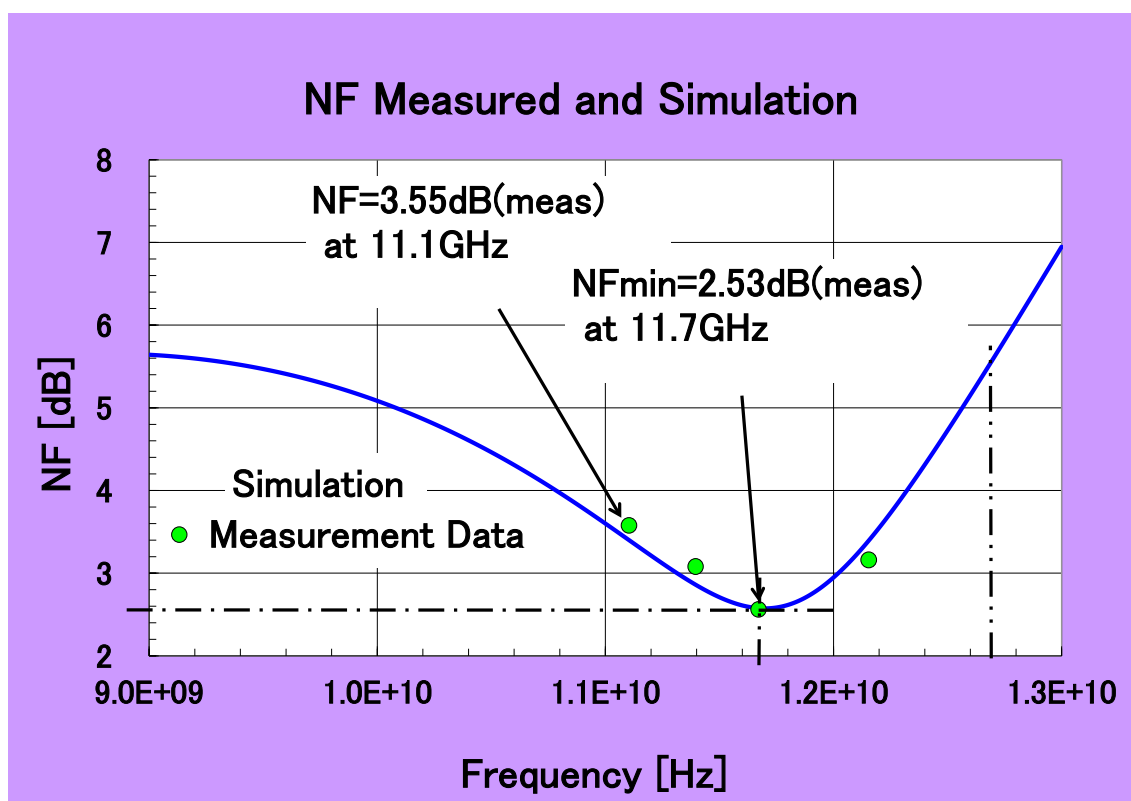


図 5-11 NF measurement and Simulation

利得のピーク周波数 11.3GHz における, IIP3 のシミュレーション値と測定値の比較を行った. 測定誤差・サンプル間のバラツキによる影響を少なくする為, シミュレーションはオフセット量を変化させて行い, 評価ではサンプルを7個測定した. その結果を図14に示す. 図5-12の縦軸はIIP3, シミュレーションに関する横軸は加えた入力オフセット量で左端の-3が -3σ (シグマ)のオフセットを, 以下右に向かって其々 -1σ , 0(ゼロ), $+1\sigma$, $+3\sigma$ のオフセットを加えた場合のシミュレーション値を示している. 評価の場合の横軸はサンプルの番号で, 7個測定したことを示している. 図5-12中のシミュレーションによるIIP3の期待値は -20.5dBm で, オフセットの影響を殆ど受けていない事が解る. 他方評価結果から得られたIIP3は $-19.3\sim-19.4\text{dBm}$ であり, こちらもバラつきは少ない.

このフロントエンドの定格の電源電圧は 1.8V で, その条件下での消費電力を測定した所 364mW であった.

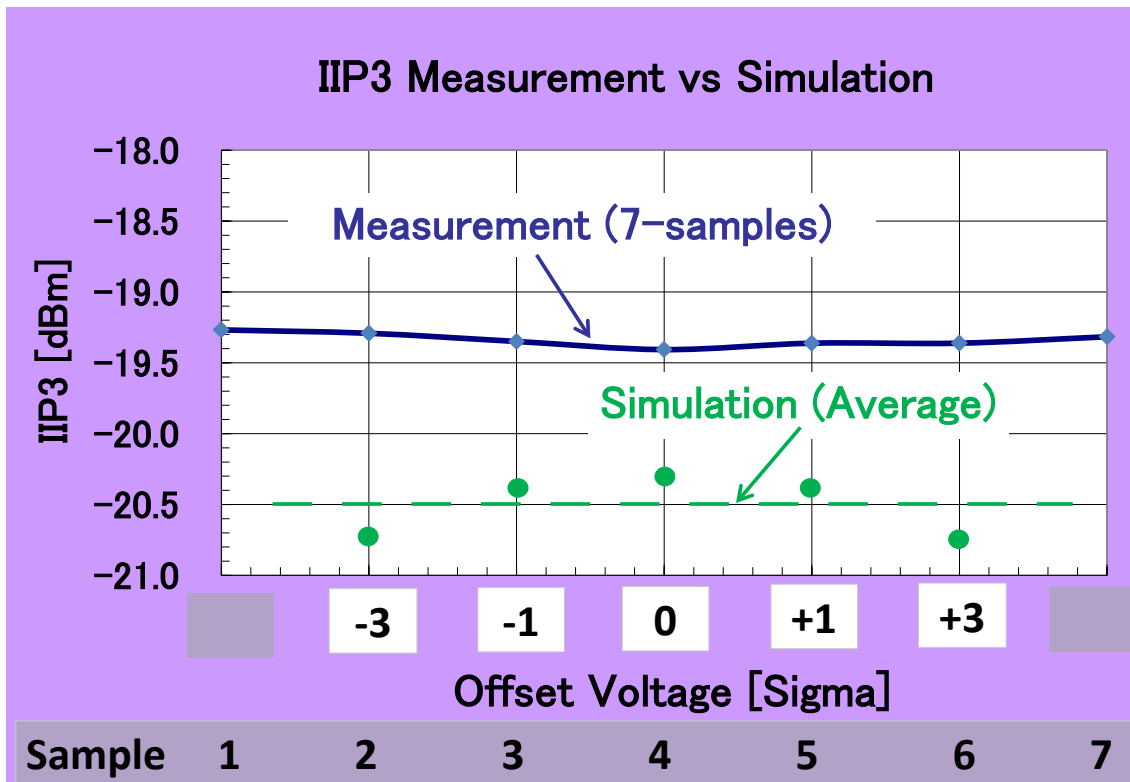


図 5-12 IIP3 measurement & Simulation

加えてLO信号発生部の性能評価の為VCO単体を別チップとして製造し、ウエフア上でVCO利得(KVCO)と位相雑音とを評価した。その結果を図5-13と図5-14に示す。測定にはスペクトラムアナライザを用い、評価条件は室温・電源電圧1.8V、VCOの発振周波数は、LNB集積時よりVCOの負荷が軽くなった為1.1GHz高い11.9GHzに設定した。

図5-13の縦軸は発振周波数、横軸はVCO制御電圧(差動)である。差動電圧でVCOを制御しているので横軸が電源電圧の1.8Vを超えてもまだ制御できている。図15の結果から、KVCOは258[MHz/V]、制御信号に対して周波数が線形に制御できる範囲は-0.75から1.5Vの間で、その時の周波数は11.87GHzから12.45GHzまで0.58GHz変化する。

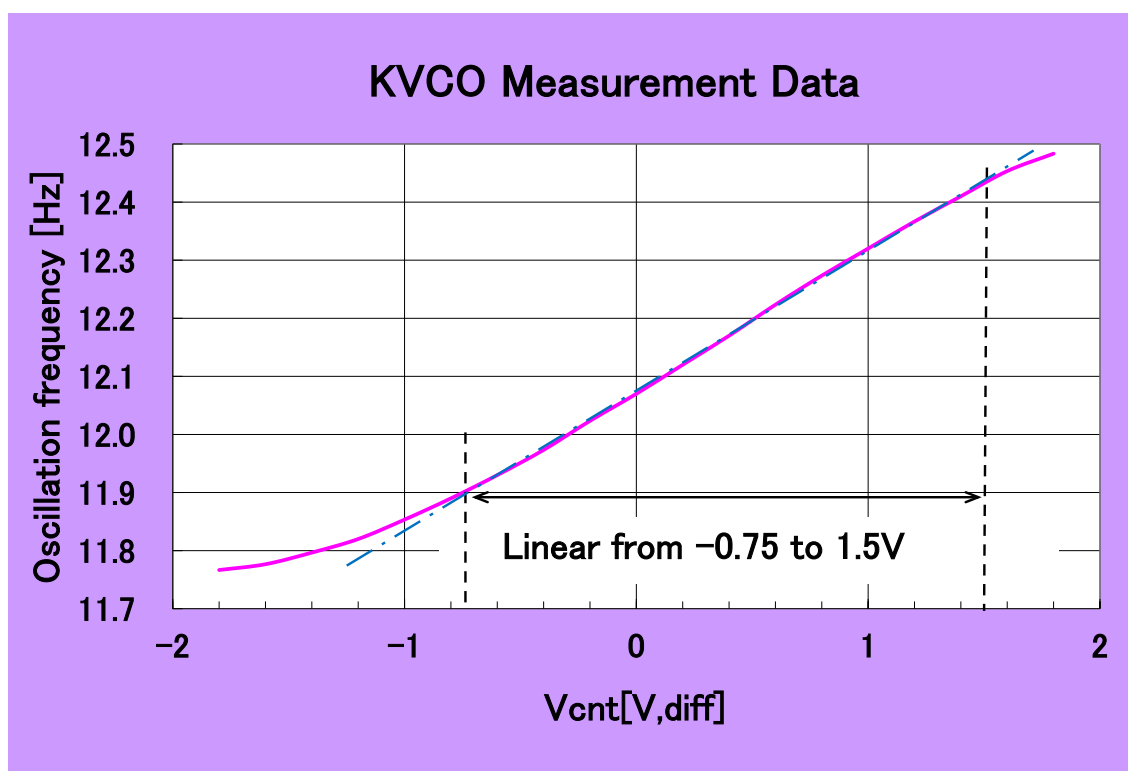


図 5-13 VCO gain (KVCO) measurement Data.

図 5-14 は横軸に発振数との周波数差, 縦軸には 1Hz あたりの位相雑音強度を取っている. 測定された位相雑音強度はキャリアから 1MHz 離れた点で $-107[\text{dBc}/\text{Hz}]$, 傾きは 3MHz まで $-60[\text{dB}/\text{dec}]$ で, 3MHz 以上では VCO の熱雑音が支配する $-40[\text{dB}/\text{dec}]$ になっている. 先述の様に PLL のループ帯域は $\sim 2\text{MHz}$ であり, この結果 CMOS-VCO の欠点である高い $1/f$ 雑音は大幅に改善できる事になる.

通常衛星放送受信機の LO 信号の質は位相雑音で議論される. これに対し P2P の場合はデータを取り扱う為, 時間領域表現であるジッタ特性の方が重要な指標になる. 本 IC を衛星放受信機以外の P2P 用途等の広い範囲に応用する事を考え, 今回は LO を 2 分周した信号のジッタを, サンプル周波数 $40\text{G}[\text{Sample}/\text{sec}]$ のオシロスコープ DSO80000B を用いて測定した. その結果ランダムジッタ $560[\text{fsec}, \text{rms}]$ を得た. これは信号周期の $0.3[\%]$ 程度であり, P2P の様なデータ系での利用にも十分耐えうると考える.

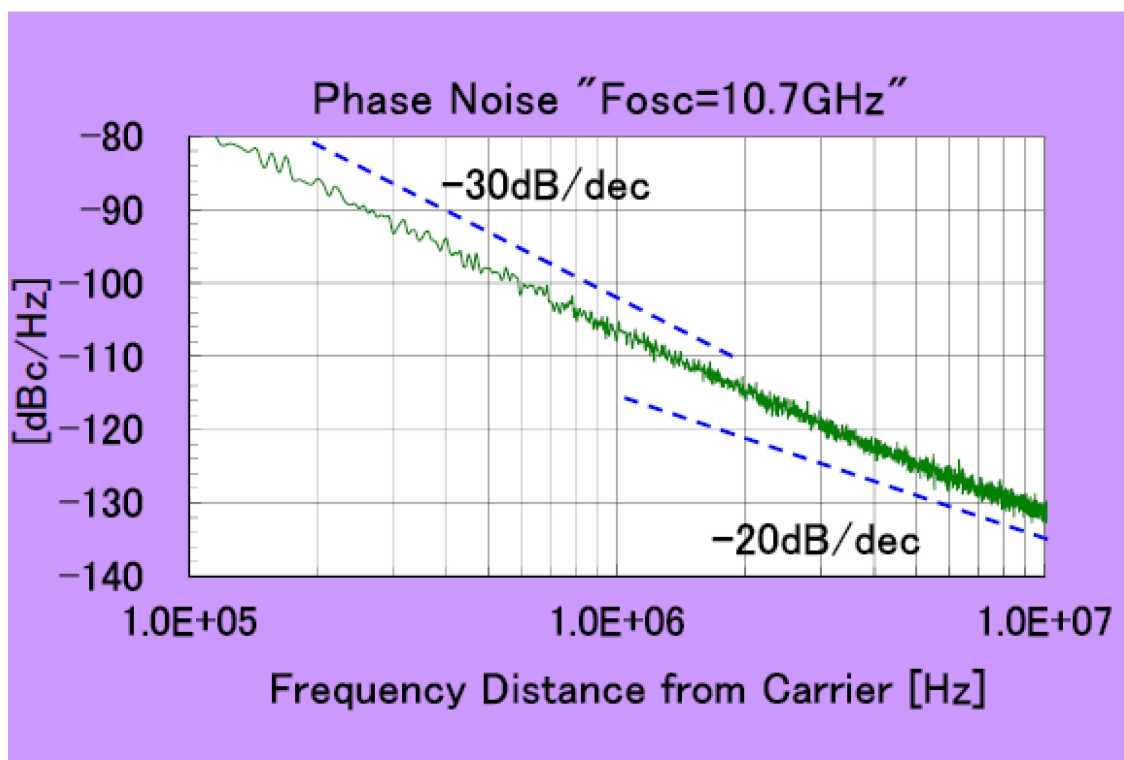


図 5-14 Phase Noise measurement Data.

また信号処理部に LO 発生器を集積する場合には, VCO に重畳される雑音耐力を予め考慮する必要がある. それには次式(7)で定義される Power Supply Sensitivity 係数(KPSS) を用いるのが便利である.

$$\text{KPSS}[\%] = \frac{(\text{Normalized Frequency Difference}) * 100}{(\text{Difference of Power Supply Voltage})} \quad \dots \text{式(5-7)}$$

KPSS は電源電圧変動に対する VCO 発振周波数変動の割合を示す係数で, 図 5-15 中赤の点線で本 IC の線形近似した KPSS を, 計算値-0.18[%/V]と共に示している. また電源電圧を 1.6~2.0V をスイープした時の周波数偏差は 0.0453[%]であった. この低い電源電圧変動感度のおかげで, 通常集積度の高いチップには必須とされる電圧レギュレータが不要となり. ここでも研究の主要テーマの一つである“低コスト”のシステム実現に貢献できた.

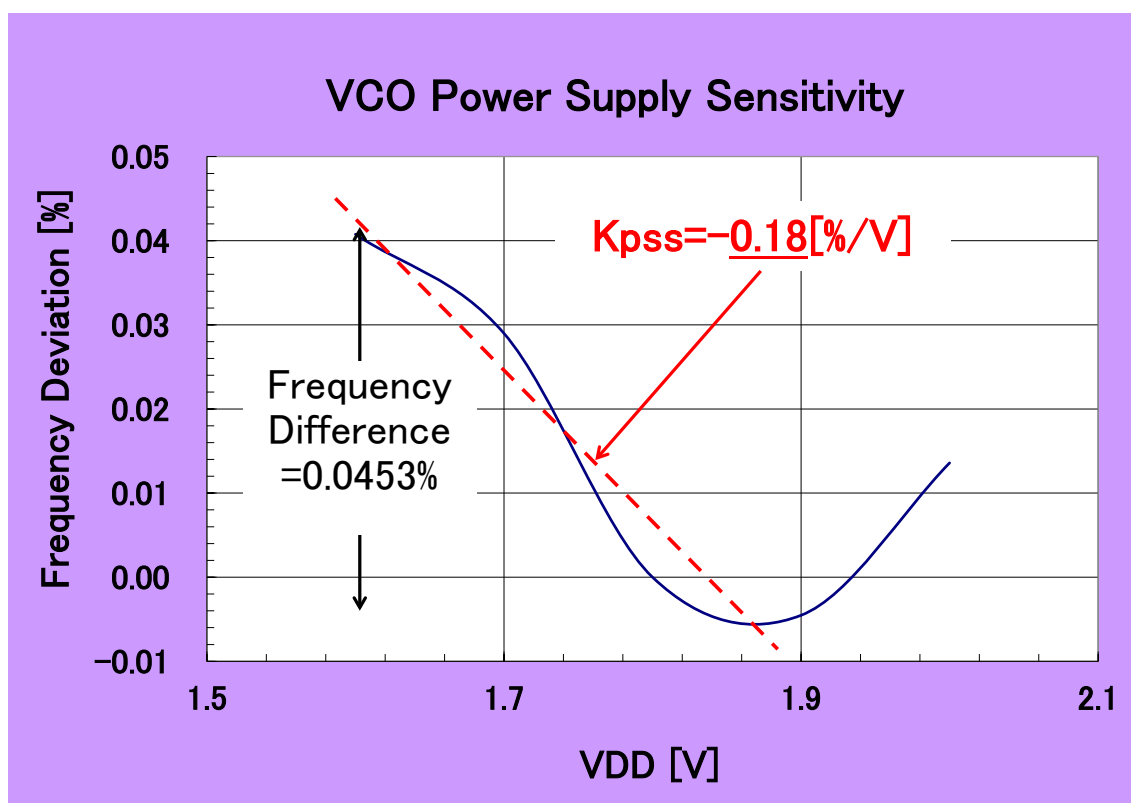


図 5-15 VCO Power supply sensitivity data

LNB 研究のまとめとして IC の性能を表1にまとめ、他で発表された論文での値と比較する。

表 5-1 他の LNB との性能の比較

	Unit	This Work	BCTM05 Ref[5-3]	RFIC09 Ref[5-5]	Comment
Process		0.18CMOS	0.25SiGe	0.18CMOS	
Package		QFN32	QFN24	None	
Gain	dB	28.2	35	50	Peak
IIP3	dBm	-19.3	-38	-20.5	@11.1G
N.F.(min)	dB	2.5	9.0	2.8	
N.F.(max)	dB	5.7*	12	4.2	
P.Noise	dBc/Hz	-107	-107	-	@1M Dist.
Jitter	psec	0.56	-	-	Random
KVCO	MHz/V	246	840	-	typical
Kpss	%/V	-0.18	-	-	typical
Power	mW	364	306	135	typical
Core size	mm*mm	0.95x2.3#	-	0.6x1.6	#Active area
Die Size	mm*mm	3x3	-	0.8x1.8	

第5章では標準的なQFNプラスチックパッケージに封止した、高集積Ku-バンド帯の低雑音ブロック(LNB)の回路設計とその評価結果について報告した。今回研究したLNBの最大利得とNF最小値はそれぞれ28.2dB, 2.5dBで、いずれもシミュレーション値と良い一致を示した。IIP3は-19.3dBmでシミュレーション値から平均で1.1dB高い(=良い)値であった。完全差動のPLLは電源変動に対する感度が-0.18[%/V]と非常に低い事を確認し、チップ上にレギュレータを集積する必要のないことを示した。VCOの位相雑音強度はキャリアから1MHz離れた周波数において-107dBc/Hzであった。これら報告の値は全て当初の設計期待値を満たしている。

本ICは1.8Vで動作し消費電力は364mW。これらの結果から10GHzを超える領域でのローコストLSIの研究に一定の目的をつけることが出来たので、準ミリ波製品を点から線・面にする為のステップへと進むことが可能となった。

Chapter 6: Ka-band VCO for FMCW Automotive Radar

6-1 Introduction of VCO Design

近年半導体の微細化技術の進展に伴いトランジスタの遮断周波数(Transition frequency; f_T), 最大発振周波数(f_{max})等の高周波特性が向上し, それに伴って CMOS によるマイクロ波集積回路(MMIC)の実用化が進んでいる. その中でも 150m を超える通信を行う為に高出力が要求される第 5 世代(5G)の携帯電話用途[6-1], [6-2] から, 中距離で 1m 程度の測定精度が必要な車載レーダ[6-3], [6-4]や, 近距離且つ mm オーダーの高精度が要求される液面計[6-5] 及び人体センサ[6-6] 等様々な応用分野を有する Ka バンド近傍の周波数帯は特に注目を集めている.

図 6-1 に車載レーダとして最も一般的で, 液面計などの測距センサや速度センサにも用いられる周波数変調連続波(Frequency Modulated Continuous Wave; FMCW) システムのブロック図を示す. このシステムは周期性を持った周波数変調波を絶え間なく送信し, 受信波には送信波を掛け合わせる事で中間周波数(IF)信号を得た後, その中に含まれる周波数成分から距離と速度を検知するシステムである. その為ここで用いられる VCO/信号発生器には, 低位相雑音特性・低消費電力以外に制御電圧対発振周波数の直線性も求められる.

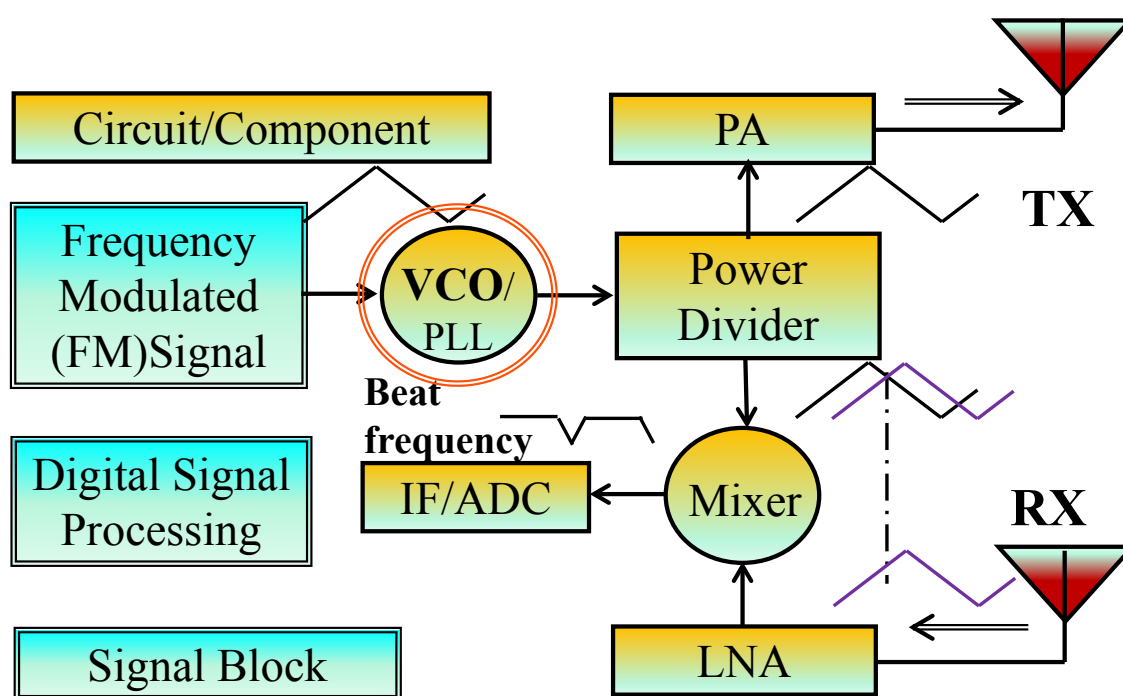


図 6-1 System Diagram of FMCW Automotive Radar

このように数多くの応用分野を有するKaバンドへの利用を考える場合、MMICの動作電圧範囲が広い事は応用範囲の拡大に直結する。また広い動作電圧を有する回路は一般的に消費電力も大きく変動するので、Figure of Merit (FOM)等の評価関数を用いてICの性能を比較する事が公正な評価の為に必要である。

しかしながら、今まで報告されているKaバンド近傍の電圧制御発振器(Voltage Controlled Oscillator, VCO)の研究では、電源電圧変動に対するデータが開示されていないものが殆どで[6-7]~[6-12]、開示されていても電源電圧以上のVCO制御電圧が使用されている物やFOMが低い物など、実際のシステムに組み込む事が困難なもの[6-13]ばかりであった。

そこで本研究では、幅広い電源電圧範囲に対応しつつ高いFOMを実現する事で、様々な応用分野に適応できるIntellectual Property Core (IPコア)としての利用価値が高い低位相雑音VCOの実現を目的とする。ここで電源電圧範囲は、電池一個で動作するセンサ用途を想定し電源電圧下限値は1.0[V]に設定する。それに対して上限値は、試作に用いた0.18 μ m-CMOSプロセスの耐圧である1.8[V]とする。

本論文では6-2節でVCOの構成について説明した後、6-3節では受動素子の最適化手法について述べ、続く6-4節においては能動素子の設計手法、特に位相雑音の測定値に大きな影響を与えるバッファのリバースアイソレーション(=S12)について、そのシミュレーション結果を交えて詳しく説明した後、6-5節ではバッファの構成によるVCOの位相雑音差を含む評価結果を報告し、6-6節で本研究をまとめる。

6-2 VCO Architecture

VCOの位相雑音はLeesonの式(6-1)[6-14]で表される事が知られている。

$$L(\Delta f) = 10 \cdot \text{Log}[(2 \cdot k \cdot T \cdot F / \text{Psig}) \cdot \{1 + (f_0 / (2 \cdot Q \cdot \Delta f))\} \cdot \{1 + (\Delta f / f_3) / \text{Abs}(\Delta f)\}]$$

式(6-1)

ここでkはボルツマン定数、Tは絶対温度、PsigはVCOの出力電力、f₀は発振周波数、Qは共振器の良さの指数、 Δf は発振周波数からの周波数離れ、 $\Delta f / f_3$ は1/f₂から1/f₃への遷移周波数、Fはフィッティングパラメータを表す。式(1)から位相雑音の低減には、Psigを大きくする事と共振器のQを上げる事が有用なことが判る。

上記要求を実現する為に今回用いたVCOの構成を図6-2に示す。最も外来雑音に敏感なVCO制御入力部は上下をグラウンドでシールドした所謂ストリップラインの構成を取り外来雑音の重畳を防いでいる。それに続くVCOコア部では、出来るだけ大きな信号を取り出す為差動出力回路が必要であった。それに加え通常はシングルエンド構成である制御入力を差動化する事で耐雑音性を高めると共に、制御電圧対発振周波数の線形性を向上させた。更に差動制御入力構造は1.0~1.8[V]に及ぶ広い動作電圧範囲実現の鍵でもある。

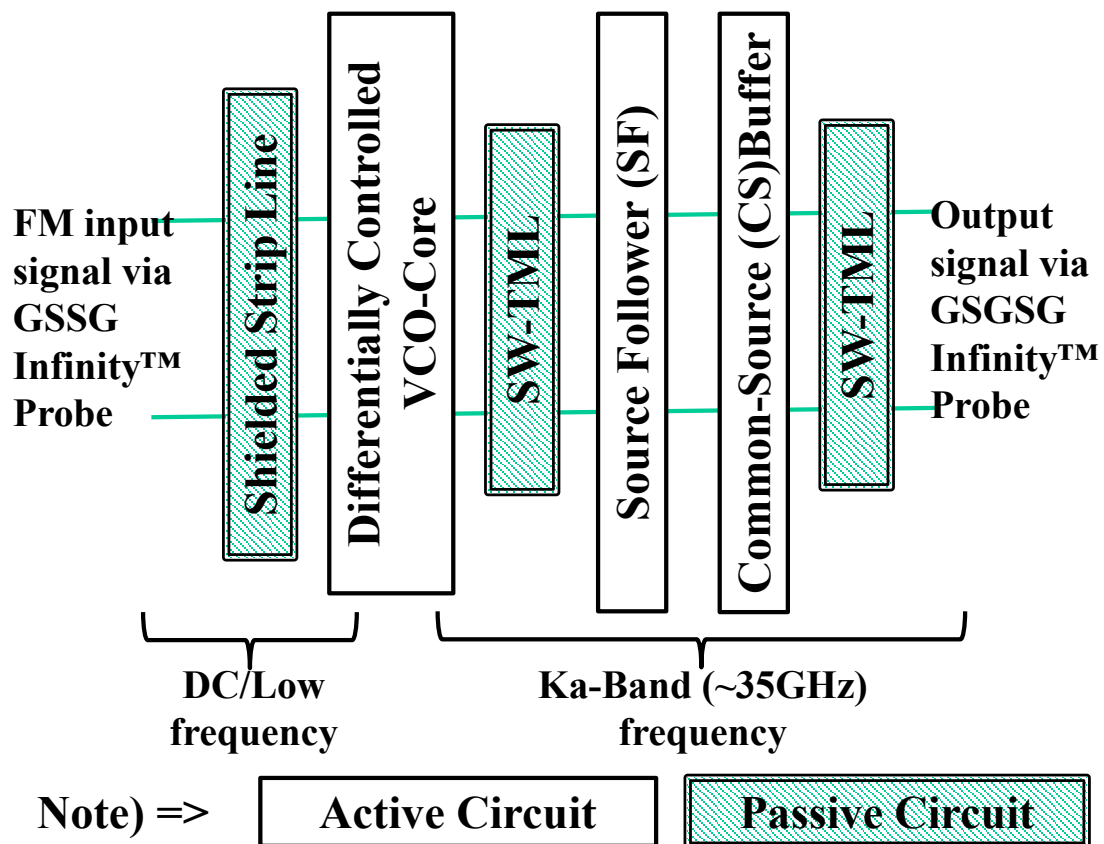


図 6-2 Configuration of Proposed VCO

また比較的長い接続箇所である VCO コアとソースフォロワ(Source follower, SF)間及びコモンソース(Common Source, CS)バッファと出力パッド間には、低損失でシールド効果の高い Slow Wave Transmission Line (SW-TML)を使用した。一般的には CS を用いることが多い VCO バッファは、VCO コアのキャリア対雑音比 (Carrier to Noise Ratio, CNR)を劣化させない為にリバースアイソレーションに優れた SF+CS の 2 段バッファ構成とした。これについては 6-4.2 節で詳しく説明する。

6-3 Passive Circuits Design and Optimization

本節では式(1)で示された低位相雑音化の指針に沿って、LCタンクのQ値、その中でも特にKaバンドにおけるQ値の支配的要因である”インダクタのQ値”を最大化する事で位相雑音を低減させる手法と、それを応用したSW-TMLの波長短縮効果とについて説明する。

6-3.1 インダクタQ値の最大化

インダクタのQ値を低下させる要因としては、配線の直列抵抗と表皮効果に加え、基板内部での損失等が考えられる。この中の最初の2項目については解析式に基づきモデリング出来る為最適化も容易である[6-15]。その解析式を(6-2)と(6-3)とに示す。

$$R_{total} = \sqrt{R_{dc}^2 + R_{ac}^2} \quad \text{式(6-2)}$$

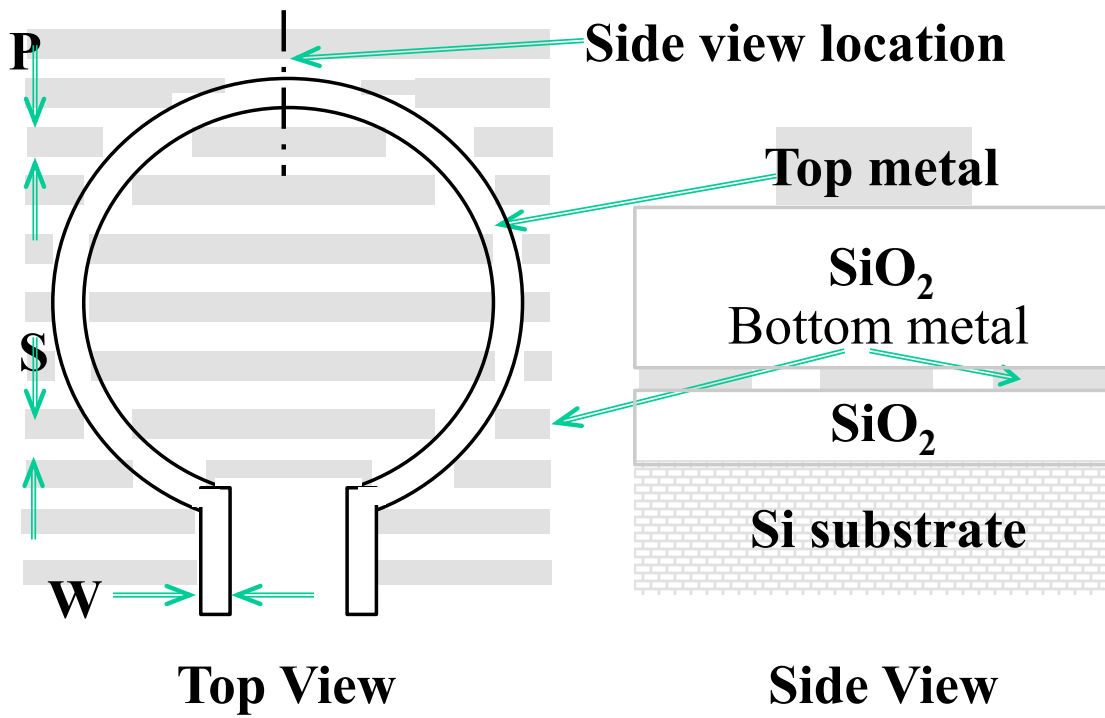
ここで R_{total} はインダクタの全損失、 R_{dc} は直流抵抗値、 R_{ac} は周波数依存性を有するインピーダンス成分である。また R_{ac} は次式 (3) で表す事ができる。

$$R_{ac} = \rho * L / (W * \delta) \quad \text{式(6-3-a)}$$

$$\delta = \sqrt{2 * \rho} / (\omega * \mu) \quad \text{式(6-3-b)}$$

ここで ρ は導体の抵抗率、 ω は角周波数、 μ は自由空間の誘電率を表す。一方基板内部での損失を低減する為には最下層メタルによるフローティングシールド(Floating Shield; FS)を用いた。

図 6-3 ではインダクタ部のシールド構成方法の上面図と、上面図中の上部点線箇所における側面図とを示す。図 3 中の最上層メタルで構成されたインダクタの配線幅を W 、最下層メタルで構成された FS の線幅は P 、間隔を S とした。各メタル間とメタルとシリコン基板間には絶縁層としての SiO_2 が存在する。



☒ 6-3 Inductor's shielding methodology.

続く図 6-4 では、同一のインダクタ半径(中心部)を有し、 $W=9, 11[\mu\text{m}]$ であるインダクタ下部に、FS を配置した場合と配置しない場合とのインダクタの Q 値の周波数特性測定結果を示す。此处では $W=9, 11[\mu\text{m}]$ の両方で FS による Q 値の向上が確認出来た。またこの測定において FS の有無による自己インダクタンスの差異は 5%未満であった。

それに加え FS を追加したインダクタは、Q 値が最大になる周波数がシールドなしの物より低くなっている事も読み取れる。同様の傾向は FS を用いない $W=9$ と $W=11[\mu\text{m}]$ とのインダクタとの比較でも観測された。これらは FS の追加や配線幅“W”の拡大によって、インダクタの寄生容量が増大した為だと考えられる。

この評価によって FS の追加によるインダクタの Q 値の改善は $30\text{G}[\text{Hz}]$ 以上の周波数でも可能な事が確かめられたので、本研究の LC タンクには評価において最高の Q 値を示した。即ち、図 6-4 中で一番上に描かれているグラフに対応する配線幅が $11[\mu\text{m}]$ で FS を施したインダクタを採用した。尚 Q 値最大化の観点での P と S の最適値は、共に設計ルールの最小値と同じ幅及び間隔であった。

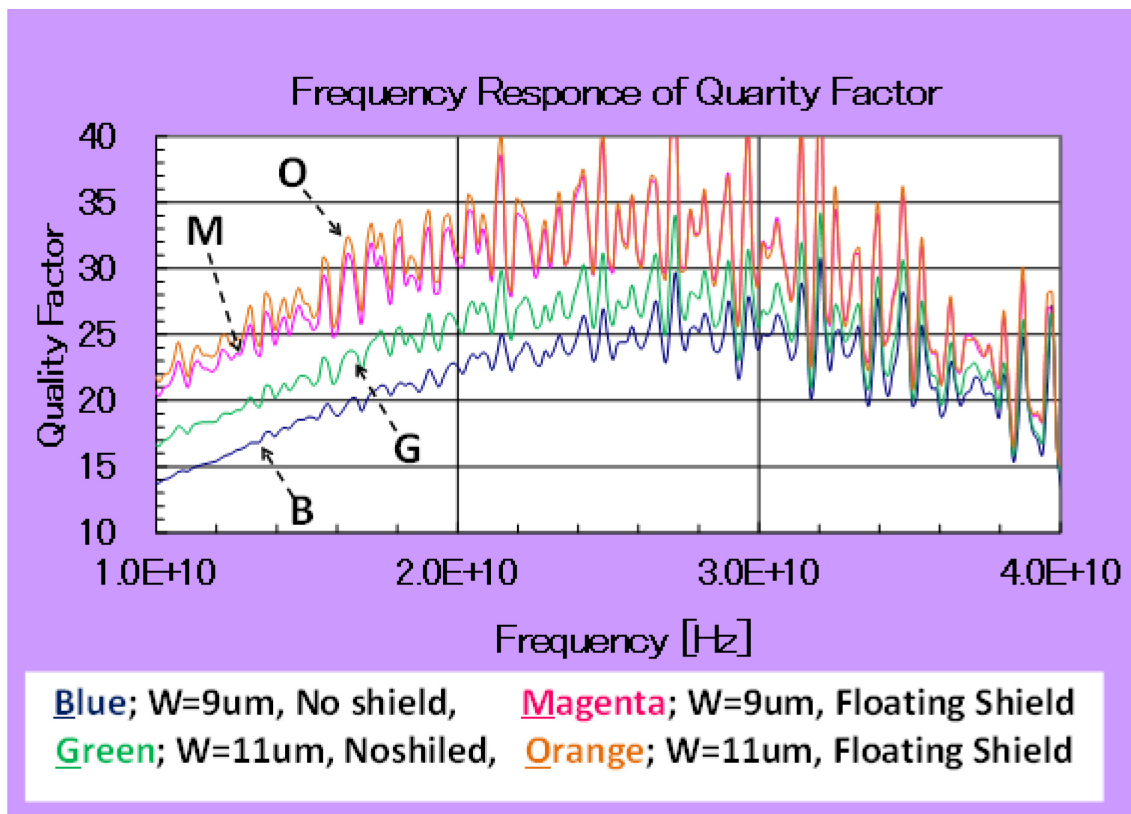


図 6-4 Inductance Against Frequency.

6-3.2 Slow Wave Transmission Line (SW-TML)

VCO の性能を最大限に引き出す為には、低損失の伝送線路の実現も回路設計同様重要な課題である。そこで3.2節では、IC内部における信号の波長や損失を検討し伝送線路の改善を行った。

実効比誘電率(ϵ_r) の媒質内における周波数 f [Hz]の信号の波長 λ_{eff} [m]は以下の式(6-4)で表される[6-16]。

$$\lambda_{\text{eff}} = (3e8/f) * \text{Sqrt}(1/\epsilon_r) \quad \text{式(6-4)}$$

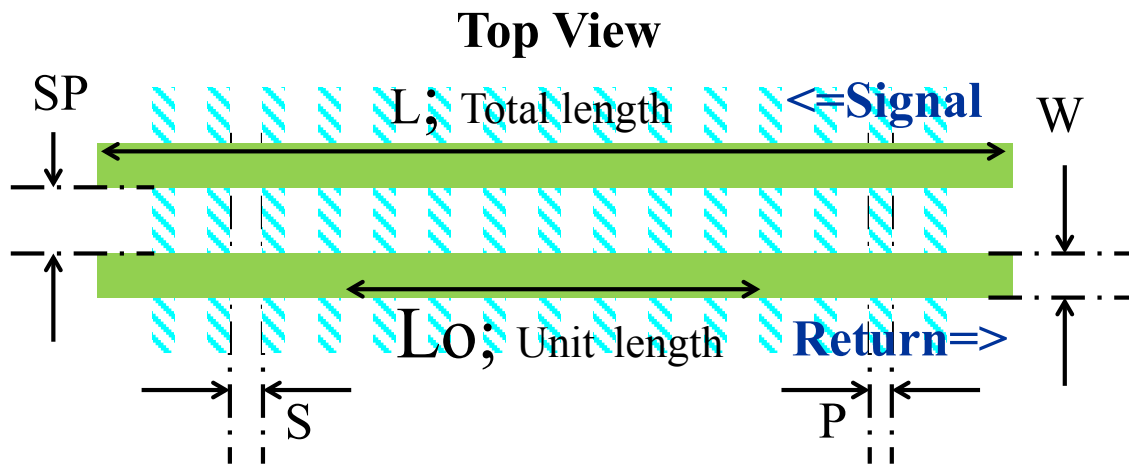
式(4)によると、 $\epsilon_r=11.8$ の Si 基板[6-17]内における $f=30\text{G}$ [Hz]の信号の波長はおよそ 2.91 [mm]に成る。配線部での位相変動が無視できない場合は通常分布定数回路でのモデリングが必要に成るので、本研究でもブロック間やブロックとパッド間等の長い配線箇所では低損失の伝送線路による接続が必要である。

更にVCOは送信機や受信機との結合、干渉や電源電圧変動に対する発振周波数変動(周波数プリング)[6-18]を避ける為にそれらからは離れて配置されることが多い。これらの事より高集積のMMIC開発時には、低損失且つシールド特性に優れた伝送線路の実現が非常に重要に成って来る。

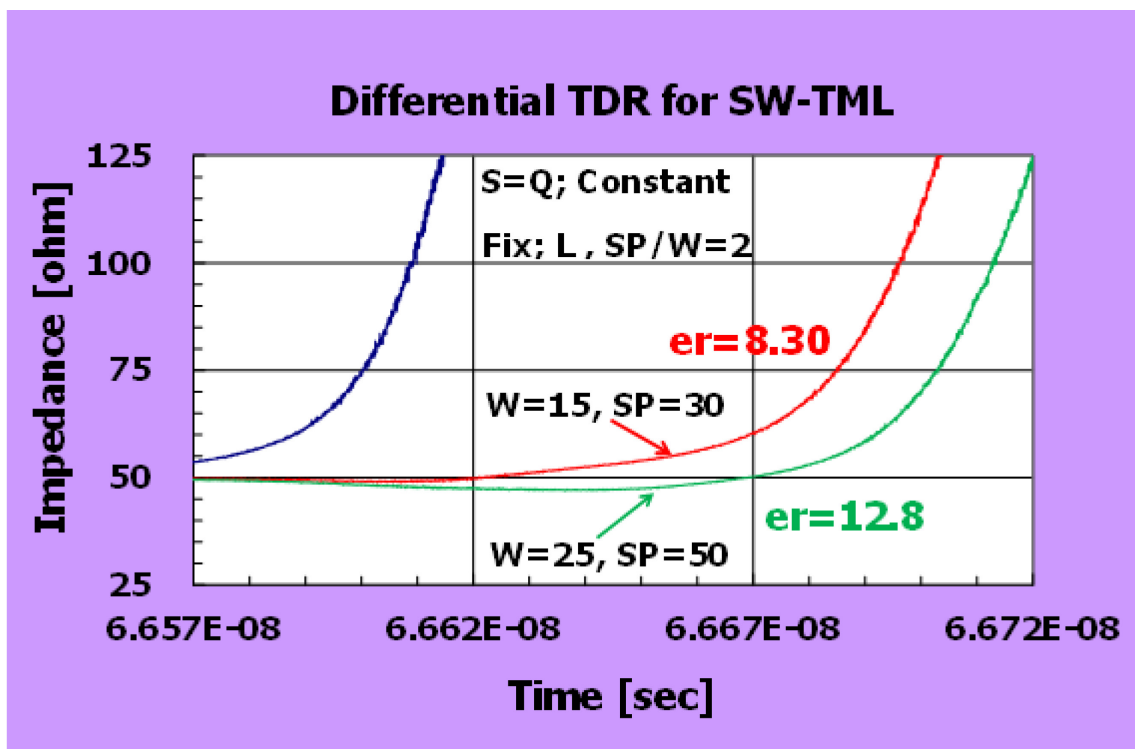
そこでインダクタのQ値向上の為にFSを施したのと同様に、伝送線路でも類似の構造を有するSW-TMLを利用する事で、伝送線路内における損失と雑音重畳の最小化を達成した。

図6-5に今回の差動SW-TMLの構成を示す。此処では低損失TML実現の為に、伝送線路には最上層の極厚メタル層をシールド層には最下層メタルを用いた。

SW特性最適化の評価関数としてはTime Domain Reflectometry (TDR)データから直読でき、最適化のループを早く廻す事の出来る ϵ_r を採用した。設計パラメータとして差動伝送線路の長さを L 、幅を W 、間隔を SP とし、シールド層の幅を P 、間隔を S と置いた場合の ϵ_r を最大化する過程を以下で説明する。



☒ 6-5 SW-TML configuration



☒ 6-6 Round Trip Delay measurement by TDR

1) 100Ω 差動伝送線路の設計

W と SP は差動 100[Ω]の伝送線路を形成する様設計した.

2) フローティングシールドの最適化

P=S=A と置き A を設計パラメータとして, その値をデザインルールで決まる最小値の 1, 2, 4 倍と増加させた時の遅延時間を測定し, 遅延時間が最大になった A=デザインルール最小値の 2 倍を選択した.

3) 伝送線路の最終調整

A をデザインルール最小値の 2 倍に固定し, W と SP を 1)同様最大の遅延時間を得るよう調整した. er. は W=25, SP=50[μm]の時に, 最大値 12.8 を得た. 上記 3) で述べた最適化過程の評価結果を図 6-6 に示す. 同図左端の曲線は, 伝送線路入力端での TDR 波形であり, 遅延時間測定の基準として用いたものである. ここで最終的に得られた er. =12.8 という値は, 伝送線路とシールド間に存在する誘電体 SiO₂ の 3 倍以上, 更には Si 基板の値 11.8 をも超える値である.

6-4 Active Circuits Design and Optimization

IC の試作には自社の 0.18μm Radio Frequency/Mixed- Signal (RF/MS) CMOS プロセスを使用した. このプロセスでの NMOS の f_T は当初 60G[Hz]以下であった. この状況は 30G[Hz]帯での利用を目標とした本 VCO にとっては f_T/2 近傍の非常に利得の低い. 即ち, 発振困難な領域での動作になる為トランジスタ性能の向上が望まれていた. そこで本研究では文献[6-19]に示した f_T を最大化させるレイアウト手法を用い, NMOS の f_T を 7%も向上させ 60G[Hz]を超える f_T を実現し, その結果 0.18μm-CMOS でも安定した Ka バンドの発振を得る事に成功した. 他方 LC-VCO が発振するか否かはトランジスタの利得だけでなく, 次節で説明する LC タンクの損失とも密接に関係する問題である.

6-4.1 差動制御入力・差動出力 LC-VCO コアの設計

低位相雑音特性の実現と 1.0[V]からの動作に加え, 制御電圧に対する発振周波数の高線形化と言う 3 つの要求を満足させる為に LC-VCO を選択し, そのタンク部には Q 値の高いセンタータップインダクタ[6-20]にフローティングシールドを施し Q 値を更に向上させたインダクタ(L1)と, 差動制御入力のバラクタ(Differential-Varactor)[6-21]とを用いた.

VCO の負性抵抗発生部には, 素子の追加による位相雑音の低下を避ける為, 最もシンプルな図 6-7 に示す NMOS のクロスカップルによって負性抵抗を発生する回路を用いた. この回路における配線の寄生容量を考慮した時の発振周波数 f₀ は, 以下の式 (6-5) で表される.

$$f_0 = \{2\pi * \text{Sqrt}(L1(C_{\text{var}} + C_{\text{buf}} + C_{\text{nm}} + C_{\text{par}}))\}^{-1} \quad \text{式(6-5)}$$

ここで $L1$ はセンタータップインダクタのインダクタンス, $Cvar$ はバラクタ容量, $Cbuf$ は出力バッファの入力容量, Cnm はトランジスタ MA のゲート・ドレイン間容量, そして $Cpara$ は配線の寄生容量を示す.

図 6-7 中で制御入力端子 CntP, CntN とバイアス電圧端子 VBP, VBN とを有し, "Differential-Varactor"と記された点線の中にある差動制御入力バラクタが, 1.0~1.8[V]の幅広い電源電圧に対応し, 低位相雑音特性を実現する為の鍵である. 差動制御入力バラクタは周波数制御範囲が, 通常用いられるシングルエンドのものに比べ 2 倍あり, 且つ C-V 特性の線形性に優れている為 前述の要求に対する解として最適である. しかしながらこの構成は PLL を実現する際, 差動制御のチャージポンプや同相発振を抑える為のコモンモードフィードバック回路(CMFB)が必要になる[6-22]など, 周辺回路が複雑化する為実現例は少ない. それでも今回は低電圧動作に対する優位性を最優先し上記の差動制御入力バラクタを用いる事にした.

また図 6-7 中の T1 は同様の構成の 12G[Hz]帯-VCO [6-23]では考慮の必要がなかった配線の寄生インダクタンス成分である. Kaバンドの設計では発振周波数やKVCO等のシミュレーション値と測定値間との整合を得る為に新たにモデリングが必要に成った. T1 の値は今回配線長と幅とを基に, 以下の式 (6-6)[6-24]を使用して求めた.

$$L_{T1} = (Z_c / \omega) * \sin(2 * \pi * L / \lambda_g) \quad \text{式(6-6)}$$

ここで L_{T1} は疑似伝送線路のインダクタンス, Z_c は特性インピーダンス, ω は角周波数, L は線路長そして λ_g は線路中の波長を表す.

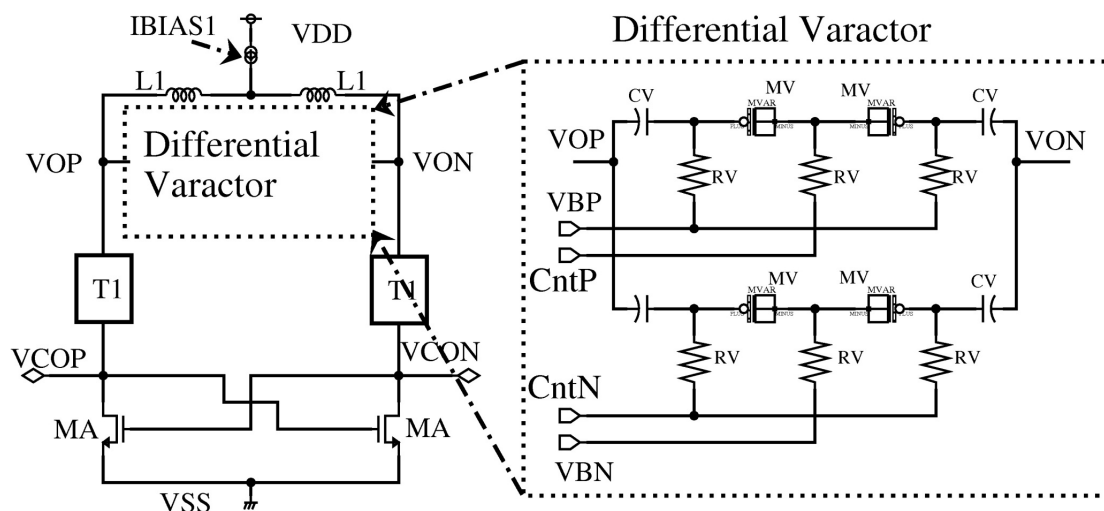


Figure 6-7 Schematic of Proposed VCO-Core

6-3) VCO Buffer Design

本研究では消費電流低減の為に単位電流当たりの相互コンダクタンスが大きい NMOS トランジスタのみを用いる事にした. この制約条件の下で VCO バッファ動作電圧の下限値拡張を試みた.

検討に用いたのは VCO バッファとして最も一般的な CS バッファと, それと同等の消費電力が達成できる SF である. これら 2 種類のバッファの回路図を図 6-8-a) に, SF と CS を縦続接続した 2 段バッファの回路図を図 6-8-b) に示す. 同図中太線でシンボルが描かれている M1 は低閾値の NMOS を表し, それ以外は全て通常閾値の NMOS を表す.

図 6-8-a) CS 部の M2 の直流動作点は VCO コア中の MA と同じに設計されており, 特別なバイアス回路を必要としない. この事が VCO バッファとして CS が一般的に用いられている大きな理由の一つである. それに対して SF はレベルシフト分を予め持ち上げる必要があるので, C1 で直流成分を遮断し M0, M01 間のカレントミラーによって M1 の動作点を決定した. 次に SF の入出力間の関係を式(7)で表す[6-25].

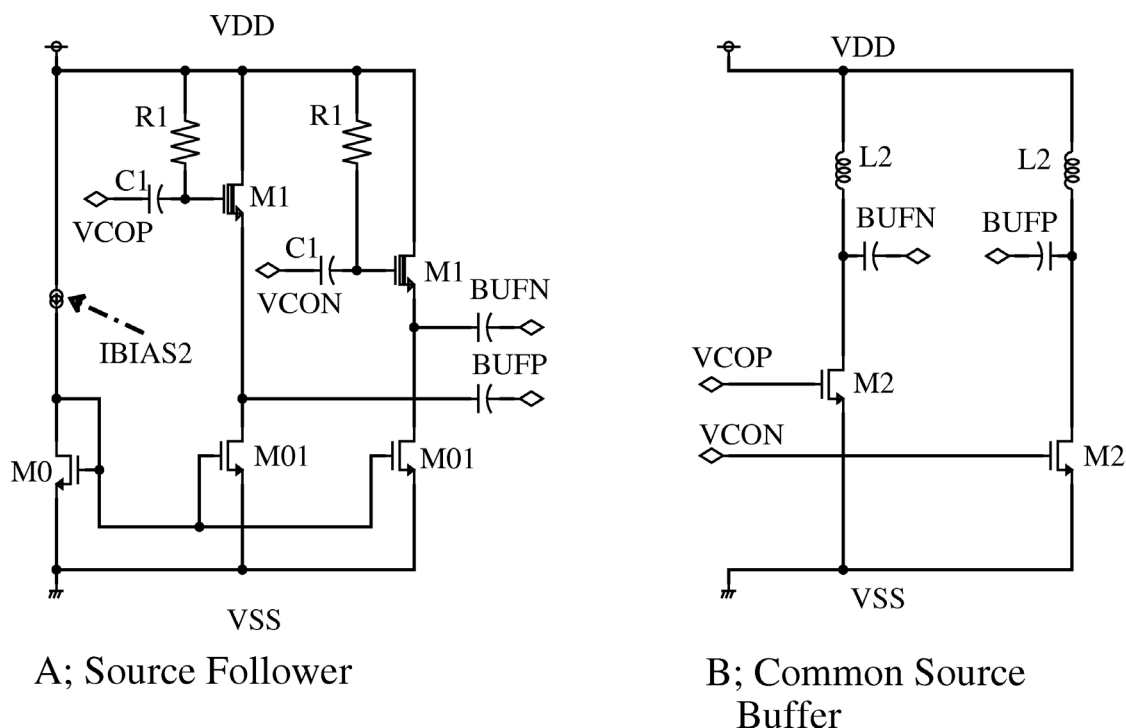


図 6-8-a) Schematic of Source follower & Common-source buffer

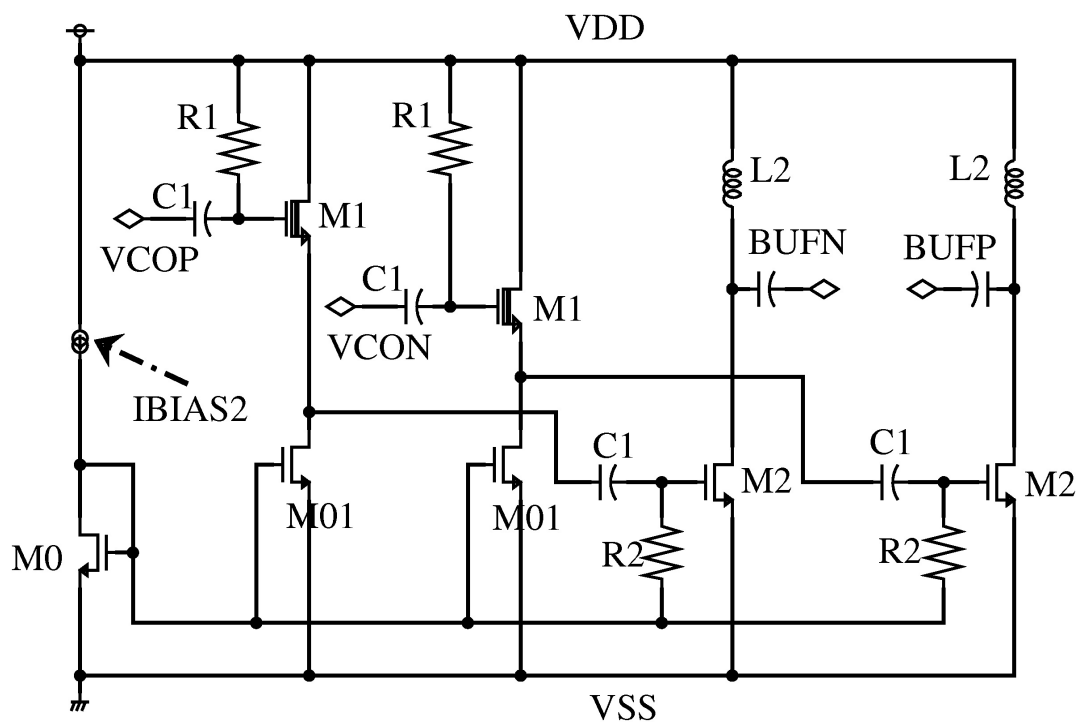
$$V_{out} = V_{in} - V_{th1} - \sqrt{I_o/k_1} \quad \text{式(6-7)}$$

上式 (6-7) 中の k_1 は次式 (8) で定義される.

$$k_1 = \mu_{n1} * (C_{ox}/2) * (W_1/L_1) \quad \text{式(6-8)}$$

ここで式 (6-7) 中の V_{in} , V_{out} は SF の入力と出力電圧, V_{th1} , I_o は低閾値 NMOS M1 の閾値電圧とバイアス電流であり, また式 (6-8) 中の μ_{n1} , C_{ox} , W_1 , L_1 は同じく M1 の電子の移動度, 単位面積当たりのゲート容量, ゲート幅, そしてゲート長を表す.

式 (6-7) から V_{th1} 又は I_o が大きい程レベルシフト量 " $V_{in} - V_{out} = V_{gs1}$ " も大きく成る事が判る. この時 V_{out} の動作点はバッファの出力振幅を最大にする為電源電圧の半分近傍である事が好ましい. 従って V_{th} の大きな通常閾値の NMOS では, V_{gs1} を小さくする為ドレイン電流を減らさざるを得ず, トランジスタは f_T の低い領域で動作する事になる. 他方低閾値 NMOS では元々 f_T が 15~20% 高い上に, 閾値が低い分をバイアス電流増として利用し, f_T の高い領域でトランジスタを使用できるため実動作条件での f_T を通常閾値の NMOS に比べて 30% 以上も高める事が出来た. これにより SF でも 1.0[V] の電源電圧条件下で 30G[Hz] の信号をバッファする事が可能になった.



C; Source Follower+Common Source

図 6-8-b) Schematic of Source follower + Common-source buffer

図 6-8) Schematics of VCO buffers

SFの低電圧電源への対処方法の検討に続いては、VCOバッファのAC特性の検討を行った。通常バッファはVCOの位相雑音には無関係だが、今回はバッファの構成によるS12の大小が、測定値としての位相雑音に非常に大きな影響を及ぼす事が判ったので、以下ではこの事を中心に説明する。

0.18 μ m-CMOSプロセスはコストや信頼性面での優位性はあるものの、Kaバンドにおいてはトランジスタの利得が低い、入出力間の結合容量が大きい等の理由から、S12が先端プロセスで設計されたものに比べて小さくなる事が知られている[26]。それにも関わらずバッファ部のS12の低下が位相雑音に与える影響を検証した論文はほとんどない。

そこで本研究では式(1)で示した位相雑音の決定要因である測定端における信号振幅とS12との影響のシミュレーション解析を行った。最初に過渡解析で求めた測定端子での出力振幅をVCOコアの出力電圧で規格化した相対利得をバッファ毎に求めた。これを図6-9に示す。またSF+CSのS12で規格化したバッファ入出力間のS12を図6-10として示す。これら2つのシミュレーション結果からバッファの構成が位相雑音の測定値に与える影響について、2つの仮説を立てた。

- 1) バッファが測定端の出力振幅を制限する事でVCOの位相雑音が決まってしまうのであれば、図6-9より28.6G[Hz]近傍での位相雑音はCSバッファが一番低く、ばらつきは7.5[dB]程度になる。
- 2) バッファのS12が測定値としての位相雑音の決定要因であるならば、図6-10より28.6G[Hz]近傍での位相雑音はSF+CSバッファが一番低く、そのばらつきは30[dB]程度になる。

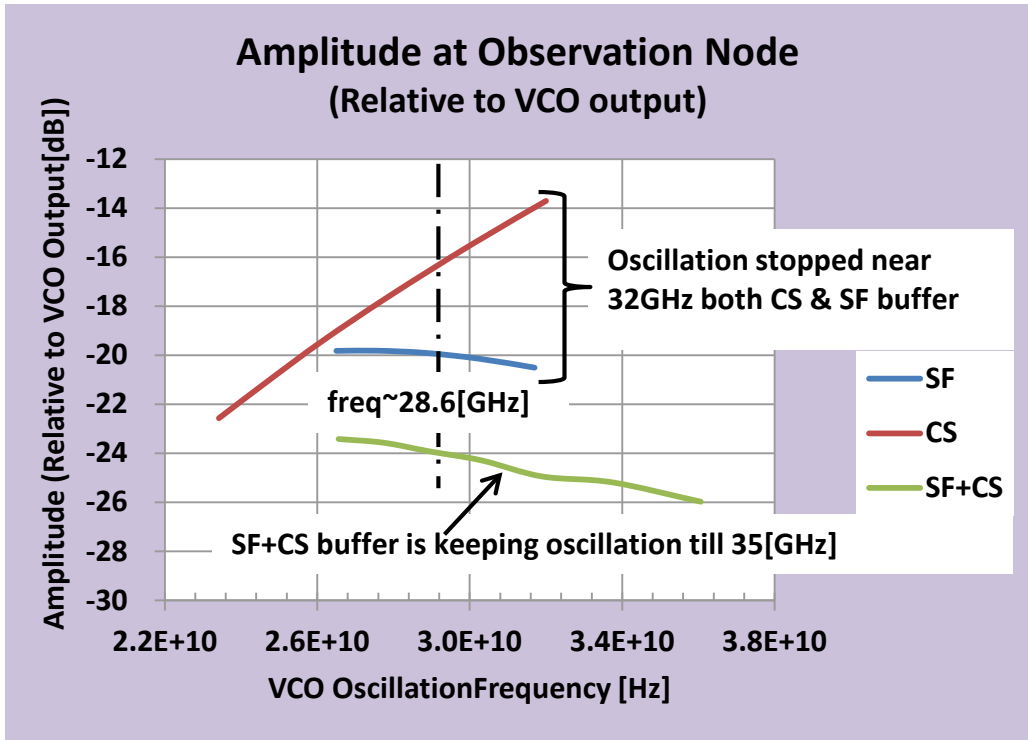


Figure6- 9 Output Voltage Relative to VCO core Output.

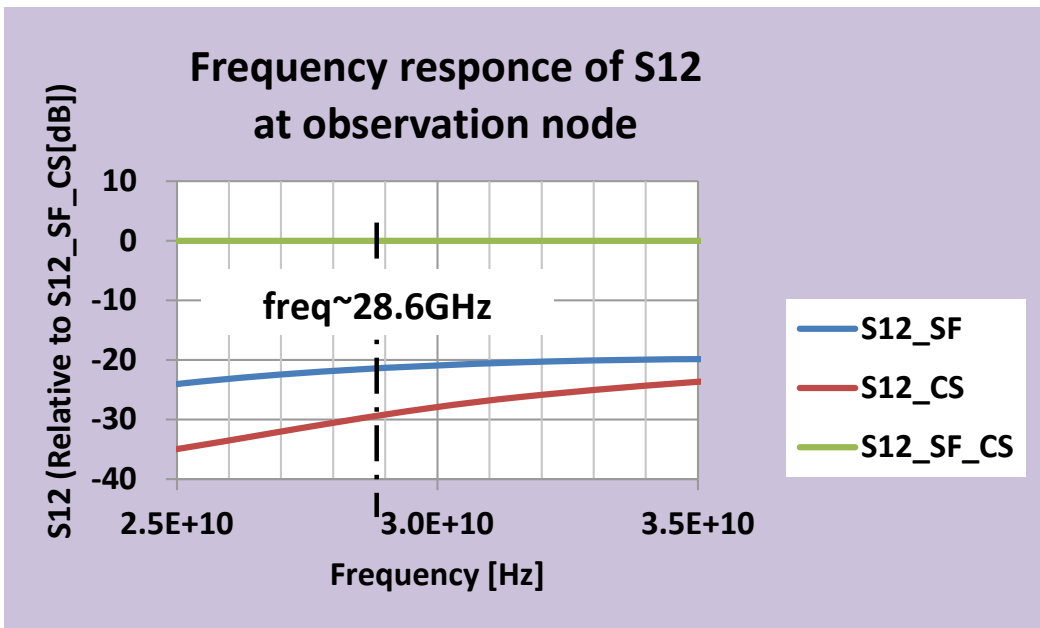


Figure 6-10 Reverse Isolation for Each VCO buffer.

そこで上記 2 つの仮説の検証とシミュレーションでは含まれていなかった FS の効果を確認する為、12 個の Test Element Group (TEG)を設計・試作・評価した。12 個の VCO に対する設計パラメータと用いたバッファの構成は表 6-1 にまとめ、以下では TEG の実体写真、図 6-11 を参照しつつそれらを説明する。

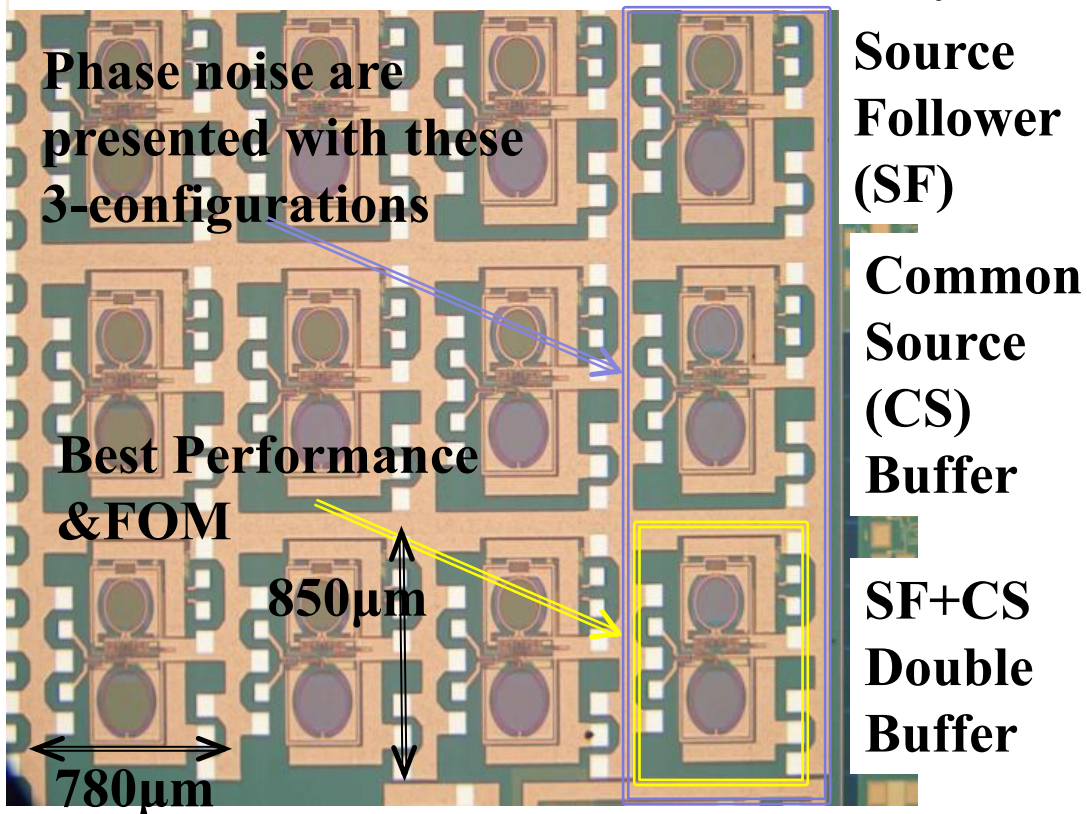
図 6-11 縦の列は上からバッファ構成の異なる VCO3(SF), VCO4(CS), & VCO5(SF+CS)の順に並んでいる。また横方向はシールド範囲とシールド線の密度を左から右へと順次増加させている。同図中右端の青色の四角で囲まれた 3 つの VCO は全ての受動素子がシールドされ、シールド密度は設計ルールで決まる最大密度である。此処の 3 個の VCO は図 6-11 中の 12 個の VCO の中で最小の位相雑音特性を示したシールドが施された組である。その位相雑音スペクトルと KVCO との評価結果は続く 6-5 節で報告する。

Table 6-1 TEG Configuration Detail of Fig 6-11

Buffer Configuration	Shielding Policy => Place to shield / (Shield Density)				
	Source follower				VCO+Buffer
Common Source	No Shield	Buffer Only (Half-Density)#	Buffer Only (High-Density)*	=All Places (High-Density)*	<=VC04
SF +CS					<=VC05

Note) Above Location correspond to Fig X rhat have 3x4 site.
 * High-Density; Allow Minimum design rule of PDK.
 # Half-Density; Metal width and spacing are 2X of minimum rule.
 % Evaluation data will be shown only in the lowest phase noise policy area

Increase shield area and/or density =>



☒ 6-11 Contents of LC-VCO Test Element Group (TEG).

6-5 Measurement Results and Discussions

KaバンドのVCOの試作には0.18 μm RF/MS-CMOS プロセスを用いた。この製造プロセスは受動素子として低損失の極厚最上層メタルと高周波特性に優れたMetal-Insulator Metal (MIM)容量及びMOSバラクタを備える。またトランジスタではPMOSとNMOS共に通常閾値と低閾値の2種類の閾値が使用可能である。チップ単体の写真を図6-12に示す。パッドを含めたチップの大きさは0.85 \times 0.78[mm], 面積は0.66[mm²]である。全ての評価はウエファ上で、Ground-Signal-Ground-Signal-Ground (GSGSG)・GSSG・GSGの3種のRFプローブを用いて行った。

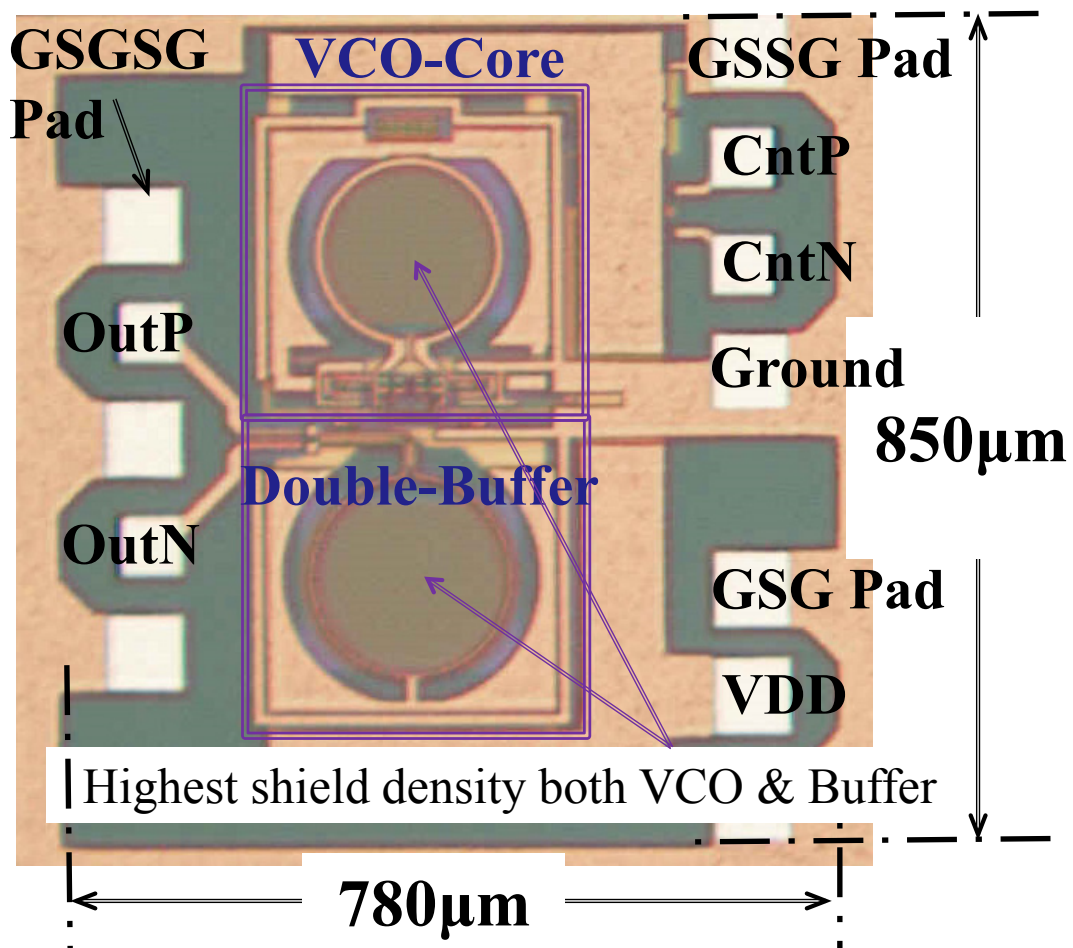


Figure 6-12 Chip Micrograph of VCO5.

最初にバッファの構成による位相雑音の差異を図 13 に示す. 図 6-13 中で評価結果を示す 3 つの VCO は表 6-1 及び図 6-11 において青色の四角で囲まれた 3 つの VCO で, FS は全ての受動素子に対して最密に施されており, 相違点は VCO バッファの構成のみである. 図 6-13 に示した位相雑音スペクトルは上から順に VCO4, VCO3, そして VCO5 の測定値で, 最も低位相雑音の VCO5 に対しては, ウエファ上の離れた 2 点で得られたサンプルを測定し, 面内ばらつきが殆どない事を確認すると共に, 一番下のオレンジの点線で示した位相雑音のシミュレーション結果と比較した.

この測定で使用した VCO コアは全て同じであるにも拘らず, 測定値としての位相雑音は位相雑音の低い順に VCO5, VCO3 そして一番高いものが VCO4 であり, VCO5 と VCO4 との差分は 26[dB]にも達した.

ここで 26[dB]もの差を生んだ原因について 6-4 節でのシミュレーション結果を参考にしつつ検討する. 評価結果における位相雑音の低い順番は図 6-9 で示した測定端での利得が高い順番とは逆で, 図 6-10 のリバーサアイソレーション(S12)の大きい順に並んでいる, 加えて最小値と最大値とのばらつきは, 評価(図 6-13)・振幅因(図 6-9)・S12 因(図 6-10)との間で, $26 \cdot 7.5 \cdot 30$ [dB]とこれも S12 の差を表示した図 6-10 の方が評価結果を良く近似している. これら 2 つの事実から VCO の位相雑音を正確に測定するにはリバーサアイソレーションの大きい事が重要だと考えられる. 今回の測定で最も低い値を示した VCO5 の位相雑音は, 電源電圧”VDD”が 1.8[V]の条件下では, 発振周波数 28.6G[Hz]から 1M[Hz]離れた点で -110.6[dBc/Hz]であった.

一方図 6-13 中の一点鎖線は $1/f$ 雑音の周波数アップコンバージョンによって -30[dB/dec]の傾きになる領域と, 熱雑音由来の成分によってその傾きが -20 [dB/dec]になる領域とを読み取る為描いた. この結果式 (6-1)で $\Delta f(1/f^3)$ と表現されている周波数が全ての VCO でほぼ共通の約 3.5M[Hz]である事が確認出来た.

また VCO5 におけるシミュレーション値と測定値との比較からは, キャリアから 1M[Hz]以上離れた傾き -20[dB/dec]の領域では良い一致を示しているものの, キャリア近傍の -30[dB/dec]の領域では両者の乖離が大きく, シミュレーション精度を上げるには PDK 中の $1/f$ 雑音モデルの改善が必要なことも解った.

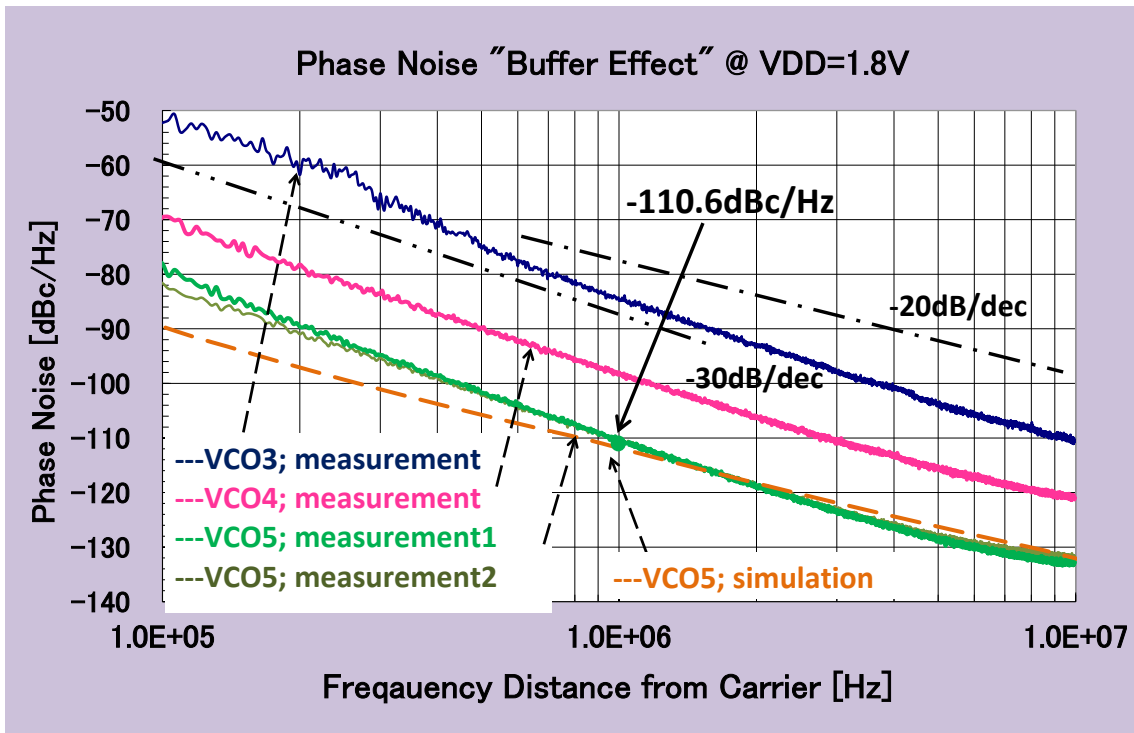


Figure 6-13 Measured Phase Noise with changing buffer configurations

続く図 6-14 では VCO の差動制御電圧対発振周波数の評価結果を示す。測定値は上から順に VCO4, VCO3, そして VCO5 であり、一番下のオレンジの実線は VCO5 のシミュレーション結果を表している。

差動制御電圧を -1.8 から 1.8[V] に増加させた場合の VCO5 の発振周波数は 28.3G[Hz] から 30.7G[Hz] へ上昇し、シミュレーション結果とも非常に良い一致を示した。この時の差動制御電圧 0[V] 近傍での KVCO 測定値は 1.14[GHz/V] であった。ここでは SF で VCO コアの出力を受けた VCO3 と VCO5 の KVCO 評価結果の方が CS で受けた VCO4 より線形性に優れる事と、差動制御電圧が -1.5~1.5[V] の範囲では、図 6-14 中の点線で VCO5 の KVCO が十分直線近似できる事が判った。また電源電圧 1.0[V] でも VCO5 は 28.6~30.9G[Hz] の周波数範囲で発振する事を確認した。

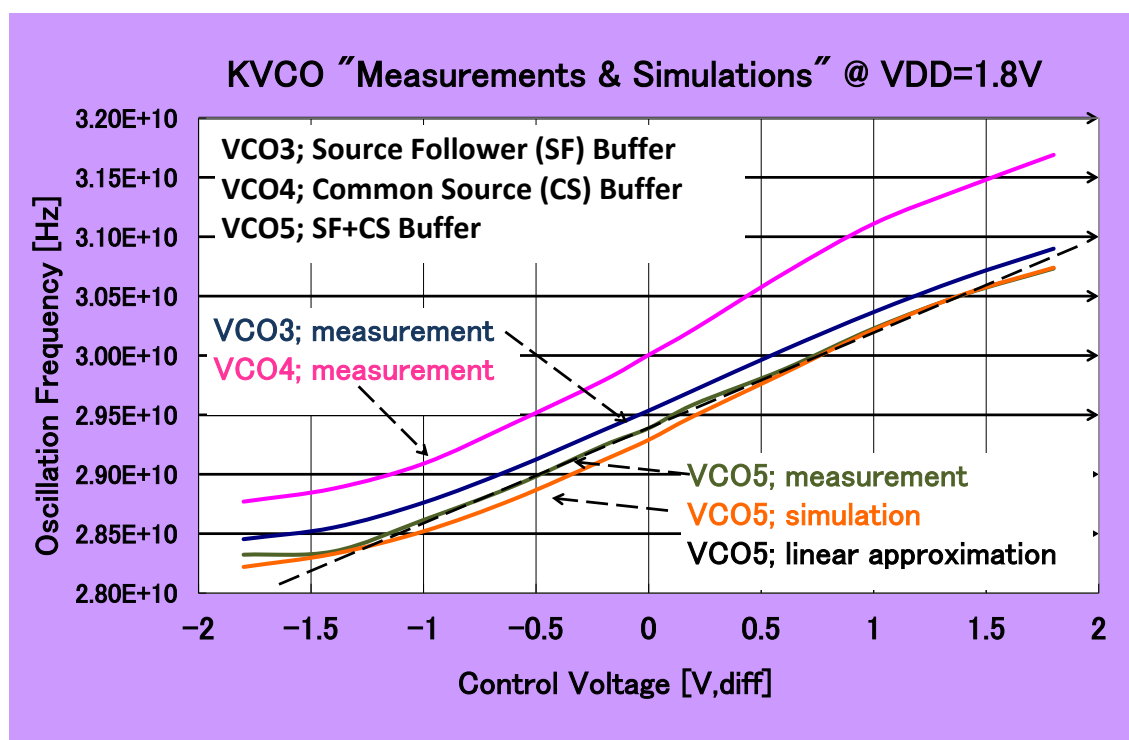


Figure 6-14 KVCO investigation with changing buffer configurations.

次に VCO5 の周波数プリングと電源電圧変動に対する位相雑音の変動を合わせて図 6-15 に示す. 上の 2 本のグラフは上からそれぞれ周波数プリングのシミュレーション値と実測値で, 一番下のグラフが位相雑音変動の実測値を表している. この測定では電源電圧を 1.0~2.0[V]と 2 倍にしているにも関わらず, 発振周波数は僅か 280M[Hz] 即ち 1%程度の周波数変動に抑えられていた. これは VCO コアに差動制御入力のバラクタを用いており, ファーストオーダーでは LC タンクの共振値が電源電圧に依存しない事の証明と言える. 加えてシミュレーションと実測も良い一致を示した. 他方位相雑音に関しては式 (6-1) で示した様に P_{sig} に逆比例するものであるから, 電源電圧の上昇に対して単調に減少して行く様子が観測された. また消費電力は電源電圧 1.0[V]時には 2.7[mW]であり, 電源電圧 1.8[V]時では 16.2[mW]であった.

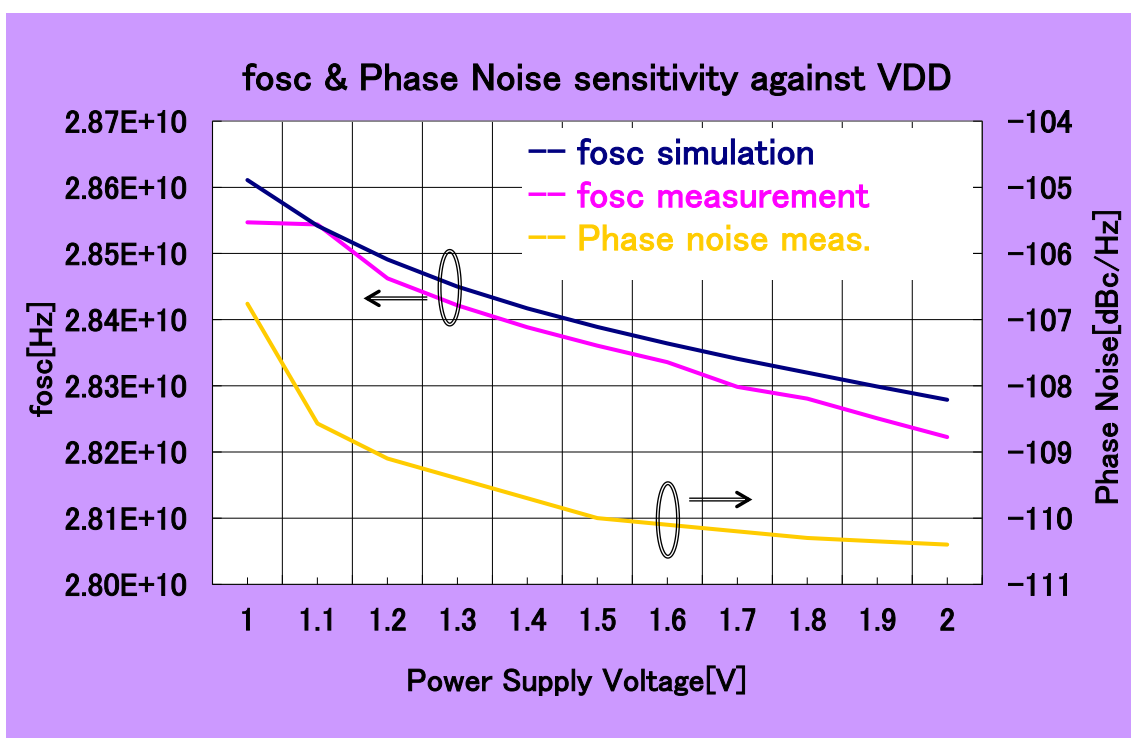


Figure 6-15 Phase Noise and Oscillation frequency sensitivity against power supply variation

最後に電源電圧 1.0[V]時の VCO5 の位相雑音を, 2 通りの差動制御信号条件下で測定した結果を図 6-16 として示す. この評価では差動制御入力が高い程タンクの Q が低くなり, その結果位相雑音が高くなるので, 差動制御電圧-1.0[V]時には -106.8[dBc/Hz]であった位相雑音が 0.0[V]時には-95.5[dBc/Hz]にまで劣化した. この時の発振周波数はそれぞれ 28.6G と 29.7G[Hz]であった. それに対してスプリアス成分は, VCO 制御信号を含め全てを差動構成とした回路上の工夫に加え, ストリップ線路やフローティングシールドを施した伝送線路の採用の効果で全く観測されなかった.

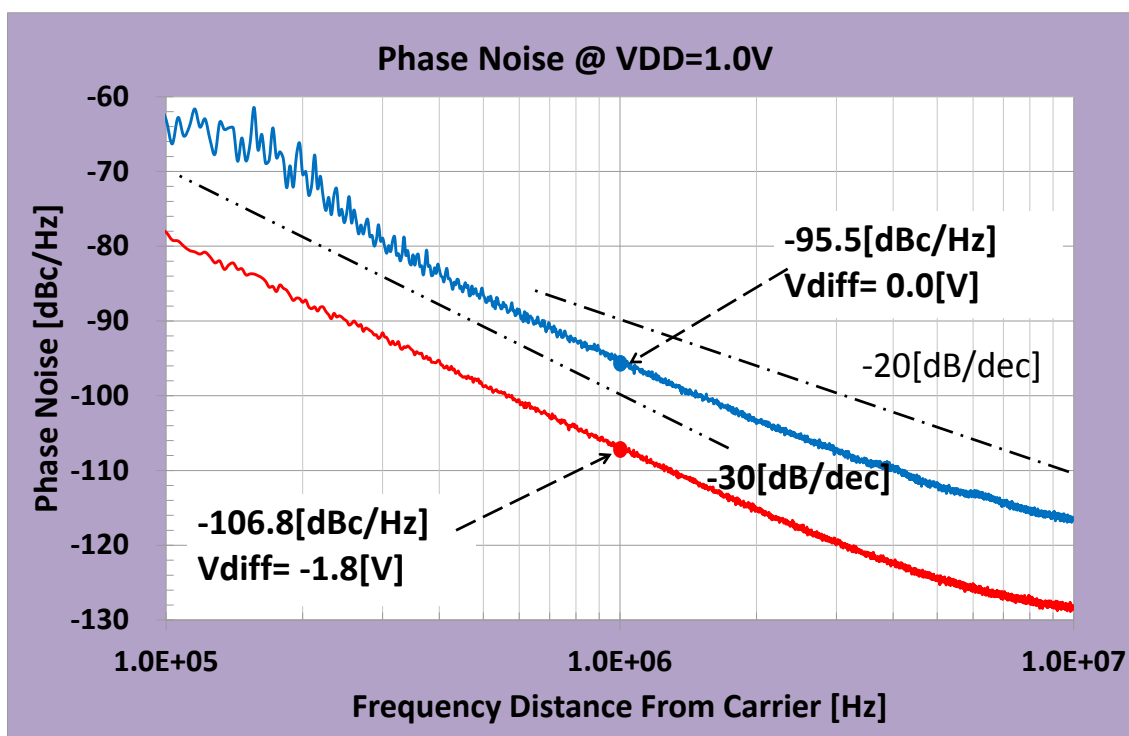


図 6-16 Measured Phase Noise under Vdd=1.0V

表 6-2 では最近の Ka バンド近傍の VCO と本論文の VCO との性能を比較した. 表 2 中の右端に示した FOM は次式 (6-9) で与えられる[6-27].

$$\text{FOM} = L(f_0, \Delta f) - 20 \log(f_0 / \Delta f) + 10 \log(P_{dc} / 1 \text{mW}) \quad \text{式(6-9)}$$

上式(9)中の $L(f_0, \Delta f)$ はキャリア周波数が f_0 且つキャリアからの周波数離れが Δf である時のシングルサイドバンド(SSB)の位相雑音, P_{dc} は DC における消費電力をそれぞれ表す.

式 (6-9) を使って求めた本研究の LC-VCO の FOM は電源電圧 1.0[V]時で -191.6[dBc/Hz], 1.8[V]時では-187.6[dBc/Hz]と共に非常に低い値を得た. この VCO は低電圧動作時の FOM が特に優れている事から電池駆動のセンサ用途を始めとして, 電源電圧が高い時の KVCO の高線形性と低位相雑音特性を生かした FMCW レーダ用途等まで広範囲に利用できる IP コアとして適した性能を有する事が数字の上でも確認できた.

Table 6-2 Comparison to the other State of the Art.

Reference	Process Node	Center Frequency [GHz]	VDD [V]	Pdc [mW]	Phase Noise [dBc/Hz]#	FOM [dBc/Hz]
APMC-14 [7]	0.18 μ m CMOS	24.39	0.6	4.8	-104.6	-185
ICSICT-10 [8]	90nm CMOS	24.0	0.8	2.8	-101	-184
CAS-II-10 [9]	0.18 μ m CMOS	24.27	0.65	7.8	-100.33	-179
ISSCC-11 [10]	45nm CMOS	24.77	0.9	12	-101	-178.1
APMC-09 [11]	0.35 μ m SiGe	30.4	-	16.8	-97.5	-174.9
IMS-14 [12]	0.13 μ m SiGe	30.9	1.4	40.2	-101.4	-175.1
CAS-I-11 [13]	0.18 μ m CMOS	30.02	1.0	2.3	-104.1	-190.0
CAS-I-11 [13]	0.18 μ m CMOS	30.5	1.5	9.2	-108.5	-188.5
This Work (1.0V)	0.18μm CMOS	28.6	1.0	2.7	-106.8	-191.6
This Work (1.8V)	0.18μm CMOS	28.4	1.8	16.2	-110.6	-187.6

Phase noise is measured at 1MHz distance from Carrier

6-6 Summary of VCO Design

FOMに優れ且つ広い電源電圧範囲 1.0~1.8[V]で動作可能な低位相雑音 LC-VCO IC を, 0.18 μm RF/MS-CMOS プロセスを用いて設計・試作・評価した.

その結果, 電源電圧 1.0[V]時の性能として, 発振周波数範囲 28.6~30.9G[Hz], 消費電力 2.7[mW], 位相雑音-106.8[dBc/Hz], そして FOM は-191.6[dBc/Hz]を達成した. また電源電圧 1.8[V]時では KVCO 1.14G[Hz/V], 発振周波数範囲 28.3~30.7G[Hz], 消費電力 16.2[mW], 位相雑音-110.6[dBc/Hz], そして FOM は-187.6[dBc/Hz]であった.

これらの評価結果から本論文の VCO は 0.18 μm -CMOS という比較的古い製造プロセスで設計されているにも関わらず, 45[nm], SiGe 等の先端プロセスで設計されたものと同等以上の FOM を有する事が証明された.

加えて VCO の位相雑音の測定値ではバッファの S12 が大きな影響を与えている事を見付け出し, CS+SF の 2 段バッファ構成を取った VCOS では, 熱雑音が支配的となる-20[dB/dec]の領域においてシミュレーション値と評価結果の良い一致を確認する事が出来た.

Chapter 7: Conclusions

7-1 Summary of this Research

本論文では個別部品の集積化によるシステムコストの低下と信頼性の向上, 更には既存の CMOS プロセスを用い設計手法を工夫することで新たなアプリケーションへ適応する事を目的とし, 研究を行った.

“0.18 μm CMOS を用いた準ミリ波帯回路設計手法に関する研究”と題した本研究では, 回路設計のベースと成る PDK 作成から, Ku-band の衛星受信機, 及び Ka-Band の VCO 設計手法の研究を行った. 以下に各章の内容を簡単にまとめる.

先ず Chapter1 では研究の動機を示し, 目的を明らかにすると共に, 本論文の研究対象となる 10GHz 以上の周波数を使用するアプリケーションを調査した. その中で有望な Ku-バンド帯の“衛星放送受信機”及び K~Ka-バンド帯の”車載レーダ“に関してはその出荷台数の調査を含め市場の将来性を詳細に調査・検討しその結果を示した.

- 1) 衛星放送受信機の日本国内での売り上げについては, 若干の上がり下がりはあるものの過去 20 年以上にわたって毎年 50 万台以上の売り上げ実績がある大きな市場が形成されている事が確認できた.
 - 2) 衛星放送受信機の海外での普及は, 先進国では飽和の傾向がみられるものの, 世界最大の市場である, 米国では未だに契約台数が増加している. それに加え経済発展が目覚ましい“BRICS”諸国中でもブラジル・インド, それに加えてメキシコ・エジプトなどでも, 契約世帯の増加は目覚ましい.
 - 3) 車載レーダ(特に 24G の UWB)レーダ市場は今まさに立ち上がりつつある市場であることが, 世の中の噂だけではなく, 数字の上からも確認できた.
- 1)~3)の調査結果から, 第 1 番目の研究対象を衛星放送受信機に, そして 2 番目の研究対象を 24G 車載レーダに絞りこんだ.

次に Chapter2 では, 衛星放送受信機の設計目標を, そのリンクバジェットを基に導くと共に, 予想される技術的な困難点と明らかにした. そして技術的な困難さを緩和すべく導入したレイアウト上の工夫により元々 61GHz であった NMOS トランジスタの f_t を 66GHz にまで増加させることに成功した. 左記 f_t の最適値は, ゲートとドレインとの間隔を, 最小設計値の 2 倍にすることで達成した.

Chapter3 では 40GHz の PDK を構築する上で必須の技術“De-Embedding”解説した. 特に今回今までの lower-GHz 帯での PDK 構築時に使用していたた”Open-Deembedding”方式では測定誤差が大きくなる為, 新たに Pad-Open-Short 方式を導入

した。3-1 節ではその数学的意味を、また 3-2 節では De-embedding の手順とそのメリットについて詳しく説明した。また、Appendix では、Pad-Open-Short 計測効率化の為に作成した Matlab® コードを示した。

Chapter4 では Chapter3 で説明した De-Embedding 方式を用いることで、高精度の測定が可能に成った Passive 素子について、その設計とモデリングの手法を説明した。4-1 節ではその中で最も基本的な、伝送線路のモデリング手法を説明し、40GHz まで使用できる PDK というものはどのようなものなのか？の感覚が身に付くように試みた。続いてマイクロストリップ線路とコプレーナ線路の比較、スローウェーブ伝送線路の設計・評価結果を示し、より深い伝送線路への理解を促した。その後高周波用途の受動素子である MIM 容量・インダクタ・トランスフォーマについて、その等価回路を示しつつ寄生素子の影響を減らすレイアウト手法、正確なモデルを得るための、いくつかの手法を説明した。

Chapter5 では、Chapter1 で市場を調査し、Chapter2~4 での回路設計準備段階で得た成果を用いて回路設計手法の研究を行った。その題材としては Ku バンドの衛星受信機用低雑音ブロック(LNB)用途の IC を選択した。ここで実現した IC の最大利得、NF 最小値と IIP3 はそれぞれ 28.2dB, 2.5dB, -19.3dBm であった。また別チップとして計測した VCO の位相雑音強度はキャリアから 1MHz 離れた周波数において -107dBc/Hz であった。これら報告の値は Chapter2 で求めた当初の設計期待値を全て満たしている事を確認した。

続く Chapter6 では Ka-バンドの FMCW レーダ用途の LC-VCO の研究・開発について説明した。この VCO-コア VDD=1[V]時の性能は、発振周波数範囲 28.6~30.9[GHz], 消費電力 2.7[mW], 位相ノイズは-106.8[dBc/Hz]であり、FOM は 191.9[dBc/Hz]と言う非常に低い値を達成できた。VDD=1.8[V]では KVCO 1.14[GHz/V] 発振周波数範囲 28.4~30.7[GHz], 消費電力 16.2[mW], 位相ノイズは-110.3[dBc/Hz], そして FOM は 187.6[dBc/Hz]であった。

最近報告された他の VCO と FOM を比較した所、本チップは 0.18 μ m CMOS という比較的古いプロセスを使っているにも拘らず、SiGe や先端の CMOS プロセスを用いたものと比較し、勝っていることが確認できた。

これらから 30GHz までの応用範囲なら、0.18 μ m CMOS プロセスを使って十分競争量のある製品を世の中に提供出来ることが明らかに成った。

この研究によって0.18 μm -CMOSプロセスに因るMMICの実現の可能性を証明し、その応用範囲も衛星放送受信機のような低雑音を要求される民生用途のものから、車載レーダのような産業用途の物まで広範囲にわたることを示すことが出来た。

7-2 Next Step

最後に今後の展望であるが、1番目の研究対象であるLNBに関しては完成度が高くIF出力の出力インピーダンスを同軸ケーブルの75 Ω に整合させることと、ドライブするケーブル長に対する駆動力を確保する2点の修正を加えればエンジニアリングサンプルとして通用する。加えて更なる用途拡大を目指してP25”表2-5 LNB要求仕様一覧”で示したLowバンド・Highバンド両方に対応できるようにLNAの帯域拡大を目指したい。

他方KaバンドのVCOの方はまだ部品の段階であり行うべきことは多い。現在図6-1中のVCO以外の部品、例えばPAやLNAは現在進行中でありTEGレベルでは出来上がっている。それを図7-1と7-2に示す。

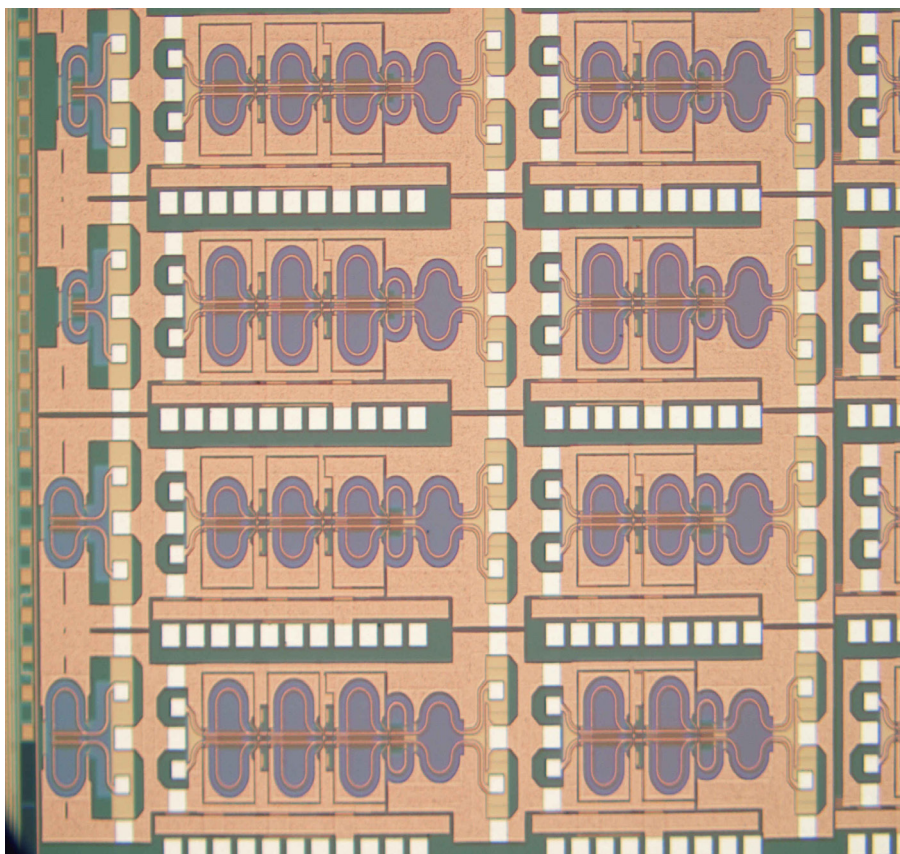


図 7-1 LNA の TEG (3 段構成)

前頁に示した8つのLNA TEG内では左から右へと信号が増幅されて行く。また入力
の整合を取る為に一番右のインダクタのサイズが変わっているのが確認できる。

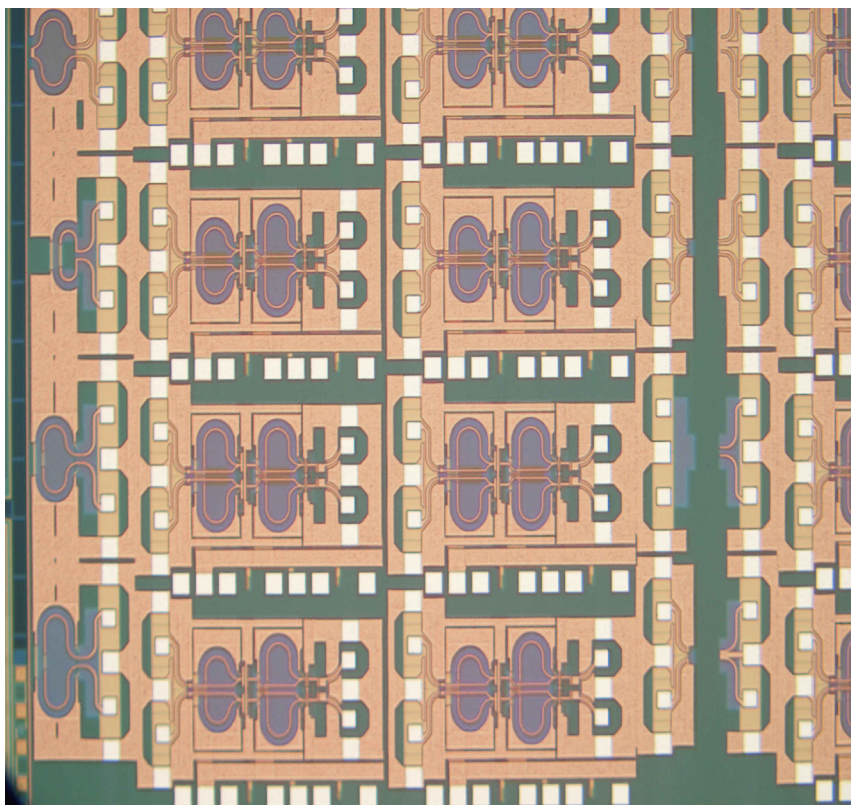


図 7-2 PA の TEG (2 段構成)

PA の TEG 構成は上図 図 7-2 に示した通りである。この回路は入力整合なし、加えて出力整合も考慮していないので、各段 1 つの負荷インダクタのみが確認できる。ここでも負荷の最適化の為、インダクタサイズが各 PA で変化させた。全てのインダクタには本研究第 4 章で得られた方針に従った、フローティングシールドが施した。

近い将来本研究の VCO とこれら LNA や PA を統合して図 6-1 に示した黄色のブロックである RF のシステムを個移築する事を狙っている。更には RF と青色のブロックで示した信号処理部も統合して“昨日まで世界になかったもの”を作りあげ世の中に貢献したいという夢を持っている。

References

Chapter 1

[1-1] 総務省“電波利用ホームページ” 2015年5月10日現在

<http://www.tele.soumu.go.jp/j/sys/fees/purpose/kenkyu/>

[1-2] ETSI EN 302 217-2-1 V1.2.1 (2007-06).

Fixed Radio Systems: Characteristics and requirements for point-to-point equipment and antennas:

Part 2-1: System-dependent requirements for digital systems operating in frequency bands where frequency co-ordination is applied

http://www.etsi.org/deliver/etsi_en/302200_302299/3022170201/01.02.01_60/en_3022170201v010201p.pdf

[1-3] ETSI EN 302 217-2-2 V2.0.0 (2012-09).

Fixed Radio Systems: Characteristics and requirements for point-to-point equipment and antennas:

Part 2-2: Digital systems operating in frequency bands where frequency co-ordination is applied: Harmonized EN covering the essential requirements of article 3.2 of the R&TTE Directive

http://www.etsi.org/deliver/etsi_en/302200_302299/3022170202/02.00.00_20/3022170202v020000c.pdf

[1-4] Jeff Powell and Dave Bannister “Business Prospects for Commercial mm-Wave MMICs” IEEE Microwave Magazine December 2005, pp.34-43.

[1-5] Zhi-Hang WU and Wen-Xun ZHANG “Fully Metallic Compound Air-fed Array Antennas for 13 GHz Microwave Radio-link Applications” Antennas & Propagation (ISAP), 2013 Proceedings of the International Symposium on. Volume: 02, 2013, pp.657-660.

[1-6] R. Quaglia, V. Camarchia, M. Pirola¹, S. Donati Guerrieri, R. Tinivella¹, G. Ghione, M. Pagani “7 GHz GaN MMIC Power Amplifier for Microwave Radio links with 45% Drain Efficiency in a Wide Power Range”

[1-7] Cicero S. Vaucher, Oscar Apeldoorn, Melina Apostolidou, Jacco Dekkers, Andrew Faurrugia, Hasen Gul, Niels Kramer and Louis Praamsma, “Silicon-Germanium Ics for Satellite Microwave Front-ends” Proc. BCTM 2005, pp.196-203

[1-8] Ku-band PLL LNB –External Reference-

Model. No. NJR2934E/35E/36E/37E/39E Series. New Japan Radio Co. LTD. catalog On-line http://mc.njr.co.jp/eng/products/vsat/ku-lnb/ext_1.html

... Web Address は 2015年5月17日現在の情報

- [1-9] Santo A. Simerzi, Giovanni Girando, Tino Copani and Giuseppe Palmisano “Ku-band Monolithic Receiver for DVB-S Applications” IEEE Communication Magazine August 2004, pp.132-139.
- [1-10] Giovanni Girlando, Santo A. Smezi, Tino Copani, and Guiseppe Palmisano “A Monolithic 12-GHz Heterodyne Receiver for DVB-S Applications in Silicon Bipolar Technology” IEEE Transaction on Microwave Theory and Techniques, vol 53, No3, March 2005.
- [1-11] Yanming Xiao, Jenshan Lin, Olga Boric-Lubecke, and Victor M. Lubecke “Frequency-Tuning Technique for Remote Detection of Heartbeat and Respiration Using Low-Power Double-Sideband Transmission in the Ka-Band” IEEE Transaction on Microwave Theory and Techniques, vol. 54, No. 5, May 2006. Pp.2023-2032.
- [1-12] Yanming Xiao¹, Jenshan Lin¹, and Olga Boric-Lubecke, Victor M. Lubecke “A Ka-Band Low Power Doppler Radar System for Remote Detection of Cardiopulmonary Motion” Proceedings of the 2005 IEEE Engineering in Medicine and Biology 27th Annual Conference, pp.7151-7154.
- [1-13] Changzhi Li, and Jenshan Lin “Non-Contact Measurement of Periodic Movements by a 22-40GHz Radar Sensor Using Nonlinear Phase Modulation” IEEE 2007, pp.579-582.
- [1-14] Mitsutoshi Morinaga, Toshiyuki Nagasaku, Hiroshi Shinoda, and Hiroshi Kondoh “24GHz Intruder Detection Radar with Beam-switched Area Coverage” IEEE 2007, pp.389-392.
- [1-15] M. Nalezinski, M. Vossiek, P. Heide “NOVEL 24 GHZ FMCW FRONT-END WITH 2.45 GHZ SAW REFERENCE PATH FOR HIGH-PRECISION DISTANCE MEASUREMENTS” 1997 IEEE Microwave Theory and Techniques – Symposium Digest, pp.185-188.
- [1-16] L. Roselli, F. Alimenti, M. Comez, V. Palazzari, F. Placentino, N. Porzi, A. Scarpon “A Cost Driven 24GHz Doppler Radar Sensor Development for Automotive Applications” IEEE 2005,
- [1-17] Ian Gresham, Noyan Kinayman, Alan Jenkins, Robert Point, Andy Street, Yumin Lu, Adil Khalil, Ryosuke Ito, and Richard Anderson “A Fully Integrated 24 GHz SiGe Receiver Chip in a Low-cost QFN Plastic Package” IEEE RFIC 2006,
- [1-18] Vicentiu Cojocarul, Hitoyoshi Kurata, Denver Humphrey, Bryan Clarke', Takeshi Yokoyama, Veljko Napijalo, Thomas Young, and Takuya Adachi “A 24GHz Low-Cost, Long-Range, Narrow-Band, Monopulse Radar Front End System for Automotive ACC Applications” IEEE 2007, pp.1327-1330. IEEE 2007, pp.1327-1330.
- [1-19] Angelo Scuderi, Egidio Ragonese, and Giuseppe Palmisano “0.13- μ m SiGe

BiCMOS Radio Front-End Circuits for 24-GHz Automotive Short-Range Radar Sensors” ESSCIRC 2008, pp.494-497.

[1-20] Veljko Napijalo, Vicentiu Cojocaru “24 GHz LTCC I/Q Mixer Using Packaged HEMTs” Proceedings of the 38th European Microwave Conference, pp1481-1484.

[1-21] Sheng-Ming Luo, Ruei-Yun Hung, Shou-Hsien Weng, Yan-Liang Ye, Chia-Ning Chuang, Chi-Hsien Lin, and Hong-Yeh Chang “24-GHz MMIC Development Using 0.15- μ m GaAs PHEMT Process for Automotive Radar Applications” IEEE 2008.

[1-22] Liang Han, and KeWu “24-GHz Integrated Radio and Radar System Capable of Time-Agile Wireless Communication and Sensing” IEEE Transaction on Microwave Theory and Techniques, 2012.

[1-23] Gitae Pyo, Student Member, Jaemo Yang, Chol-Young Kim, and Songcheol Hong “K-Band Dual-Mode Receiver CMOS IC for FMCW/UWB Radar” IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS, VOL. 61, NO. 6, JUNE 2014, pp.393-397

[1-24] Sen Wang, and Wen-Jie Lin “A 10/24-GHz CMOS/IPD Monopulse Receiver for Angle-Discrimination Radars” IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS —I: REGULAR PAPERS, 2014.

[1-25] 井上大輔, 高橋 慶, 矢野寛裕, 室伏規雄, 松嶋禎央, and 飯島 崇 “24 GHz 帯高分解能マルチモードレーダの開発” 古河電工時報第 132 号(平成 25 年 9 月) pp.16-19.

[1-26] 青柳 靖, 森井啓介, 石田祥之, 川手隆司, 吉川 徹, 清水信行, 久保洋輔, and Antal Kovats “24 GHz 帯高分解能マルチモードレーダを用いた車載予防安全システムの開発” 古河電工時報第 132 号(平成 25 年 9 月) pp.20-25.

[1-27] 上村和孝, 青柳 靖, 松嶋禎央, 糸原洋行, 堀川浩二, and 磯 洋一 “超広帯域(UWB)無線システムの開発” 古河電工時報第 118 号(平成 18 年 7 月) pp.24-29.

[1-28] 高橋 慶, and 青柳 靖 “26 GHz 帯車載 UWB (Ultra Wide-Band)レーダの開発” 古河電工時報第 125 号(平成 22 年 2 月) pp.1-6.

[1-29] Egidio Ragonese, Angelo Scuderi, Vittorio Giammello, Ettore Messina, and Giuseppe Palmisano “A Fully Integrated 24GHz UWB Radar Sensor for Automotive Applications” 2009 IEEE International Solid-State Circuits Conference, pp.306-307.

[1-30] Vipul Jain, Fred Tzeng, Lei Zhou, Payam Heydari “A Single-Chip Dual-Band 22-to-29GHz/77-to-81GHz BiCMOS Transceiver for Automotive Radars” 2009 IEEE International Solid-State Circuits Conference, pp.308-309.

[1-31] SangHyun Chang, Ta-Shun Chu, Jonathan Roderick, Chenliang Du, Timothy Mercer, Joel. W. Burdick, and Hossein Hashemi “UWB Human Detection Radar

System: A RF CMOS Chip and Algorithm Integrated Sensor” 2011 IEEE International Conference on Ultra-Wideband (ICUWB), pp.355-359

[1-32] Yo-Sheng Lin, Senior Member, IEEE, Jen-How Lee, Sheng-Li Huang, Chiu-Hsuan Wang, Chien-Chin Wang, and Shey-Shi Lu “Design and Analysis of a 21–29-GHz Ultra-Wideband Receiver Front-End in 0.18- m CMOS Technology” IEEE Transaction on Microwave Theory and Techniques, 2012.

[1-33] Toru Masuda, Nobuhiro Shiramizu, Takahiro Nakamura, and Katsuyoshi Washio “A 50-dB Image-Rejection SiGe-HBT based Low Noise Amplifier in 24-GHz Band” 2009 IEEE Radio Frequency Integrated Circuits Symposium, pp.307-310.

[1-34] Kwang-Jin Koh and Gabriel M. Rebeiz “An X- and Ku-Band 8-Element Linear Phased Array Receiver” IEEE 2007 Custom Intergrated Circuits Conference (CICC), pp.761-764.

[1-35] Federico Boccardi (Vodafone), Robert W Health Jr.(University of Texas at Austin), Angel Lozano (Universitat Pompeu Fabra), Thomas L. Marzetta, (Bell Lab, Alcatel-Lucent), Petar Popovski (Aalborg University) “Five Dsiruptive Technology Directions for 5G” IEEE Communication Magazine, February 2014, pp.74-80.

[1-36] Wonil Roh, Ji-Yun Seol, Jeong Park, Byungwan Lee, Jaekon Lee, Yungsoo Kim, Jaeweon Cho, and Kyungwhoon Cheun, (Samsung Electronics Co., Ltd. Farshid Aryanfar, Samsung Resaerch America “ Millimeter-Wave Beamforming as an Enabling Technology for 5G Cellular Communications: Theoretical Feasibility and Prototype Results” IEEE Communication Magazine, February 2014, pp.106-112.

[1-37] Theodore S. Rappaport, Shu Sun, Rimma Mayzus, Hang Zhao, Yaniv Azar, Kevin Wang, George N. Wang, Jocelyn K. Schulz, Mathew Samimi, and Felix Gutierrez (NYU Wireless) “Millimetr Wave Mobile Communications for 5G Cellular: It Will Work !” IEEE Access volume 1 2013, pp.335-348.

[1-38] 日本における周波数割り当ての状況(平成 24 年 12 月 25 日:総務省)
総務省“電波利用ホームページ”より

<http://www.tele.soumu.go.jp/index.htm>

使用状況の詳細, 10GHz をダウンロードして利用した.

(参考) HOME> 電波監理の概要> 周波数割当て・公開> 周波数の公開>
我が国の電波の使用状況> 使用状況の詳細(平成 26 年 4 月現在)

<http://www.tele.soumu.go.jp/j/adm/freq/search/myuse/use/index.htm>

10GHz 以上のダウンロードサイトは

<http://www.tele.soumu.go.jp/resource/search/myuse/use/10g.pdf>

[1-39] 監修: 遠藤敬二/泉 武博 “衛星放送の基礎知識-BS デジタル放送を中心として-“ 兼六館出版株式会社, 2001, pp.45

- [1-40] 足立 誠幸, 谷口 徹, 城崎 俊文, 永嶺 真治, 小林 純, “準ミリ波／ミリ波帯 デバイスの開発” 日本無線技報 No.64 2013 - 36.
http://www.jrc.co.jp/jp/company/html/review64/pdf/JRCreview64_09.pdf
- [1-41] 齋藤 和男, 小林 清仁, 五味 武志, 永嶺 真治, 米田 真也, 永堀 仁, 西堀 正人 “26GHz 帯 240MbpsNGN 対応 FWA 装置の開発” 日本無線技報 No.61 2011 - 18.
http://www.jrc.co.jp/jp/company/html/review61/pdf/JRCreview61_07.pdf
- [1-42] Innosent Data Sheet “iSYS-3004” Version 1.1 - 11.04.2014
<http://www.innosent.de/fileadmin/media/dokumente/datasheets/isys/iSYS-3004.pdf>
- [1-43] F. Benabdeljelil, G. Jacquemod, W. Tatinian, P. Lucchi, M. Borgarino, and L. Carpineto “Comparison between RTW VCO and LC QVC 12 GHz PLLs” New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International. pp.94-96
- [1-44] Davide Resca, Rafael Cignani, Corrado Florian, Andrea Biondi and Francesco Scappaviva “A Q/Ku-K band MMIC double-balanced subharmonic diode ring mixer for satellite communications in GaAs pHEMT technology” International Journal of Microwave and Wireless Technologies, EuMA, 2014
- [1-45] A. Maxim, M. Gheorghe, and D. Smith “A Single Conversion SiGe BiCMOS Satellite TV LNB Front-End Using an Image Reject Mixer and Calibrated Fell-Rate VCO” Proc. CICC 2007, pp.97-100
- [1-46] Gerben W. de Jong, Domine M. W. Leenaerts, and Edwin van der Heijden “A Fully Integrated Ka-Band VSAT Down-Converter” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 48, NO. 7, JULY 2013, pp.1651-1658.
- [1-47] Zhiming Deng, Jiashu Chen, Jason Tsai, and Ali M. Niknejad “A CMOS Ku-band Single Conversion Low-Noise Block Front-End for Satellite Receivers” Proc. RFIC 2009, pp.135-138.
- [1-48] Gitae Pyo, Jaemo Yang, Hyunji Ku, Chou-Young Kim and Songcheol Hong. “K-Band FMCW Radar CMOS Front-End ICs with 13.3 dBm Output Power” 2014 IEEE Radio Frequency Integrated Circuits Symposium, pp.79-82.
- [1-49] 齊藤 了文 “工学の哲学的基礎づけをめざして” 大阪体育大学紀要 第 22 巻 1991, pp.157-167
- [1-50] 衛星放送の現状“平成 26 年度第 2 四半期版” 平成 26 年 7 月 1 日発行 総務省, 情報流通情勢局 衛星・地域放送課 発行
http://www.soumu.go.jp/main_sosiki/joho_tsusin/eisei/eisei.pdf
- [1-51] 世界の統計 2013 15 章-9(テレビ)p341
 総務省統計局発行
 総務省ホーム>統計データ>世界の統計>本書の内容>蛙世界の統計 2013

<http://www.stat.go.jp/data/sekai/pdf/2013al.pdf>

[1-52]世界の統計 2014 15 章-9(テレビ)pp.340

総務省統計局発行

総務省ホーム>統計データ>世界の統計>本書の内容>蛙世界の統計 2014

<http://www.stat.go.jp/data/sekai/0116.htm#c15>

<http://www.stat.go.jp/data/sekai/pdf/2014al.pdf#page=329>

[1-53] UWB レーダ搭載自主管理グループ

<http://www.jaia-jp.org/j/about/report/>

[1-54] 波法施行規則第4条の4 第2項第2号で定める超広帯域無線システムの無線局の通信設備

http://www.tele.soumu.go.jp/horei/reiki_honbun/a720020001.html

[1-55] Vadim Issakov “Microwave Circuits for 24GHz Automotive Radar in Silicon-based Technologies” Springer-verlag Berlin Heidelberg 2010.

[1-56] 特定小電力無線局移動体検知センサー用無線設備 ARIB STD-T73 1.2 版
平成24年9月25日 1.2改定

http://www.arib.or.jp/english/html/overview/doc/1-STD-T73v1_2.pdf

[1-57] ETSI TR 102 892 V1.1.2 (2011-07)

Electromagnetic compatibility and Radio spectrum Matters (ERM):

SRD radar equipment using Wideband Low Activity Mode (WLAM) and operating in the frequency range from 24,05 GHz to 24,50 GHz: System Reference Document

http://www.etsi.org/deliver/etsi_tr/102800_102899/102892/01.01.02_60/tr_102892v010102p.pdf

[1-58] ETSI EN 300 440-1 V1.5.1 (2009-03)

Electromagnetic compatibility and Radio spectrum Matters (ERM): Short range devices: Radio equipment to be used in the 1 GHz to 40 GHz frequency range:

Part 1: Technical characteristics and test methods

http://www.etsi.org/deliver/etsi_en/300400_300499/30044001/01.05.01_60/en_30044001v010501p.pdf

[1-59] ETSI EN 300 440-2 V1.3.1 (2008-11)

Electromagnetic compatibility and Radio spectrum Matters (ERM): Short range devices: Radio equipment to be used in the 1 GHz to 40 GHz frequency range:

Part 2: Harmonized EN covering essential requirements of article 3.2 of the R&TTE Directive

http://www.etsi.org/deliver/etsi_en/300400_300499/30044002/01.03.01_40/en_30044002v010301o.pdf

[1-60] ETSI EN 302 288-1 V1.6.1 (2012-01)

Electromagnetic compatibility and Radio spectrum Matters (ERM): Short Range Devices: Road Transport and Traffic Telematics (RTTT): Short range radar equipment operating in the 24 GHz range:

Part 1: Technical requirements and methods of measurement

http://www.etsi.org/deliver/etsi_en/302200_302299/30228801/01.06.01_30/en_30228801v010601v.pdf

[1-61] ETSI EN 302 288-2 V1.6.1 (2012-01)

Electromagnetic compatibility and Radio spectrum Matters (ERM): Short Range Devices: Road Transport and Traffic Telematics (RTTT): Short range radar equipment operating in the 24 GHz range:

Part 2: Harmonized EN covering the essential requirements of article 3.2 of the R&TTE Directive

http://www.etsi.org/deliver/etsi_en/302200_302299/30228802/01.06.01_30/en_30228802v010601v.pdf

Chapter 2

[2-1] 東経 110 度 BS・CS デジタル放送の概要(総務省)

http://www.soumu.go.jp/main_sosiki/joho_tsusin/policyreports/joho_tsusin/catv_system/pdf/070315_1_sa1_3.pdf

[2-2] BS・CS 放送用衛星の差異, 衛星放送における偏波に関し図による直観的な説明が得られる, 東芝さんの WEB サイト“BS・CS 衛星の軌道と位置”

<https://www.toshiba.co.jp/tcn/eng/eng/catalog/pdf/catalog/73.pdf>

[2-3] A. Maxim, R. Poorfard, R. Johnson, P. Crawley, J. Kao, Z. Dong, M. Chennam, T. Nutt, D. Trager “A Fully-Integrated 0.13 μ m CMOS Low-IF DBS Satellite Tuner” 2006 Symposium on VLSI Circuits Digest of Technical Papers.

[2-4] A. Maxim, C. Turinici, M. Gheorge “A Dual Channel DVB-S/S2 Direct-Conversion Satellite TV Tuner with on-chip ADCs and Multiple DC Offset Cancellation Loops” IEEE SiRF 2008, pp.5-8.

[2-5] Sebastien Amiot, Gregory Bassement, Alexandre Daubenfeld, Vincent Fillatre, Eric Maurice, Frederic Mercier, Thierry Mevel, Yves Richard, and Jean-Robert Turret “A Low Power DVB-T/H Zero-IF Tuner IC Design in 0.25 μ m BiCMOS Technology for Mobile TV Reception” IEEE TRANSACTIONS ON BROADCASTING, VOL. 53, NO. 1, MARCH 2007, pp.434-440.

[2-6] Yuji Kasai, Kiyoshi Miyashita, Hidenori Sakanashi, Nonmembers, Eiichi Takahashi, Masaya Iwata, Masahiro Murakawa, Kiyoshi Watanabe, Yukihiko Ueda, Kaoru Takasuka, and Tetsuya Higuchi “An Image Rejection Mixer with AI-based

Improved Performance for WCDMA Applications” IEICE TRANS. ELECTRON., VOL. E89-C, No. 6 JUNE 2006, pp.717-724

[2-7] Guoguang Yan “The design of the Ku band Dielectric Resonator Oscillator” 2008 International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP 2008).

[2-8] Ulrich L. Rohde, and Ajay K. Poddar “STPCR Offers Integrable Alternatives Of DRO” 2008 IEEE Macrowave Theory and Techniques – Symposium Digest, pp.233-236.

[2-9] Liang Zhou, Rui Chu, Zhuo Wu, Wen-Yan Yin, and Jun-Fa Mao “Broad Tuning Low Noise Ku Band Dielectric Resonators Oscillators” IEEE 2008.

[2-10] Elias Nemer “Physical Layer Impairments in DVB-S2 Receivers” IEEE, 2004.

[2-11] 衛星放送の概要 H20年 総務省発行

P4 (参考)衛星の諸元

P11 BS放送とCS放送のテレビ受信装置 を引用.

[2-12] 監修: 遠藤敬二/泉 武博 “衛星放送の基礎知識-BS デジタル放送を中心として-“ 兼六館出版株式会社, 2001, pp.95

[2-13] Dennis Roddy “Satellite Communication 4th-ed” McGraw-Hill Companies, Inc. 2006, Chapter 12. “The Space Link” pp.351-397.

[2-14]EN 300 421 V1.1.2 (1997-08)

Digital Video Broadcasting (DVB): Framing structure, channel coding and modulation for 11/12 GHz satellite services

http://www.etsi.org/deliver/etsi_en/300400_300499/300421/01.01.02_60/en_300421v010102p.pdf

[2-15]ETSI EN 302 307 V1.2.1 (2009-08)

Digital Video Broadcasting (DVB): Second generation framing structure, channel coding and modulation systems for Broadcasting, Interactive Services, News Gathering and other broadband satellite applications (DVB-S2)

http://www.etsi.org/deliver/etsi_en/302300_302399/302307/01.02.01_60/en_302307v010201p.pdf

[2-16]ALBERTO MORELLO AND VITTORIA MIGNONE “DVB-S2: The Second Generation Standard for Satellite Broad-band Services” PROCEEDINGS OF THE IEEE, VOL. 94, NO. 1, JANUARY 2006, pp.210-227

[2-17] NE3210S01(CEL/NEC) Data-sheet

http://japan.renesas.com/products/microwave/transistor/low_gaashj/device/NE3210S01.jsp

[2-18] Behzad Razavi “RF Microelectronics” Prentice Hall PTR 1998, pp.44-45.

- [2-19] マスプロ電工製品情報のページ
<http://www.maspro.co.jp/pdfview/pdfview.php?tp=C&category=%A5%A2%A5%F3%A5%C6%A5%CA&class=BS%A1%A6110%8E%DFCS%A5%A2%A5%F3%A5%C6%A5%CA>
- [2-20] マスプロ電工製品情報のページ
 BS・110° CS アンテナ 120cm 110° CS 右左旋円偏波共同受信用 BC120K
http://www.maspro.co.jp/pdfview/manual_pdf/4334.pdf
- [2-21] マスプロ電工製品情報のページ
 BS・110° CS アンテナ 45cm 110° CS 右左旋円偏波ホーム受信用 BC45K
http://www.maspro.co.jp/pdfview/manual_pdf/4333.pdf
- [2-22] Cicero S. Vaucher, Oscar Apeldoorn, Melina Apostolidou, Jacco Dekkers, Andrew Faurrugia, Hasen Gul, Niels Kramer and Louis Praamsma, “Silicon-Germanium Ics for Satellite Microwave Front-ends” Proc. BCTM 2005, pp.196-203
- [2-23] Data sheet NJR2934E/35E/36E/37E/39E series, New Japan Radio Co.LTD
http://mc.njr.co.jp/eng/products/vsat/ku-lnb/ext_1.html
- [2-24] J. Pekarik, D. Greenberg, B.Jagannathan, R. Groves, J.R. Jones, R.Singh, A.Chinthakindi, X. Wang, M. Breiwisch, D. Coolbaugh, P. Cottrell, J. Florkey, G. Freeman, R. Krishnasamy “RFCMOS Technology from 0.25um to 65nm: The State of the Art” Proc. CICC 2004, pp.217-224.
- [2-25] Frank Ellinger “Radio Frequency Integrated Circuits and Technologies” Springer Sience+Business Media, 2007, Chapter 7.4 “Wideband Amplifiers” pp.269-277.
- [2-26] Kiyoshi Miyashita “A Ku-band Down Converter with Perfect Differential PLL in 0.18um CMOS” IEEE International Symposium Circuit and Systems 2010 pp.4289-4292.
- [2-27] Yannis Tsividis “Operation and Modeling of The CMOS Transistor” McGraw-Hill Companies 1999.

Chapter 3

- [3-1] Edited by Giovanni Crupi and Dominique M.M.-P. Schreurs “Microwave De-embedding from Theory to Applications” Academic Press Publication 2013, pp.1-12.
- [3-2] M.C. A.M.Koolen, J.A.M.Geelen and M.P.J.G.Versleijen “An Improved De-Embedding Technique for On-Wafer High-Frequency Characterization” IEEE Bipolar Circuits and Theory Meeting (BCTM) 1991, pp.188-191.
- [3-3] Reydezel Torres-Torres, Roberto Murphy-Arteaga, and J. Apolinar

Reynoso-Hernandez “Analytical Model and Parameter Extraction to Account for the Pad Parasitics in RF-CMOS” IEEE Transaction on Electron Devices vol. 52. No7. July 2005, pp.1335-1342.

[3-4] Troels Emil Kolding “On-Wafer Calibration Techniques for Giga-Hertz CMOS Measurement” Proc. IEEE 1999 International Conference on Microelectronic Test Structures, Vol12, March 1999, pp.105-110

[3-5] Ju-Young Kim, Min-Kwon Choi, and Seonghearn Lee “A Thru-Short-Open De-embedding Method for Accurate On-Wafer RF Measurements of Nano-Scale MOSFETs” Journal of Semiconductor Technology and Science Vol12, No1, March, 2012, pp.53-58

Chapter 4

[4-1] 森英二 “マイクロウェーブ技術入門講座[基礎編]” CQ 出版社, 2003 年

[4-2] 中島将光 ”マイクロ波工学 基礎と原理“ 森北出版株式会社, 1975 年

[4-3] 相川正義・大平孝・徳満恒雄・広田哲夫・村口正弘 “モノリシックマイクロ波集積回路(MMIC)” 電子情報通信学会, 平成 8 年

[4-4] Syed V. Ahamed, and Victor B. Lawrence “Design and Engineering of Intelligent Communication Systems” Kluwer Academic Publishers, 1997, pp.278-283.

[4-5] Edited by Richard K. Ulrich and Leonard W. Schaper “Integrated Passive Component Technology” IEEE press, A John Wiley & Sons, Inc 2003

[4-6] Ali M. Niknejad “Electromagnetics for High-speed Analog and Digital Communication Circuits” Cambridge University Press. 2007, pp.265-272.

[4-7] Thomas H. Lee. “Planar Microwave Engineering – A Practical Guide to Theory, Measurement, and Circuits” Cambridge University Press. 2004, pp.158-176.

[4-8] M.A.R. Gunston “Microwave Transmission Line Impedance Data” Noble Publishing Corporation 1997.

[4-9] Inder Bahl “Lumped Elements for RF and Microwave Circuits” Artech House 2003. Chapter 14 “Microstrip Overview” pp.429-465.

[4-10] Sorin Voinigescu “High-Frequency Integrated Circuit” Cambridge University Press 2013, pp .301-304.

[4-11] Wolfgang Durr, Uwe Erben, Andreas Schuppen, Harry Dierich and Hermann Schumacher “Investigation of Microstrip and Coplanar Transmission Line on Lossy Silicon Substrate without Backside Metalization” IEEE Transactions on Microwave Theory and Techniques, vol.46, No5, May 1998.

[4-12] Xiaoxiong Gu, Turlapati, Bing Dang, Cornelia K. Tsang, Paul S. Andry, Timothy O. Dickson, Michael P. Beakes, John U. Knickerbocker, and Daniel J. Friedman

- “High-Density Silicon Carrier Transmission Line Design for Chip-to-Chip Interconnects” IEEE Electrical Performance of Electronic Packaging and Systems (EPEPS) pp.27-30, 2011.
- [4-13] D.A.A. Mat, R.K. Pokharel, R.Sapavi, H. Konaka and K. Yoshida “High-Q SWCPL for CMOS millimeter-wave technology” IEICE Electronics Express, Vol.9, No.15, pp.1284-1289. 2012.
- [4-14] T.S. D. Cheung and J.R.Long “Shielded passive devices for silicon-based monolithic microwave and millimeter-wave integrated circuits,” IEEE Journal of Solid-State Circuits, vol.41, no.4, pp.1183-1200, May 2006.
- [4-15] Y. Tsukui, H.Asada, C.Han, K.Okada, and A. Matsuzawa, “Area reduction of millimeter-wave CMOS amplifier using narrow transmission line,” Proceeding Asia Pacific Microwave Conference (APMC), Melbourne, Dec. 2011.
- [4-16] C.H. L. Ivan, H. Tanimoto, and M. Fujishima “Characterization of high Q transmission line structure for advanced CMOS process,” IEICE Transaction Electron, Vol.E89-C, no.12, Dec. 2006.
- [4-17] Lai Chee-Hong Ivan, Inui Chiaki and Fujishima “CMOS on-chip stacked Marchaned balun for millimeter-wave applications” IEICE Electronics Express, vol.4, No.2, pp.48-53.
- [4-18] Hideki Hasegawa, Mieko Furukawa, and Hisayoshi Yanai “Properties of Microstrip Line on Si-SiO₂ Systems” IEEE Transaction on Microwave and Theory and Techniques, vol.19, No.11, November 1971.
- [4-19] Chengzhi Zhou, and H.Y.David Yang “Design Considerations of Miniaturized Least Dispersive Periodic Slow-Wave Structure” IEEE Transaction on Microwave and Theory and Techniques, vol.58, No.2, February 2008.
- [4-20] Mark I. Montrose=著/出口 博一・田上 雅照”プリント回路の EMC 設計”オーム社 pp.48-49.
- [4-21] 杉本茂樹, 神垣哲也, 上條浩幸 “半導体プロセス技術の進歩と課題” 東芝レビューvol.59, no.8, 2004.
- [4-22] Inigo Gutierrez, Juan Melendez and Erik Hernandez “Design and Characterization of Integrated Varactors for RF Applications” Jhon Wiley and Sons Ltd, 2006
- [4-23] Frank Ellinger “Radio Frequency Integrated Circuits and Technologies” Springer 2007, pp.196-204.
- [4-24] Howard C. Loung and Gerry C. T. Leung “Low-Voltage CMOS RF Frequency Synthesizers” Cambridge University Press, 2004, pp.66-71.
- [4-25] Thomas H. Lee “Planar Microwave Engineering – A practical guide to theory,

- measurements and circuits” Cambridge University Press, 2004, pp.146-147.
- [4-26] Gye-An Lee, Darioush Agahi and Franco de Flaviis “On-chip spiral inductor in flip-chip technology” International Journal of Microwave and Wireless Technologies, 2009, 1(5), 431-440 Cambridge University Press and European Microwave Association, 2010.
- [4-27] Stephen H. Hall, Garrett W. Hall, and James A. McCall “High-speed Digital System Design – A Handbook of Interconnect Theory and Design Practices” John Wiley & Sons, Inc 2000, pp.74-90.
- [4-28] J.Craninckx, M. Steyaert “Wireless CMOS Frequency Synthesizer Design” Kluwer Academic Publishers 1998, pp.53.
- [4-29] Bernardo Leite, Eric Kerherve, Jean-Bapriste, and Dider Belot “Transformer Topologies for mmW Integrated Circuit” Euma 2009, pp.181-184
- [4-30] 公開特許公報 特開 2012-134354 “変成器” 出願人 旭化成エレクトロニクス株式会社, 発明者 宮下清

Chapter 5

- [5-1] F. Benabdeljelil, G. Jacquemod, W. Tatinian, P. Lucchi, M. Borgarino, and L. Carpineto “Comparison between RTW VCO and LC QVC 12 GHz PLLs” New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International, pp.94-96
- [5-2] Davide Resca, Rafael Cignani, Corrado Florian, Andrea Biondi and Francesco Scappaviva “A Q/Ku-K band MMIC double-balanced subharmonic diode ring mixer for satellite communications in GaAs pHEMT technology” International Journal of Microwave and Wireless Technologies, EuMA, 2014
- [5-3] Cicero S. Vaucher, Oscar Apeldoorn, Melina Apostolidou, Jacco Dekkers, Andrew Faurrugia, Hasen Gul, Niels Kramer and Louis Praamsma, “Silicon-Germanium Ics for Satellite Microwave Front-ends” Proc. BCTM 2005, pp.196-203
- [5-4] A. Maxim, M. Gheorghe, and D. Smith “A Single Conversion SiGe BiCMOS Satellite TV LNB Front-End Using an Image Reject Mixer and Calibrated Fell-Rate VCO” Proc. CICC 2007, pp.97-100
- [5-5] Zhiming Deng, Jiashu Chen, Jason Tsai, and Ali M. Niknejad “A CMOS Ku-band Single Conversion Low-Noise Block Front-End for Satellite Receivers” Proc. RFIC 2009, pp.135-138.
- [5-6] S.T. Nicolson and S.P. Voinigescu “Methodology for Simultaneous Noise and Impedance Matching in W-Band LNAs” Proc. Compound Semiconductor Integrated Circuit Symposium, 2006 IEEE Nov. 2006, pp.12-15.
- [5-7] Terry Yao, Michael Q. Gordon, Kieth K. W. Tang, Ming-Ta Tang, Peter Schvan

and Sorin. Voinigescu “Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio” IEEE JSSC vol. 42, May 2007, pp.1044-1057.

[5-8] Barrie Gilbert “A precise four-quadrant multiplier with subnanosecond response” IEEE JSSC vol3,issue:4 1968, pp.365-373.

[5-9] 宮下清 “掛け算器” 特開 2002-368560

[5-10] 河合誠太郎, 眞木翔太郎, 岡田健一, 松澤昭 “カレントブリーディングミキサを用いた 60GHz 帯受信機” 2014 年電子情報通信学会 総合大会, C-12-19, Mar. 2014.

[5-11] Sangho Shin, Kwyro Lee, and Sung-Mo Kang “Low-Power 2.4GHz CMOS Frequency Synthesizer with Differentially Controlled MOS Varactors” Proc. ISCAS 2006, pp.553-556.

[5-12] Corey Petersen, Paul Cheung, Tae-Song Chung, Weiwei Guo, Kou-Hung Loh, Kiyoshi Miyashita, Lena Pycior, Moises Robinson, and Koji Tomioka “A 3-5.5V CMOS 32Mb/s Fully Integrated Read Channel for Disk-Drives” Proc. CICC 1993, pp.10.2.1-10.2.4

[5-13] Kiyoshi Miyashita, “A Plastic Packaged Ku Band LNB with Very High Susceptibility to Supply PLL in 0.18 μ m CMOS” SiRF-2010, pp.188-191

Chapter 6

[6-1] Theodoros S. Rappaport, Shu Sun, Rimma Mayzus, Hang Zhao, Yaniv Azar, Kebin Wang, George N. Wong, Jocelyn Schulz, Mathew Samimi, and Felix Gutierrez “Millimeter Wave Mobile Communications for 5G Cellular: It Will Work!” IEEE access vol.1, pp.335-349, 2013

[6-2] Wonil Roh, Ji-Yun Seol, JeongHo Park, Byunghwan Lee, Jaekon Lee, Yungsoo Kim, Jaeweon Cho, Kyungwhoon Cheun, and Farshid Aryanfar “Millimeter-Wave Beamforming as an Enabling Technology for 5G Cellular Communications: Theoretical Feasibility and Prototype Results” IEEE Communications Magazine vol. 52, pp.106-113, February 2014

[6-3] Ralph H. Rashofer, “Functional Requirements of Future Automotive Radar Systems” EuMA 2007, pp.1538-1541, 2007

[6-4] 高橋 慶, 青柳 靖 “26 GHz 帯車載 UWB (Ultra Wide-Band) レーダの開発” 古河電工時報第 125 号 (平成 22 年 2 月) pp.1-6
<http://furukawa.co.jp/jiho/fj125.htm>

[6-5] S. Mann, S. Lindner, F. Barbon, S. Linz, A. Talai, R. Weigel and A. Koelpin “A Tank Level Sensor Based on Six-Port Technique Comprising a quasi-TEM Waveguide” IEEE WiSNet, pp.4-6, 2014

[6-6] Brian S. Jensen, Tom K. Johansen and Vitaliy Zhuebenko “A 24GHz Integrated

- SiGe BiCMOS Vital Signs Detection Radar Front-end” IEEE IMOC 2013, pp.1-4, 2013
- [6-7] Ping-Yi Wang, Yun-Chun Shen, Min-Chih Chou, Kai-Hsin Chuang, Yin-Cheng Chang, Da-Chiang Chang, and Shawn S. H. Hsu “Design of 24GHz CMOS VCO Using Armstrong Topology with Asymmetric Transformer” IEEE APMC-2014, pp.956-958, 2014
- [6-8] Dongxu Yang, Hongrui Wang, Daijie Zeng, Hongda Zheng, Li Zhang, and Zhiping Yu “ Design of a 24GHz Low Phase-Noise, Wide Tuning-Range VCO with Optimized Switches in Capacitor Array and Bias Filtering Technique” IEEE ICSICT 2010, pp.696-698, 2010
- [6-9] Jaemo Yang, Choul-Young Kim, Dong-Wook Kim, and Songcheol Hong “Design of a 24-GHz CMOS VCO with an Asymmetric-Width Transformer” IEEE Transaction on circuits and systems-II, vol.57, No.3, pp.173-177, March 2010
- [6-10] J. F. Osorio, et al., “A 21.7-to-27.8GHz 2.6-Degrees-rms 40mW Frequency Synthesizer in 45nm CMOS for mm-Wave Communication Applications”, IEEE ISSCC 2011, pp.278~279, 2011
- [6-11] Hon, M.: Ying Chen: Mouthaan, K., “Design Considerations for a 30 GHz Differential Colpitts VCO with High fosc/fT Ratio in 0.35m SiGe BiCMOS,” IEEE APMC 2009, pp.1573-1576, 2011
- [6-12] Yin Fei Meng, Brian M. Frank, Ahmed-ElGabalay “A Novel Variable Inductor-Based Differential Coplitts VCO Design with 17% Frequency Tuning Range for 30 and 60 GHz Applications” IEEE IMS 2014, pp.1-4, 2014
- [6-13] To-Po Wang, “A CMOS Colpitts VCO Using Negative-Conductance Boosted Technology,” Circuits and Systems I: IEEE Transactions on, vol.58, no.11, pp.2623-2635, Nov. 2011.
- [6-14] D.B.Leeson, “A Simple Model of Feed Back Oscillator noise Spectrum” Proceeding of the IEEE vol. 54, No.2, pp.329-330, 1966
- [6-15] Stephen H. Hall, Garrett W. Hall, and James A. McCall “High-speed Digital System Design – A Handbook of Interconnect Theory and Design Practices” John Wiley & Sons, Inc, pp.74-90, 2000
- [6-16] Lai Chee-Hong Ivan, Inui Chiaki and Minoru Fujishima “CMOS on-chip stacked Marchaned balun for millimeter-wave applications” IEICE Electronics Express, vol.4, No.2, pp.48-53, 2007
- [6-17] Yannis Tsividis “Operation and Modeling of the CMOS Transistor” second edition, McGraw-Hill companies, pp.8, 1999
- [6-18] Behzad Razavi “A Study of Injection Locking and Pulling in Oscillators” IEEE J. Solid-Sate Circuits, vol.39, no.9, pp.1415-1424, Sep. 2004.

- [6-19] Kiyoshi Miyashita, "A Ku-Band Down-Converter with Perfect Differential PLL in 0.18 μ m CMOS." IEEE ISCAS-2010, pp. 4289-4292, 2010
- [6-20] Jongsuk Lee and Young Moon "A W-band VCO using center-tapped basic inductor in 65nm CMOS" IEEE ISOC 2013, pp.127-129, 2013
- [6-21] Sangho Shin, Kwyro Lee and Sung-Mo Kang "Low-Power 2.4GHz CMOS Frequency Synthesizer with Differentially Controlled MOS Varactors" IEEE, ISCAS-2006, pp.553-556, 2006
- [6-22] Corey Petersen, Paul Cheung, Tae-Song Chung, Weiwei Guo, Kou-Hung Loh, Kiyoshi Miyashita, Lena Pycior, Moises Robinson, and Koji Tomioka "A 3-5.5V CMOS 32Mb/s Fully Integrated Read Channel for Disk-Drives" Proc. CICC 1993, pp.10.2.1-10.2.4, 1993
- [6-23] Kiyoshi Miyashita, "A Plastic Packaged Ku Band LNB with Very High Susceptibility to Supply PLL in 0.18 μ m CMOS" SiRF-2010, pp.188-191, 2010
- [6-24] Richard K. Ulrich and Leonard W. Schaper (ed.) "Integrated Passive Component Technology" IEEE-press 2003, pp.216-219, 2003
- [6-25] Roubik Gregorian, Gabor C, Temes "Analog Integrated Circuits – for signal processing-" John Wiley & Sons, Inc, pp.141-144, 1986
- [6-26] Uroschanit Yodprasit, Mizuki Motoyoshi, Ryuichi Fujimoto, Kyoya Takano and Minoru Fujishima "A-2.6mW 106-GHz Transmission Line Based Voltage-Controlled Oscillator Integrated in 65-nm CMOS Process" RWS 2011 pp.223-22, 2011
- [6-27] Hammad M. Cheema, Reza Mahmoudi and Arthur H. M. Van Roermund "60-GHz CMOS Phase-Lock Loops" Springer Science+Business Media B.V. 2010, pp.121

Contributions

Journals

1. 宮下清, 和泉亮 " FOM -191.6dBc/Hz を達成した Ka バンド帯完全差動 VCO の 0.18 μ m-CMOS プロセスでの実現" 電子通信学会和文論文誌 A(基礎・境界サイエティ) Vol. J98-A, No.9, September, 2015, pp.545-555,
2. 宮下清, 和泉亮 "0.18 μ m CMOS プロセスを使った 12GHz 帯衛星放送受信機用低雑音ブロックの開発" 電気学会論文誌 C (電子・情報・システム部門誌), Vol.134. No.11 2014 年 11 月 pp.1656-1663.
3. Yuji Kasai, Kiyoshi Miyashita, Hidenori Sakanashi, Nonmembers, Eiichi Takahashi, Masaya Iwata, Masahiro Murakawa, Kiyoshi Watanabe, Yukihiro Ueda, Kaoru Takasuka, and Tetsuya Higuchi "An Image Rejection Mixer with AI-based Improved Performance for WCDMA Applications" IEICE TRANS. ELECTRON., VOL. E89-C, No. 6 June, 2006, pp.717-724.

Conference Papers

1. Kiyoshi Miyashita "A 1.0V 31GHz differentially controlled CMOS VCO with 191.9dBc/Hz FOM" International Microwave Symposium (IMS) 2012, pp.1-3, IEEE.
2. Kiyoshi Miyashita "A 1.0V Ka-band LC-VCO for FMCW Radar" International Conference on Microwave, Radar and Wireless Communications (MIKON) 2012, IEEE
3. Kiyoshi Miyashita "A Ku-band down-converter with perfect differential PLL in 0.18 μ m CMOS" International Symposium on Circuit and Systems (ISCAS) 2010, pp.4289-4292, IEEE
4. Kiyoshi Miyashita "A plastic packaged Ku-band LNB with very high susceptibility to supply PLL in 0.18 μ m CMOS" Topical Meeting on Silicon Monolithic Integrated Circuit in RF Systems (SiRF) 2010, pp.188-191, IEEE
5. Sun, I.S.M: Wei Tung Ng: Mok, P.K.T: Mochizuki, H: Shinomura, K: Imai, H: Ishikawa, A: Saito, N: Miyashita, K: Tamura, S: Takasuka, K. "RF bipolar transistors in CMOS compatible technologies" Electron device meeting 2001, pp.108-111, IEEE.
6. Kiyoshi Miyashita, Susumu Ichikawa, Yoshihiro Nakao, Naoto Shimataka and Takuji Otuki "110MHz IF-baseband CMOS receiver for J-CDMA/AMPS application" International Symposium on Circuit and Systems (ISCAS) 2001, vol.4, pp.690-693, IEEE.
7. Peterson, C: Cheung, P: Tae-Song Chung: Weiwei Guo, Kou-Hung Loh, Kiyoshi

Miyashita, Pycior, L: Robinson, M: Tomioka, K. "A 3-5.5V CMOS 32Mb/s fully Integrated read channel for disk-drives" Custom Integrated Circuits Conference (CICC) 1993, IEEE, pp. 10.2.1-10.2.4

Patent

1. 宮下清 “掛け算器“ 特開 2002-368560
2. 宮下清 “差動ラッチ回路” 特開 2007-116257
3. 宮下清 “変成器” 特開 2012-134354

謝辞(Acknowledgment)

本研究を進めるに当たり、指導教官である九州工業大学 工学研究院 和泉 亮教授には、多くのご指導を頂き深く感謝致します。また副指導教官の九州工業大学 工学研究院 芹川 聖一 教授には、博士課程でのご指導のみならず、博士課程後期入学前から、色々ご助言・ご指導を頂きました。心より感謝申し上げます。そして本論文の審査において、貴重なご助言を頂いた九州工業大学 工学研究院 松本 聡 教授、中尾 基 教授に深く感謝致します。

九州工業大学 工学府 博士課程後期進学に関する、最初の相談に快く乗って頂いた、元九州工業大学責善会剣道部 顧問 ・九州工業大学前学長 下村 輝夫 名誉教授にも深く感謝致します。加えて私が九州工業大学で研究を始めるきっかけを作って下さった、九州工業大学 高樹 慶次 元教授 ・ (故)鹿毛 元助教授・九州工業大学 工学研究院 水波 徹 教授にも心より感謝申し上げます。

九州工業大学 工学府 博士課程後期への入学を許可して頂いた、旭化成エレクトロニクス、浜下 浩一氏・根本 謙二氏・上田 公大氏・斉藤 伸郎氏・三矢 伸司氏・市川 晋氏・多賀 史朗氏・内藤 正英氏に感謝致します。また論文投稿のご許可を頂いた 旭化成エレクトロニクス 経営企画部の皆様に感謝します。更には特許申請時に様々な角度からご助言・サポートを頂いた 旭化成研究開発本部 知的財産部 風間 進二氏に心より感謝申し上げます。加えて私の博士課程進学に理解を示して下さい下さった、旭化成エレクトロニクス ミックスドシグナル事業部 アナログ & RF 製品設計部・応用技術部の皆様にも感謝します。

第五章・第六章に関連して多くの議論を通じて、研究の完成にご協力頂いた、旭化成エレクトロニクス ミックスドシグナル事業部の 富岡 幸治氏・丸尾 章郎氏・Aristotle Coronel 氏に深く御礼申し上げます。

本研究をまとめるにあたりご助力頂いた、九州工業大学 工学研究院 電気電子

工学系 和泉研究室の皆さんに感謝します。

最後に、九州工業大学大学院 工学府 社会人博士課程後期在学期間中は週末の大半を論文完遂作業に費やしながらも、温かく応援してくれた 妻の真理・娘の結衣に深く御礼申し上げます。また 私をこの戸畑の地で産み育ててくれ、こうして九工大へと進学させてくれた、両親 宮下 喜代己・里枝と、姉の 宮下 玲子に心より感謝します。

以上の様に、本研究は多くの方のご支援、ご協力のもとに遂行されました。関係者の皆様に改めて深謝します。

Appendix

a) Matlab® code for Pad-Open-Short Deembedding

Matlab® code for PAD-OPEN-SHORT de-embedding

```
clear all, close all
```

```
clc
```

```
% Read Data
```

```
Z00=50;           % Reference Impedance
```

```
point=201;        % Number of Data Point
```

```
xmin=8.0e9;       % Start Frequency
```

```
xmax=40.05e9;    % Stop Frequency
```

```
ymin=0.0;         % Mimimum Y value of Y-parameters
```

```
% ymax=0.01;     % Maximimum Y value of Y-parameters
```

```
ymax=0.02;       % Maximimum Y value of Y-parameters
```

```
lmin=0.0e-9;     % Mimimum Y value of Inductance
```

```
% lmax=0.3e-9;   % Maximimum Y value of Inductance
```

```
% lmax=0.6e-9;   % Maximimum Y value of Inductance
```

```
% lmax=1.0e-9;   % Maximimum Y value of Inductance
```

```
lmax=2.0e-9;     % Maximimum Y value of Inductance
```

```
% lmax=2.5e-9;   % Maximimum Y value of Inductance
```

```
% lmax=5.0e-9;   % Maximimum Y value of Inductance
```

```
lddmin=lmin;     % Mimimum Y value of Inductance
```

```
lddmax=0.5*lmax; % Maximimum Y value of Inductance
```

```
% lddmin=0.0e-9; % Mimimum Y value of Inductance
```

```
% lddmax=0.15e-9; % Maximimum Y value of Inductance
```

```
% lddmax=0.30e-9; % Maximimum Y value of Inductance
```

```
% lddmax=0.60e-9; % Maximimum Y value of Inductance
```

```
% lddmax=1.0e-9; % Maximimum Y value of Inductance
```

```
qmin=0.0;        % Mimimum Y value of Q-factor
```

```
% qmax=10.0;     % Maximimum Y value of Q-factor
```

```
% qmax=25.0;     % Maximimum Y value of Q-factor
```

```
qmax=50.0;       % Maximimum Y value of Q-factor
```

```
% kmin=-1.0;     % Mimimum Y value of K-facor (Mutual Inductance)
```

```

kmin= 0.0;          % Mimimum Y value of K-facor (Mutual Inductance)
kmax=1.0;          % Maximimum Y value of K-facor (Mutual Inductance)

```

```

d=xlsread('la2_open.xls');      % Read Open Data
f=d(:,1);
w=((2*pi) .*f);
open=d(:,2:9);
d=xlsread('la3_pad.xls');      % Read Pad Data
pad=d(:,2:9);
d=xlsread('la4_short.xls');    % Read Short Data
short=d(:,2:9);
d=xlsread('lr8.xls');          % Read Measurement(Raw) Data
meas=d(:,2:9);

```

```

q=ones(point,1);
y0=q ./Z00;
z0=q .*Z00;
z0dd=(q .*Z00) .*2;
z0cc=(q .*Z00) ./2;

```

```

% Complex Matrix Generation
os11=(open(:,1)+i*(open(:,2)));
os12=(open(:,3)+i*(open(:,4)));
os21=(open(:,5)+i*(open(:,6)));
os22=(open(:,7)+i*(open(:,8)));
ms11=(meas(:,1)+i*(meas(:,2)));
ms12=(meas(:,3)+i*(meas(:,4)));
ms21=(meas(:,5)+i*(meas(:,6)));
ms22=(meas(:,7)+i*(meas(:,8)));
ps11=(pad(:,1)+i*(pad(:,2)));
ps12=(pad(:,3)+i*(pad(:,4)));
ps21=(pad(:,5)+i*(pad(:,6)));
ps22=(pad(:,7)+i*(pad(:,8)));
rs11=(short(:,1)+i*(short(:,2)));
rs12=(short(:,3)+i*(short(:,4)));
rs21=(short(:,5)+i*(short(:,6)));

```

```

rs22=(short(:,7)+i*(short(:,8)));

% Matrix Calculation
odelta6=(q+os11) .*(q+os22)-(os12 .*os21);
mdelta6=(q+ms11) .*(q+ms22)-(ms12 .*ms21);
oy11=y0 .*(((q-os11) .*(q+os22)+(os12 .*os21)) ./odelta6);
oy22=y0 .*(((q+os11) .*(q-os22)+(os12 .*os21)) ./odelta6);
oy12=y0 .*((-2) .*os12) ./odelta6);
oy21=y0 .*((-2) .*os21) ./odelta6);
my11=y0 .*(((q-ms11) .*(q+ms22)+(ms12 .*ms21)) ./mdelta6);
my22=y0 .*(((q+ms11) .*(q-ms22)+(ms12 .*ms21)) ./mdelta6);
my12=y0 .*((-2) .*ms12) ./mdelta6);
my21=y0 .*((-2) .*ms21) ./mdelta6);
pdelta6=(q+ps11) .*(q+ps22)-(ps12 .*ps21);
py11=y0 .*(((q-ps11) .*(q+ps22)+(ps12 .*ps21)) ./pdelta6);
py22=y0 .*(((q+ps11) .*(q-ps22)+(ps12 .*ps21)) ./pdelta6);
py12=y0 .*((-2) .*ps12) ./pdelta6);
py21=y0 .*((-2) .*ps21) ./pdelta6);
sdelta6=(q+rs11) .*(q+rs22)-(rs12 .*rs21);
sy11=y0 .*(((q-rs11) .*(q+rs22)+(rs12 .*rs21)) ./sdelta6);
sy22=y0 .*(((q+rs11) .*(q-rs22)+(rs12 .*rs21)) ./sdelta6);
sy12=y0 .*((-2) .*rs12) ./sdelta6);
sy21=y0 .*((-2) .*rs21) ./sdelta6);

% Y-parameter Extraction 'Open DeEmbeding'
y11=my11-oy11;
y22=my22-oy22;
y12=my12-oy12;
y21=my21-oy21;
y11r=real(y11);
y11i=imag(y11);
y12r=real(y12);
y12i=imag(y12);
y21r=real(y21);
y21i=imag(y21);
y22r=real(y22);

```

```

y22i=imag(y22);
my11r=real(my11);
my11i=imag(my11);
my12r=real(my12);
my12i=imag(my12);
my21r=real(my21);
my21i=imag(my21);
my22r=real(my22);
my22i=imag(my22);

sizeY = y11 .*y22 - y12 .*y21;
y11z = y22 ./sizeY;
y12z = ((-1) .*y12) ./sizeY;
y21z = ((-1) .*y21) ./sizeY;
y22z = y11 ./sizeY;

% Y-parameter Extraction 'Open-Short DeEmbedding'
y11a=sy11 - oy11;
y12a=sy12 - oy12;
y21a=sy21 - oy21;
y22a=sy22 - oy22;
sizeYa = y11a .*y22a - y12a .*y21a;
y11az = y22a ./sizeYa;
y12az = ((-1) .*y12a) ./sizeYa;
y21az = ((-1) .*y21a) ./sizeYa;
y22az = y11a ./sizeYa;
y11sz=(y11z - y11az);
y12sz=(y12z - y12az);
y21sz=(y21z - y21az);
y22sz=(y22z - y22az);
sizeYsz=y11sz .*y22sz - y12sz .*y21sz;
y11s = y22sz ./sizeYsz;
y12s = ((-1) .*y12sz) ./sizeYsz;
y21s = ((-1) .*y21sz) ./sizeYsz;
y22s = y11sz ./sizeYsz;
y11sr=real(y11s);

```

```

y11si=imag(y11s);
y12sr=real(y12s);
y12si=imag(y12s);
y21sr=real(y21s);
y21si=imag(y21s);
y22sr=real(y22s);
y22si=imag(y22s);

% Y-parameter Extraction 'Pad-Short-Open DeEmbeding'
y11b=my11-py11;
y12b=my12-py12;
y21b=my21-py21;
y22b=my22-py22;
sizeYb = y11b .*y22b - y12b .*y21b;
y11bz = y22b ./sizeYb;
y12bz = ((-1) .*y12b) ./sizeYb;
y21bz = ((-1) .*y21b) ./sizeYb;
y22bz = y11b ./sizeYb;
y11c=sy11-py11;
y12c=sy12-py12;
y21c=sy21-py21;
y22c=sy22-py22;
sizeYc = y11c .*y22c - y12c .*y21c;
y11cz = y22c ./sizeYc;
y12cz = ((-1) .*y12c) ./sizeYc;
y21cz = ((-1) .*y21c) ./sizeYc;
y22cz = y11c ./sizeYc;
y11d=oy11-py11;
y12d=oy12-py12;
y21d=oy21-py21;
y22d=oy22-py22;
sizeYd = y11d .*y22d - y12d .*y21d;
y11dz = y22d ./sizeYd;
y12dz = ((-1) .*y12d) ./sizeYd;
y21dz = ((-1) .*y21d) ./sizeYd;
y22dz = y11d ./sizeYd;

```

```

y11p1z=(y11bz - y11cz);
y12p1z=(y12bz - y12cz);
y21p1z=(y21bz - y21cz);
y22p1z=(y22bz - y22cz);
sizeY1z = y11p1z .*y22p1z - y12p1z .*y21p1z;
y11e = y22p1z ./sizeY1z;
y12e = ((-1) .*y12p1z) ./sizeY1z;
y21e = ((-1) .*y21p1z) ./sizeY1z;
y22e = y11p1z ./sizeY1z;
y11p2z=(y11dz - y11cz);
y12p2z=(y12dz - y12cz);
y21p2z=(y21dz - y21cz);
y22p2z=(y22dz - y22cz);
sizeY2z = y11p2z .*y22p2z - y12p2z .*y21p2z;
y11f = y22p2z ./sizeY2z;
y12f = ((-1) .*y12p2z) ./sizeY2z;
y21f = ((-1) .*y21p2z) ./sizeY2z;
y22f = y11p2z ./sizeY2z;
y11p = y11e - y11f;
y12p = y12e - y12f;
y21p = y21e - y21f;
y22p = y22e - y22f;
y11pr=real(y11p);
y11pi=imag(y11p);
y12pr=real(y12p);
y12pi=imag(y12p);
y21pr=real(y21p);
y21pi=imag(y21p);
y22pr=real(y22p);
y22pi=imag(y22p);

% Plot Y parameters
py11r=real(py11);
sy11r=real(sy11);
oy11r=real(oy11);
my11r=real(my11);

```

```

subplot (2,3,1)
semilogx(f,py11r,'y',f,sy11r,'c',f,oy11r,'b',f,my11r,'m',f,y11r,'g',f,y11sr,'r',f,y11pr,'k')
grid on
xlabel('Frequency in Hertz')
ylabel('Siemence')
title('Y-Parameters "Real part of Y11"')
legend('PAD','SHORT','OPEN','MEAS.','ExtO','ExtOS','ExtPSO')
axis ([xmin,xmax,ymin,ymax]) % axis ([xmin,xmax,ymin,ymax])

% Extract Inductance & Q value
L11R=abs(1 ./(w .*my11i));
L11E=abs(1 ./(w .*y11i));
L11S=abs(1 ./(w .*y11si));
L11P=abs(1 ./(w .*y11pi));
L22R=abs(1 ./(w .*my22i));
L22E=abs(1 ./(w .*y22i));
L22S=abs(1 ./(w .*y22si));
L22P=abs(1 ./(w .*y22pi));
subplot (2,3,2)
semilogx(f,L11R,'y',f,L11E,'c',f,L11S,'b',f,L11P,'m',f,L22E,'g',f,L22S,'r',f,L22P,'k')
grid on
xlabel('Frequency in Hertz')
ylabel('Inductance in Henry')
title('Inductance; Raw & Extract')
legend('L11R','L11E','L11S','L11P','L22E','L22S','L22P')
axis ([xmin,xmax,lmin,lmax])

Q11R=abs(my22i ./my22r);
Q11E=abs(y22i ./y22r);
Q11S=abs(y22si ./y22sr);
Q11P=abs(y22pi ./y22pr);
Q22R=abs(my11i ./my11r);
Q22E=abs(y11i ./y11r);
Q22S=abs(y11si ./y11sr);
Q22P=abs(y11pi ./y11pr);
subplot (2,3,3)

```



```

semilogx(f,Q11R,'y',f,Q11E,'c',f,Q11S,'b',f,Q11P,'m',f,Q22E,'g',f,Q22S,'r',f,Q22P,'k')
grid on
xlabel('Frequency in Hertz')
ylabel('Quality Factor')
title('Quality Factor; Raw & Extract')
legend('Q11R','Q11E','Q11S','Q11P','Q22E','Q22S','Q22P')
axis ([xmin,xmax,qmin,qmax])

% Single Port Extraction
s11_1port=ms11-((ms12 .*ms21) ./ (q+ms22));
z11_1port=((q+s11_1port) ./ (q-s11_1port)) .*z0;
L1_1port=imag(z11_1port) ./w;
Q1_1port=imag(z11_1port) ./real(z11_1port);
s22_1port=ms22-((ms12 .*ms21) ./ (q+ms11));
z22_1port=((q+s22_1port) ./ (q-s22_1port)) .*z0;
L2_1port=imag(z22_1port) ./w;
Q2_1port=imag(z22_1port) ./real(z22_1port);

% Y-parameter -> Z-parameter Conversion
delta2 =y11 .*y22-y12 .*y21;
z11 =y22 ./delta2;
z12 =(y12 .*(-1)) ./delta2;
z21 =(y21 .*(-1)) ./delta2;
z22 =y11 ./delta2;
zdd =z11-z12-z21+z22;
zcc =(z11+z12+z21+z22) .* (0.25);
delta2s=y11s .*y22s-y12s .*y21s;
z11s =y22s ./delta2s;
z12s =(y12s .*(-1)) ./delta2s;
z21s =(y21s .*(-1)) ./delta2s;
z22s =y11s ./delta2s;
zdds = z11s-z12s-z21s+z22s;
zccs =(z11s+z12s+z21s+z22s) .* (0.25);
delta2p=y11p .*y22p-y12p .*y21p;
z11p =y22p ./delta2p;
z12p =(y12p .*(-1)) ./delta2p;

```

```

z21p  =(y21p .*(-1)) ./delta2p;
z22p  =y11p ./delta2p;
zddp  = z11p-z12p-z21p+z22p;
zccp  =(z11p+z12p+z21p+z22p) .*(0.25);

% Y-parameter -> S-parameter Conversion
yd11=z0 .*y11;
yd12=z0 .*y12;
yd21=z0 .*y21;
yd22=z0 .*y22;
sd11=((q-yd11) .*(q+y22) + (yd12 .*yd21)) ./delta2;
sd12=(-2)*yd12) ./delta2;
sd21=(-2)*yd21) ./delta2;
sd22=((q+yd11) .*(q-y22) + (yd12 .*yd21)) ./delta2;
sdd11=(0.5)*(sd11-sd12-sd21+sd22);
scc11=(0.5)*(sd11+sd12+sd21+sd22);
% S-parameter -> Z-parameter Conversion
delta5=(q-sdd11) .*(q-scc11);
zdd11=(((q+sdd11) .*(q-scc11)) ./delta5) .*z0;
zcc11=(((q-sdd11) .*(q+scc11)) ./delta5) .*z0;
% ldde      =abs((imag(zdd11) ./w));
% lcce      =abs((imag(zcc11) ./w));

% Inductance Extraction
ldd_1port=abs(imag(z11_1port) ./w);
ldde      =abs((imag(zdd) ./w));
ldds      =abs((imag(zdds) ./w));
lddp      =abs((imag(zddp) ./w));
lcce      =abs((imag(zcc) ./w));
lccs      =abs((imag(zccs) ./w));
lccp      =abs((imag(zccp) ./w));

% Move to the bottom.
% subplot (2,3,5)
% % semilogx(f,ldd_1port,'y',f,ldde,'c',f,ldds,'b',f,lddp,'m',f,lcce,'g',f,lccs,'r',f,lccp,'k')
% semilogx(f,ldd_1port,'y',f,ldde,'c',f,ldds,'b',f,lddp,'m',f,lse,'g',f,lss,'r',f,lsp,'k')

```

```

% grid on
% xlabel('Frequency in Hertz')
% ylabel('Inductance in Henly')
% title('Differential & Common-mode Inductance')
% % legend('Ldd_1port','Ldde','Ldds','Lddp','Lcce','Lccs','Lccp')
% legend('Ldd_1port','Ldde','Ldds','Lddp','Lse','Lss','Lsp')
% axis ([xmin,xmax,lddmin,lddmax])

% Q-factor Extraction
q1_1port=imag(z11_1port) ./real(z11_1port);
qdde=abs(imag(zdd) ./real(zdd));
qcce=abs(imag(zcc) ./real(zcc));
qdds=abs(imag(zdds) ./real(zdds));
qccs=abs(imag(zccs) ./real(zccs));
qddp=abs(imag(zddp) ./real(zddp));
qccp=abs(imag(zccp) ./real(zccp));
subplot (2,3,6)
semilogx(f,q1_1port,'y',f,qdde,'c',f,qdds,'b',f,qddp,'m',f,qcce,'g',f,qccs,'r',f,qccp,'k')
grid on
xlabel('Frequency in Hertz')
ylabel('Quality Factor')
title('Differential Quality Factor')
legend('Q1_1port','Qdde','Qdds','Qddp','Qcce','Qccs','Qccp')
axis ([xmin,xmax,qmin,qmax])

% Mutual Inductance Extraction
k3 =(ldde-lcce) ./(ldde+lcce);
% ks =(ldds-lccs) ./(ldds+lccs);
% kp =(lddp-lccp) ./(lddp+lccp);
% k =abs((ldde-lcce) ./(ldde+lcce));
% ks =abs((ldds-lccs) ./(ldds+lccs));
% kp =abs((lddp-lccp) ./(lddp+lccp));
k1 =(0.5)*(1+((ldde-lcce) ./(ldde+lcce)));
ks1 =(0.5)*(1+((ldds-lccs) ./(ldds+lccs)));
kp1 =(0.5)*(1+((lddp-lccp) ./(lddp+lccp)));
k2 =1+((ldde-lcce) ./(ldde+lcce));

```

```

ks2 = 1 + ((ldds - lccs) ./ (ldds + lccs));
kp2 = 1 + ((lddp - lccp) ./ (lddp + lccp));
lse = (ldde .* (0.5)) ./ (q + k1);
lss = (ldds .* (0.5)) ./ (q + ks1);
lsp = (lddp .* (0.5)) ./ (q + kp1);
subplot (2,3,4)
% semilogx(f,k1,'y',f,ks1,'c',f,kp1,'b',f,k2,'m',f,ks2,'g',f,kp2,'r',f,k3,'k')
semilogx(f,k1,'y',f,ks1,'c',f,kp1)
grid on
xlabel('Frequency in Hertz')
ylabel('Coupling Coefficient')
title('Mutual Inductance Extraction')
% legend('k1','ks1','kp1','k2','ks2','kp2','k3')
legend('k1','ks1','kp1')
% axis ([xmin,xmax,kmin,kmax])
axis ([xmin,xmax,0,1])

subplot (2,3,5)
% semilogx(f,ldd_1port,'y',f,ldde,'c',f,ldds,'b',f,lddp,'m',f,lcce,'g',f,lccs,'r',f,lccp,'k')
semilogx(f,ldd_1port,'y',f,ldde,'c',f,ldds,'b',f,lddp,'m',f,lse,'g',f,lss,'r',f,lsp,'k')
grid on
xlabel('Frequency in Hertz')
ylabel('Inductance in Henly')
title('Diff. & Comm. Inductance')
% legend('Ldd_1port','Ldde','Ldds','Lddp','Lcce','Lccs','Lccp')
legend('Ldd_1port','Ldde','Ldds','Lddp','Lse','Lss','Lsp')
axis ([xmin,xmax,lddmin,lddmax])

% Write to CSV ... Not Completed yet.
% L11_A = ('w','L11E','Q11E');
% header = {'frequency','inductance','Q-factor'}
% xlswrite('L11.xls','w','L11E','Q11E');

% l1 = (f(:,1), L11E(:,1), L22E(:,1));
% save l1.dat l1 -ascii -double;

```

```

leav=(L11E(:,1)+L22E(:,1))/2;
qeav=(Q11E(:,1)+Q22E(:,1))/2;
lsav=(L11S(:,1)+L22S(:,1))/2;
qsav=(Q11E(:,1)+Q22E(:,1))/2;
lpav=(L11P(:,1)+L22P(:,1))/2;
qpav=(Q11P(:,1)+Q22P(:,1))/2;
larm=leav-lsav;
% lesingle=ldde/2+larm*0.2;
% lssingle=ldds/2+larm*0.2;
% lpsingle=lddp/2+larm*0.2;
lesingle=ldde/2;
lssingle=ldds/2;
lpsingle=lddp/2;

save freq.dat f -ascii -double;
% save leav.dat leav -ascii -double;
% save qeav.dat qeav -ascii -double;
% save lsav.dat lsav -ascii -double;
% save qsav.dat qsav -ascii -double;
% save lpav.dat lpav -ascii -double;
% save qpav.dat pav -ascii -double;

save k1.dat k1 -ascii -double;
save kp1.dat kp1 -ascii -double;
save lesingle.dat lesingle -ascii -double;
% save lssingle.dat lssingle -ascii -double;
save lpsingle.dat lpsingle -ascii -double;
save qdde.dat qdde -ascii -double;

% save q22e.dat Q22E -ascii -double;

% Final plot

```

