

電気接触子への応用を目指した導電性ダイヤモンド膜の合成

坪田 敏樹[†] 濱山 知勇[†] 村上 直哉[†] 横野 照尚[†] 末永 知子[‡] 長畑 博之^{†‡}

[†]九州工業大学工学部 〒804-8550 福岡県北九州市戸畑区仙水町 1-1

[‡]熊本県産業技術センター 〒862-0901 熊本県熊本市東町 3-11-38

^{†‡}サンユー工業株式会社 〒141-0031 東京都品川区西五反田 3-9-23

E-mail: [†] tsubota@che.kyutech.ac.jp

あらまし 導電性ダイヤモンドを電気接触子に応用することを考えた。導電性 CVD ダイヤモンド膜をタングステン基板表面に合成した。その試料の表面形態、膜厚、電気抵抗値などを測定した。合成された膜の表面は、凹凸があり、電気接触子に好ましい形状であった。膜厚の合成時間依存性を測定した結果から、ダイヤモンドが析出するまでに炭化物層が形成されていることが示唆される。XRD 測定の結果から、析出物にダイヤモンド相が含まれていることが確認できた。押し付けた状態での電気抵抗値を測定した結果、未処理のタングステン基板と同程度かそれ以下の電気抵抗値を示した。今後、更なる詳細な実験が必要である。

キーワード 電気接触子, ダイヤモンド, コンタクト材料, テスト工程

Synthesis of electroconductive diamond film for application as electrical contact

Toshiki TSUBOTA[†] Tomoo HAMAYAMA[†] Naoya MURAKAMI[†] Teruhisa OHNO[†]
Tomoko Suenaga[‡] Hiroyuki NAGAHATA^{†‡}

[†] Faculty of Engineering, Kyushu Institute of Technology 1-1 Sensui-cho, Tobata-ku, Kitakyushu, 804-8550 Japan

[‡] Kumamoto Industrial Research Institute 3-11-38 Higashimachi, Kumamoto-shi, Kumamoto, 862-0901 Japan

^{†‡} Samyu Switch Co., Ltd. 3-9-23 Nishigotanda, Shinagawa-ku, Tokyo, 141-0031 Japan

E-mail: [†] tsubota@che.kyutech.ac.jp

Abstract We try to use electroconductive CVD diamond film as the material for electrical contact. Electroconductive CVD diamond film was synthesized on W plate. Surface morphology, thickness of the deposit, electrical resistance, and so on were measured. The surface morphology should be suitable for electrical contact. Before the deposition of diamond layer, carbide should be synthesized on the substrate. The electrical resistance at pressed condition was measured, and the values were similar to that of W plate, which is the substrate of this CVD process.

Keyword electrical contact, diamond, contact material, test process

1. 原稿用紙

1.1. はじめに

半導体製造プロセスは、集積回路を作製する前工程と、製造された集積回路をパッケージした後工程に大別される。それぞれの工程の最後に、製造された製品の全品検査がテスト工程として行われている。前工程の最後に行われるテスト工程では、プローブカードと呼ばれる（“カード”との呼称であるが、一般に大型の半球型である）器具が使用される。製造された回路の電極部分にプローブカードの電気端子を圧着させ、テスターと呼ばれる機器で診断する。後工程の最後に

行われるテスト工程では、IC ソケット（単にソケットとも呼ばれる）と呼ばれる器具が使用される。製造された製品をソケットに入れ、製品の電極に電気端子を圧着させ、テスターと呼ばれる機器で診断する。どちらのテスト工程も、原理的には同じ方法（電極に電気端子を圧着）で測定機器に接続するが、実際の測定対照の形状や状態が大きく異なるので、使用する材質や電気端子の形状は異なる。

プローブカードの場合、測定対象となる集積回路の電極部分は、アルミニウム Al で作製されている。また、非常に平坦な Si ウェハの表面に形成されているため、

高さ方向にも精密に配列された電気端子が要求される。このような事情と硬度や電気抵抗値を勘案して、主に針状のタングステン W が用いられる。IC ソケットの場合、測定対象の半導体素子の電極部分は、ハンダが被覆された銅で作製されている。また、電極の位置精度は高くないので、電気端子を押し付ける際に大きなストロークを必要とする。このような事情と加工精度と電気抵抗値を勘案して、主に BeCu 製のプローブピン（スプリングを内部に含んだ針状の形状）が用いられる。

実際の現場では、製品製造のために、繰り返し測定が行われる。繰り返し使用するうちに電気端子が劣化（繰り返し圧着による磨耗、電極の屑が付着することによる不良）すると、良品を不良と判断してしまうため、半導体素子製造に大きく影響を与える。

ダイヤモンドは、物質中最高の硬度を持ち、他の物質が付着しにくい特性を有する。純粋なダイヤモンドはバンドギャップが大きい電気絶縁体であるが、ホウ素 B をドーピングすることで p 型の導電性を発現することが知られている。ダイヤモンドが有する、これらの特性は、電気端子としての利用に適している。そこで、導電性ダイヤモンド膜を CVD 法により作製し、電気接触子としての特性を評価することを試みた。

2. 実験方法

ダイヤモンドの電気接触子としての特性を評価するにあたり、最初に板状の試料で評価することを試みた。本研究では、W 板 (5 mm×5 mm×0.25 mm) を CVD ダイヤモンド薄膜の基板として使用した。CVD 合成でのダイヤモンドの核発生密度を向上させる方法として一般的な傷付け処理を適用した。W 板をダイヤモンド粉末 (平均粒径 500 nm) を分散させたアセトン中に入れ、超音波洗浄器で傷付け処理を施した。その後、超音波洗浄器にてアセトンで洗浄した。傷付け処理した W 板をホットフィラメント CVD 装置に設置した。CVD 装置のチャンバーをロータリーポンプで減圧にした後、チャンバー内に、CH₄、H₂、H₂ で希釈した TMB (トリメチルボロン) をマスフローコントローラで所定量流し、流量調節バルブで圧力を設定した後、チャンバー内の Ta フィラメントに電流を流し加熱した。詳細な CVD 合成の条件を Table 1 に示す。本研究では、ダイヤモンド合成時間を変化させた。

電気抵抗値の測定は Fig. 1 に示す方法で測定した。試料を、金でメッキした Cu ブロックの間に挟み、Cu ブロック間に電圧を印加し、基板に対して直流電流を流した。流した電流の値と印加した電圧の値の関係から、電気抵抗値を求めた。この測定を、金でメッキした Cu ブロックの間にかかる力を変化させて行った。

測定の手順は以下の通りである。

1. 試料を金メッキした Cu ブロック (3 mm×3 mm×2 mm) の上に置いた。(Fig. 2(a))
2. もう一つの金メッキした Cu ブロックを試料の上に置いた。(Fig. 2(b))
3. 重りを Cu ブロックの上に置いた。(Fig. 2(c))

今回適用した電氣的な接続は、Fig. 1 に示すように単純である。直流電流は直流電源により金でメッキした Cu ブロックの間に流した。電流の値を制御し、電圧の値を測定した。電流の値と電圧の値をプロットした。I-V 直線の傾きから、オームの法則により電気抵抗の値を算出した。

この測定操作を、同じ条件で合成した 2 つの試料について、同じ条件で 5 回繰り返した。肉眼の試料の変化をデジカメで観察した。試料の表面状態及び断面の測定のために FE-SEM を使用した。試料の分析にラマンスペクトルを測定した。試料の硬度を測定するためにナノインデントを使用した。

3. 結果及び考察

CVD 合成実験前と合成後の試料の肉眼での状態を Fig. 3 に示す。表面が黒色の析出物で覆われていることが確認できる。

CVD 合成実験前と合成後の試料の SEM 像を Fig. 4 に示す。CVD 合成後には突起状の析出物が生成していることがわかる。この形状は典型的な CVD ダイヤモンド粒子の形状である。後工程の半導体テストプロセスの電気接触子の表面には、測定対象物の表面酸化膜を突き破るために、わざわざ突起状の形状を加工している。従って、CVD ダイヤモンド膜の、この形状を利用すれば、突起状の加工を行う必要がなく、電機接触子としては好ましい。CVD ダイヤモンド粒子の大きさが合成時間に依存していないのは、CVD 合成時におけるフィラメントと基板の距離が精密に制御できていないためであると考えられる。

CVD 合成後の試料の断面の SEM 像を Fig. 5 に示す。断面像からダイヤモンド膜の厚さを求め、合成時間依存性を Fig. 6 に示した。合成時間の増大に伴い、膜厚が増大していることがわかる。最小二乗法により求めた直線の傾きから、ダイヤモンド膜の成長速度は、 $0.825 \mu\text{m h}^{-1}$ と求められた。また、直線を外挿すると、合成の最初の約 11 min. はダイヤモンド膜が成長しないと予想される。基板に使用した、タングステンは、炭化物を生成することが知られているので CVD 合成の初期には炭化物を形成していることが考えられる。この界面における炭化物層の形成は、電気接触子として考慮すべき特性 (電気抵抗値、機械的強度) に大きな影響を与えると考えられるので、今後、詳細に調査する

必要がある。

析出させたダイヤモンド膜の硬さを調べるために、ナノインデントによる押し込み試験を行った。しかし、ダイヤモンド製のナノインデントの圧子が破損して硬度を測定することができなかった。けれども、この結果から、この試料のダイヤモンド膜は十分な硬度を有することはわかる。

合成した試料のラマンスペクトルを Fig. 7 に示す。高濃度にホウ素をドーピングした CVD ダイヤモンド膜で報告されているスペクトルと形状が類似している。したがって、ホウ素はドーピングされていると考えられる。

合成した試料の XRD 測定結果を Fig. 8 に示す。ダイヤモンド相に帰属されるピークが存在することが確認できる。従って、析出した物質中にはダイヤモンドが含まれていることがわかる。また、合成時間の増大に伴い、ダイヤモンド相に帰属されるピークが増大していることがわかる。

Fig. 2 に示した装置で、押し付けた状態の電気抵抗値を測定した結果を、Fig. 9 に示す。押し付ける力が増大するに伴い、電気抵抗値の値が急激に減少していることがわかる。

21.42 N で押し付けた状態の電気抵抗値の合成時間依存性を Fig. 10 に示す。ダイヤモンド膜を合成した試料の電気抵抗値の値は、合成前の W 基板の電気抵抗値の値と同程度であり、ダイヤモンド膜で被覆することが電気抵抗値を大幅に増大させる結果にはならないことがわかる。合成時間が 1 時間の試料では、合成前の W 基板より電気抵抗値の値が低減した。

接触状態の電気抵抗値は、経験的に式(1)に従うことが知られている。

$$R_c = K_c \cdot F_c^{-n} \quad (1)$$

R_c , F_c は、それぞれ、電気抵抗値(Ω)、押し付ける力(N)である。 K_c と n は係数と F_c にかかる次数である。(経験式であるため物理的根拠はなく、この式の右辺と左辺の単位はあわない。)

式(1)を変形して、

$$\ln(R_c) = -n \ln(F_c) + \ln(K_c) \quad (2)$$

したがって、 $\ln(R_c)$ vs $\ln(F_c)$ のプロットを行うことにより、直線関係が得られるのであれば、直線の傾きと y 切片の値から、 n と F_c を求めることができる。

$\ln(R_c)$ vs $\ln(F_c)$ のプロットを Fig. 11 に示す。いずれの合成時間の試料についても値直線関係が得られた。得られた直線関係から求めた n と F_c の値を Table 2 に示す。 n の値にそれほど大きな違いは見られず、合

成時間 4 時間の試料以外は 1 以下の値であった。式(1)から、 n の値が小さいということは、押し付ける力の増大に伴う電気抵抗値の減少幅が小さいことを意味する。ダイヤモンドが外力によって変形しにくいいため、外力が加わった際に、対象と実際に接触する面積の増大幅が少ないために n の値が小さいと考えられる。

4. 今後の課題

CVD ダイヤモンド膜を電気接触子の材料に適用することを考え、押し付けた状態での電気抵抗値の値を測定した。本研究室では、電気接触子に関する研究を行った前例がないため、試行錯誤で実験を行った。その結果として見えてきた今後の課題として、

・界面の測定

タングステンを基材として使用すると、炭化物を形成して、タングステン/炭化タングステン/ダイヤモンドの構造になる可能性がある。炭化タングステンは、硬くて導電率も高いが、脆い性質がある。したがって、電気接触子の構造材としては不適と考えられる。今後、基材と析出物の界面を調べる予定である。

・針状試料での測定

今回の実験では板状の試料で測定を行った。実用の形状に近づけるため、また、電気コンタクトの業界のこれまでの研究手法を参考とするために、針状の試料での測定を行う。針状とすることで前述の炭化物が脆い性質が顕著になる可能性がある。

・繰り返し押し付けの実験

実用化の場合、繰り返し押し付ける操作を行う。そのため、繰り返し押し付けの操作に対する耐久性を調査する必要がある。基材とダイヤモンド膜の界面の付着力が大きいことが要求されるので、この点からも界面の調査は重要である。

・ダイヤモンド合成条件の最適化(前処理も含めて)

ダイヤモンド膜を合成する条件を変化させて電気抵抗値の低減を試みる。もし界面に炭化物が形成されることが問題となる場合には、改善のための前処理方法も検討する。

Table 1 Synthesis condition of CVD diamond film

H ₂	200 ccm
CH ₄	2 ccm
1000 ppm TMB/H ₂	20 ccm
(TMB in gas source)	(90.1 ppm)
substrate material	W(tungsten)
filament material	Ta(φ 0.25 mm)
	φ 2.5 mm × 6 turns
pressure	80 Torr
electrical power	250 W
synthesis time	1-4 h

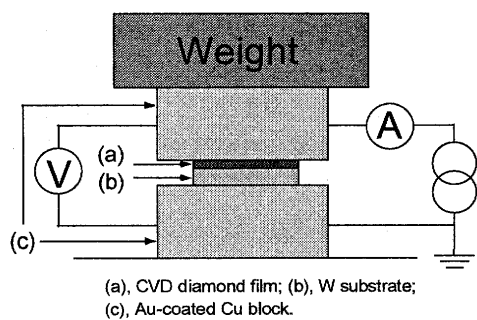


Fig. 1 The measurement of electrical resistances for the samples.

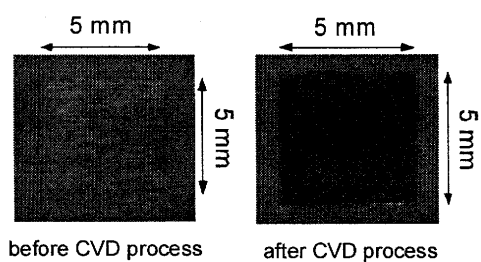


Fig. 3 W plates before the CVD process and after CVD process.

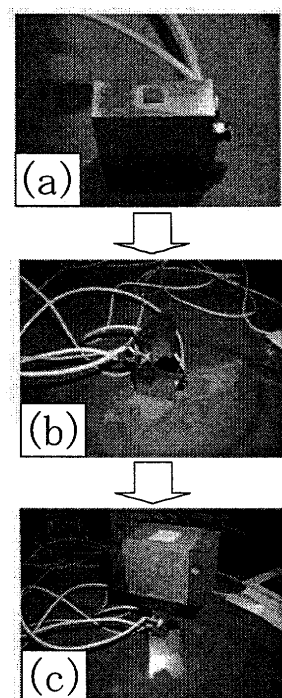


Fig. 2 Set up for the measurement of electrical resistance.

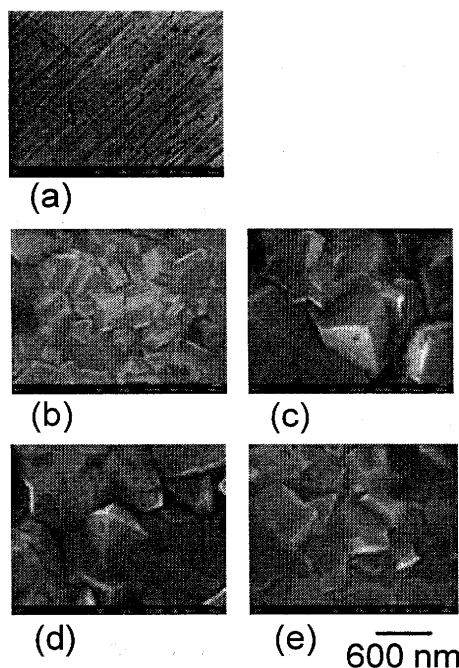


Fig. 4 The SEM images of the samples. (a), after scratch process; (b), 1 h; (c), 2 h; (d), 3 h; (e), 4 h.

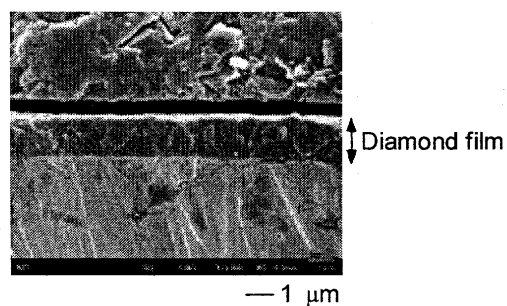


Fig. 5 SEM image of cross section for the sample

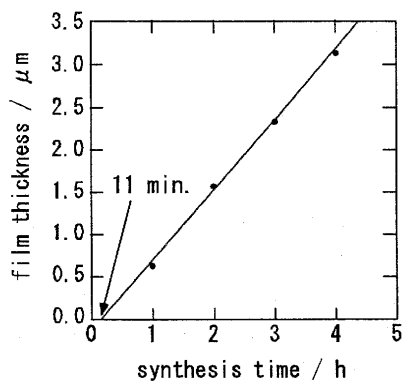


Fig. 6 Time dependence of film thickness.

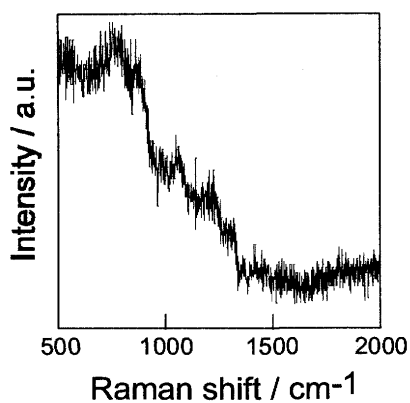


Fig. 7 Raman spectrum of the sample synthesized for 3 h.

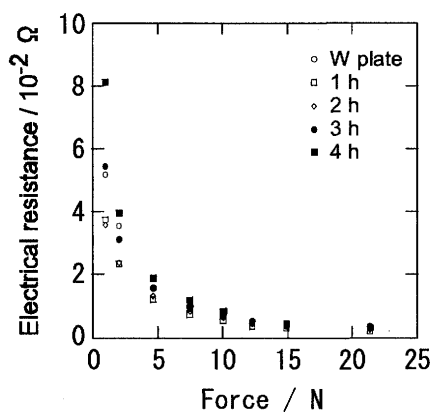


Fig. 9 Pressure dependencies of electrical resistance.

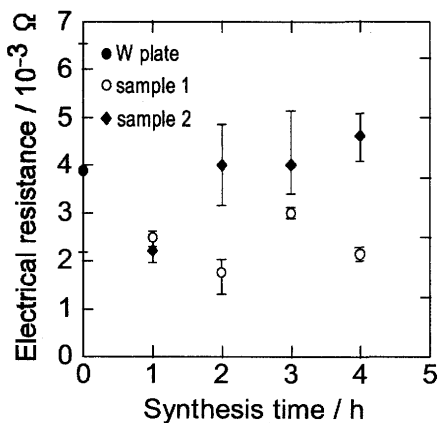


Fig. 10 Electrical resistances at 21.42 N.

Table 2 n and K_C of the samples

Sample	n	K_C
W plate	0.9336	0.0586
1 h	0.9191	0.0422
2 h	0.8265	0.0403
3 h	0.9088	0.0575
4 h	1.0505	0.0846

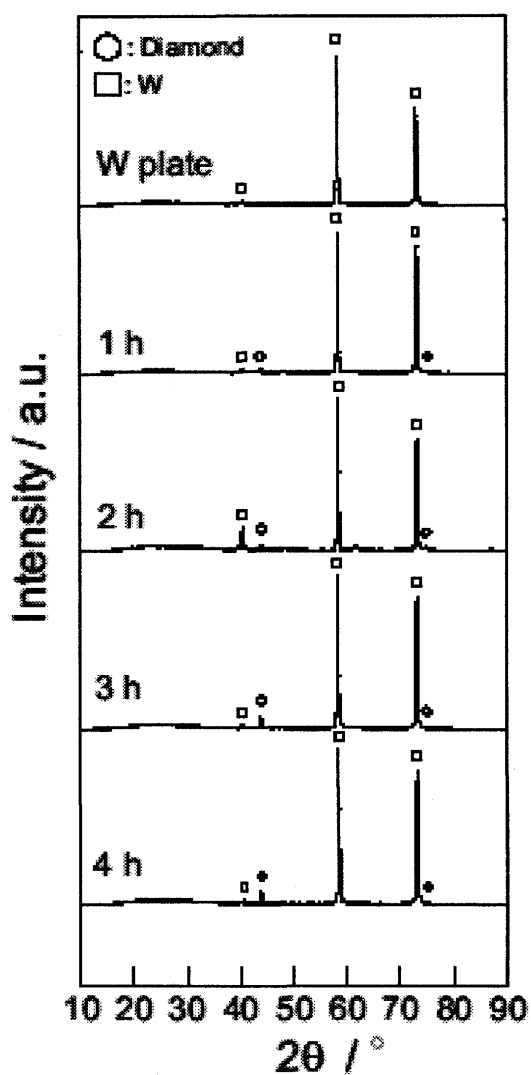


Fig. 8 X-ray diffraction patterns of the samples.

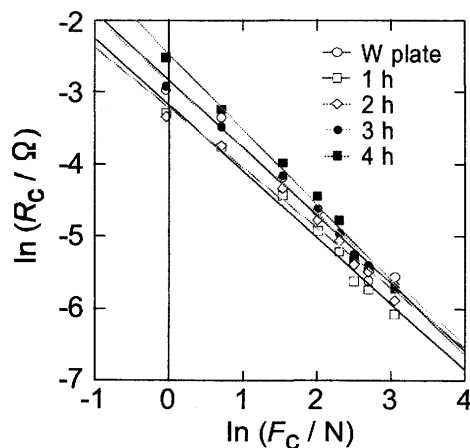


Fig. 11 Plots of $\ln(R_C)$ vs $\ln(F_C)$.