

博士論文

大規模非線形結合系を実現するための
時間軸情報処理集積回路に関する研究

九州工業大学

大学院生命体工学研究科 脳情報専攻

脳型集積システム研究室

11964008 上ノ原 誠二

2015 年度

目次

第 1 章	序論	1
1.1	研究の主旨	1
1.2	研究背景	2
1.3	目的	3
1.4	論文構成	4
第 2 章	しきい値結合写像モデルとその拡張モデル	5
2.1	モデルについて	5
2.2	1次元セルオートマトン	6
2.2.1	1次元 CA の実現方法	8
2.2.2	数値実験	11
2.2.3	2次元相互結合	13
2.3	まとめ	17
第 3 章	電圧サンプリング方式 (VSM) と電流サンプリング方式 (CSM) の原理とバラツキ耐性	21
3.1	VSM と CSM の原理	21
3.1.1	パルス幅変調信号を用いた電圧サンプリング方式 (VSM)	22
3.1.2	パルス位置変調信号を用いた電流サンプリング方式 (CSM)	23
3.2	VSM と CSM のバラツキに対する頑健性の比較	23
3.2.1	回路シミュレーション条件	23
3.2.2	容量値バラツキの影響	24

3.2.3	VSMにおけるアナログバッファ SF のバラツキの影響	26
3.2.4	CSMにおける PPC と VCCS のバラツキの影響	26
3.3	まとめ	29
第 4 章	製造バラツキに頑健な VSM 方式非線形変換集積回路の設計・試作・評価	31
4.1	オフセット電圧バラツキと電流値・容量値バラツキの影響	31
4.2	セル回路	35
4.2.1	提案コンパレータ回路を用いた非線形変換	35
4.2.2	容量値・電流値バラツキ補償 (CCC) 回路	37
4.3	試作 LSI の評価方法と評価結果	44
4.3.1	LSI 設計・試作	44
4.3.2	bit 精度の計算方法	44
4.3.3	試作コンパレータ回路の電圧・パルス幅変換特性の測定	45
4.3.4	非線形変換回路の測定	46
4.3.5	CCC 回路	47
4.4	まとめ	50
第 5 章	拡張しきい値結合写像モデルを実現する集積回路の設計・試作・評価	53
5.1	回路構成	53
5.2	しきい値結合写像の実行方法	54
5.3	CCC 回路の測定結果	56
5.4	時空間パターンの測定結果	64
5.4.1	アナログ電圧波形の場合	66
5.4.2	デジタル波形の場合 (1 次元 CA)	72
5.5	まとめ	75
第 6 章	考察	79
第 7 章	結論	81
参考文献		83

第 1 章

序論

1.1 研究の主旨

本論文は、製造バラツキに頑健な大規模非線形結合系を実現するための、時間軸情報処理集積回路に関する論文である。実数値をとる非線形現象を呈する複雑系は、集積回路技術の進展により高性能化が進むデジタルコンピュータ上で解析されてきた。これにより非線形システムで観測される現象の理解が進み、蓄積された知見を情報処理に役立てようという機運が高まっている。これらの系は、もともと連続値を扱うアナログシステムであるため、デジタル/アナログ変換の不要なアナログ回路で実装するのが効率的である。アナログ回路で大規模非線形結合系を実装した例としては、高いエネルギー効率で画像処理を行う振動子アレイ集積回路や、カオス現象を利用して最適化問題を有限時間内に解くカオスニューロンシステム等があり、アナログ回路のエネルギー効率の高さと、非線形現象を利用することの重要性が示されている。

しかしながら、大規模非線形結合系をアナログ集積回路として実装する際には、トランジスタの製造バラツキ等により非線形素子毎の特性がばらつくという問題がある。また、特性をハードウェア的に作りこむことで演算特性を実現するアナログ回路では、任意の非線形現象を再現することが困難である。任意の非線形変換を実現する方式としては、非線形電圧波形をパルス幅変調信号でキャパシタにサンプリングする電圧波形サンプリング方式が提案されている。

そこで本研究では、製造バラツキ補償回路を搭載した電圧波形サンプリング方式による大規模非線形結合系集積回路を提案し、0.25 ミクロン CMOS LSI 技術で設計・試作した。試作し

た回路を測定・評価するとともに、試作チップを用いた実験系で様々な時空間パターンを生成できることを示した。また、同回路で各種セルオートマトンが実現できることを示した。

1.2 研究背景

ある物理量を別な物理量に置き換え、演算を実行する機械をアナログ計算機と呼ぶ。アナログ計算機によるこの置き換えは、瞬時に行われるため、非常に高速である。その一方で、得られる結果の正確さは、アナログ計算機の構成要素の加工精度や外乱への頑健性により制限される。

アナログ計算機の歴史は古く、紀元前に発明された日時計や水時計がはじまりと言われている。金属の加工技術が向上し、精密な金属部品が製造可能になると、単純な日時計や水時計よりも複雑な機構を持つ、機械式のアナログ計算機が作られるようになった。はじめて作られた機械式のアナログ計算機は、天体運行を計算するためのものであり、一般にアナログ計算機が広く普及するのは、労働時間の管理が重要視されるようになる産業革命以降である。その後、真空管が登場するまで、機械式のアナログ計算機が広く用いられ、微分方程式を解く微分解析機 [1] や火器の弾道を計算する射撃式装置などが作られた。それらは主に軍や一部の研究機関で運用されていた。

1906年に3極真空管が発明され、電気信号の増幅作用が見い出されてから、電子式のアナログ計算機が作られるようになった。それにより、人間が演算に介入する要素が減り、より複雑な演算を機械式のものよりも高速に実行できるようになった。真空管の登場によって、アナログ計算機の実装面積は格段に小さくなったが、多次元の物理系をシミュレーションするには空間的、電力的な制約が大きく、半導体集積回路 (IC) の登場を待つ必要があった。

1958年にICが発明され、デジタル計算機が広く知られるようになった。デジタル計算機はアナログ計算機に比べ、演算速度が劣る反面、回路素子の加工精度に演算精度が左右されないこと、プログラムの書き換えで様々な演算が実行できる高い汎用性を持つことから、広く利用されるようになった。さらに、トランジスタの微細化が進み、1枚のウェハに集積出来るトランジスタ数が増加したことでデジタル計算機は安価になり、同時に高速・高機能を達成したことで爆発的に普及した。デジタル計算機の性能が向上したことから、脳や気象現象、化学反応等の高次元の非線形系の数値シミュレーションも可能になった [2-5]。さらに、実際の物理

システムから得られた大量の時系列データを解析し、その中に潜むルールや特徴を抽出する手法の開発や研究が盛んに行われるようになった [6–13]。また、S. Sinha らによって提案された、単純なアルゴリズムで豊富な非線形現象を示すしきい値結合写像モデル [14, 15] や Von Neumann と Ulam によって提案された、生物の自己増殖を模倣するモデルとして考案されたセルオートマトン (CA) 等の人工的な数学モデルも提案された。計算機の性能向上と数学的モデルの研究から、非線形システムで観測される現象の理解が進み、蓄積された知見を情報処理に役立てようという機運が高まっている [16–22]。

非線形システムはもともとアナログ値をとる物理システムであるため、デジタル/アナログ変換の不要なアナログ回路で実装するのが効率的である。実際にデジタル計算機の消費電力を問題視した DARPA (米国防総省高等研究計画局) が 2012 年に、デジタルプロセッサを用いない新たなコンピュータの仕組みを研究する UPSIDE (Unconventional Processing of Signals for Intelligent Data Exploitation) プロジェクトに着手している。一方で、アナログ回路で大規模非線形結合系を実装した例として、高いエネルギー効率で画像処理を行う振動子アレイ集積回路 [23] や、カオス現象を利用して最適化問題を有限時間内に解くカオスニューロンシステム [24] 等も開発されており、アナログ回路のエネルギー効率の高さと、非線形現象を利用することの重要性が示されている。

しかしながら、大規模非線形結合系をアナログ集積回路実装する際には、トランジスタの製造バラツキ等により非線形素子毎の特性がばらつくという問題がある。また、特性をハードウェア的に作りこむことで演算特性を実現するアナログ計算機では、任意の非線形特性を再現することが一般的に難しい。任意の非線形特性を実現する方式としては、非線形波形をパルス位置 (PPM)/パルス幅変調 (PMW) 信号でキャパシタにサンプリングする電圧/電流波形サンプリング方式が提案されており [25–28]、実際の回路で、時間波形の変更により非線形演算特性を変更できることが確認されているが、製造バラツキの影響による演算特性のバラツキの問題は、依然として残っている。

1.3 目的

アナログ計算機にはデジタル計算機に比べて、高速にかつ低消費電力で演算できるという特徴がある。一方で、その精度はデジタル回路よりも低く、汎用性を持たせることは難しい。精

度と汎用性を確保するためには、製造バラツキの影響による誤差の補償と、汎用性を両立する新しい回路構成が必要である。そこで、本研究では単純なアルゴリズムで多彩な時空間パターンが得られる「しきい値結合写像モデル」 [14, 15] に可変な結合強度を導入し、より自由度の高いモデルを提案する。製造バラツキ補償機能付きの大規模非線形結合系集積回路でそのモデルを実装し、0.25 ミクロン CMOS LSI 技術で設計・試作して、補償回路の有効性を実証する。さらに、入力する非線形電圧波形と結合強度の設定により、デジタル/アナログ双方の結合モデルを実現できる、高い柔軟性を有する回路であることを示す。

1.4 論文構成

本論文の構成を以下に示す。第 2 章では、しきい値結合写像モデルについて説明する。次に、このモデルに任意の値に設定可能な結合強度を導入した、拡張モデルについて説明する。その後、拡張したモデルを用いてセルオートマトン [29] が実現できることを、数値実験により示す。第 3 章では、しきい値結合写像を集積回路実装するために適した電圧/電流サンプリング方式による非線形変換の原理について説明し、両方式における回路素子のバラツキに対する影響の頑健性について、HSPICE シミュレーションにより検証する。第 4 章では、拡張しきい値結合写像モデルを実現するための、製造バラツキの影響に頑健なセル回路について述べ、試作した回路の測定結果を示す。第 5 章では、第 4 章で設計・試作したセルを複数配置した集積回路について述べ、その回路の試作・評価結果を述べる。第 6 章では、本研究で得られた結果について考察する。第 7 章で本研究の結論を述べる。

第2章

しきい値結合写像モデルとその拡張 モデル

2.1 モデルについて

しきい値結合写像モデルは、非線形結合写像格子 [30–33] に適応制御を取り入れたモデルとして提案された [14, 15, 34]. 最初のモデルは、図 2.1(a) に示すようにセルを並べた、1次元1方向結合モデルとして提案された。(参考文献 [14] では1次元相互結合についても議論されている。) 時間と空間は離散的で、各セルは連続状態変数値をとる。このモデルは、神経組織のシナプスのような生物システムや、非線形なバネが複数連なった鎖バネのような機械システムに酷似していると言われている [14]. このモデルには、非線形変換と緩和処理の2つの計算ステップがある。

しきい値結合写像モデルは、以下の式で非線形変換を行う：

$$x_i(n) = f_{non}(x_i(n-1)). \quad (2.1)$$

ここで $x_i(n)$ はセル i の状態変数、 n は離散時間、 $f_{non}(\cdot)$ は非線形関数である。 $f_{non}(\cdot)$ にはロジスティック写像やサークルマップ等 [35] が用いられる。もし $x_i(n)$ の値がしきい値 x_{th} よりも大きい場合、しきい値からの超過分 $\delta_i(n) = x_i(n) - x_{th}$ は以下の式に示すように隣のセルに送られ、 $x_i(n)$ は x_{th} にリセットされる。

$$x_i(n) \rightarrow x_{th}, \quad (2.2)$$

$$x_{i+1}(n) \rightarrow x_{i+1}(n) + \delta_i(n). \quad (2.3)$$

$\delta_i(n)$ を近傍に受け渡す式 (2.3) の動作を緩和処理と呼ぶ。緩和処理では非線形変換を行わず、 $\delta_i(n)$ の受け渡しのみを行う。また、 n は非線形変換を実行するときのみ増加し、緩和処理では増加しない。ここで、 $x_i(n)$ の更新では、1回の非線形変換後に複数回の緩和処理を行い、その後再び非線形変換する方法があり、緩和処理の回数に応じて様々な時空間パターンを示すことが知られている [36, 37]。本論文では、緩和処理の回数を l とする。

従来のしきい値結合写像では $\delta_i(n)$ を受け取る際に、この値を受け取るセルの数で割った値を、セルの内部状態に足し合わせていた（例えば、相互結合の場合は $1/2$ 倍）。本研究では、任意の結合強度 g を導入し、この値と $\delta_i(n)$ の積を取って、受けとるセルの状態変数に足し合わせる。さらに、図 2.1(b) に示すように、4近傍相互結合まで結合を拡張し、上下左右で非対称な g の値も設定できるものとする。以下ではこのモデルを「拡張しきい値結合写像モデル」と呼ぶ。拡張しきい値結合写像モデルでも、式 (2.1) と同様に非線形変換を行う：

$$x_{i,j}(n) = f_{non}(x_{i,j}(n-1)). \quad (2.4)$$

ここで i, j はセルの場所インデックスである。この場合、緩和処理を以下で定義する：

$$x_{i,j}(n) \rightarrow x_{th} + \delta_{sum}(n) \text{ if } x_{th} < x_{i,j}(n), \quad (2.5)$$

$$x_{i,j}(n) \rightarrow x_{i,j}(n) + \delta_{sum}(n) \text{ if } x_{th} \geq x_{i,j}(n). \quad (2.6)$$

ここで $\delta_{sum}(n)$ は

$$\delta_{sum}(n) = g_U \delta_{i,j+1}(n) + g_R \delta_{i+1,j}(n) + g_D \delta_{i,j-1}(n) + g_L \delta_{i-1,j}(n), \quad (2.7)$$

である。なお、 g_U, g_D, g_L, g_R は4近傍上下左右それぞれの結合強度である。

2.2 1次元セルオートマトン

セルオートマトン (CA) は、von Neumann と Ulam によって生物の自己増殖を模倣するモデルとして考案された [38]。CA は格子状に配置したセルが、その近傍のセルの状態と自身の状態に応じた単純な規則を実行する数学モデルである。

1次元 CA では、1つのセルの現在の状態と、それに隣接する2つのセルの状態値によって、そのセルの次の時刻の状態が決定される。セルの状態数のとり方についてはいくつかあるが、本研究では、0と1の2値とする。黒を0、白を1として図 2.2 を用いて説明する。セルの更新ルールは、隣接セルと自身の状態値の組み合わせ (000, 001, 010, \dots , 111 の計 $8(=2^3)$)

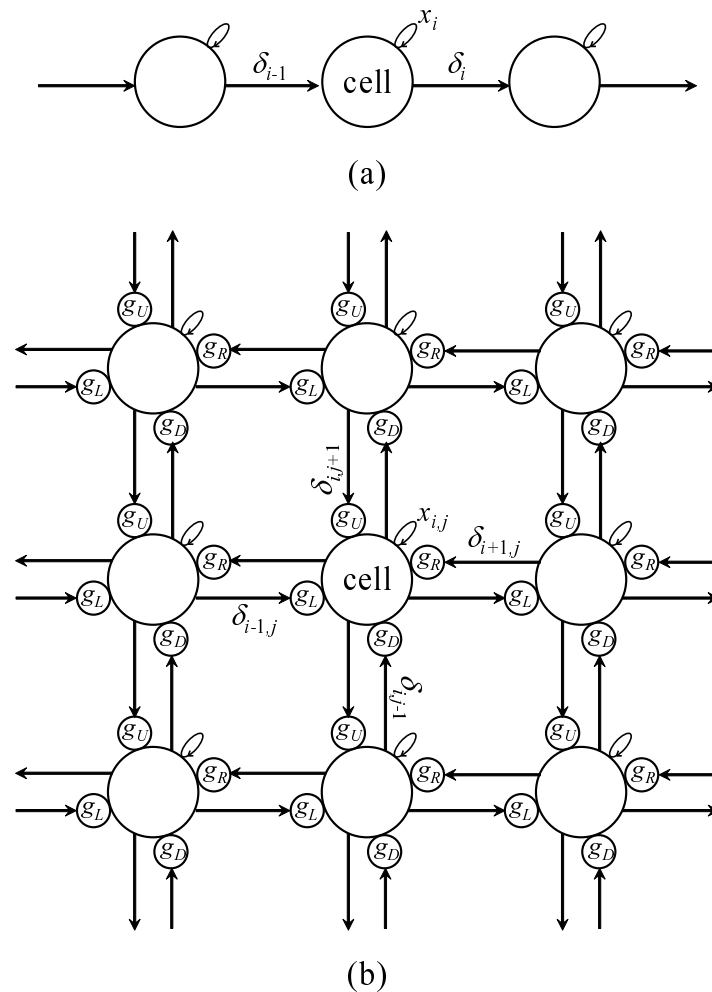
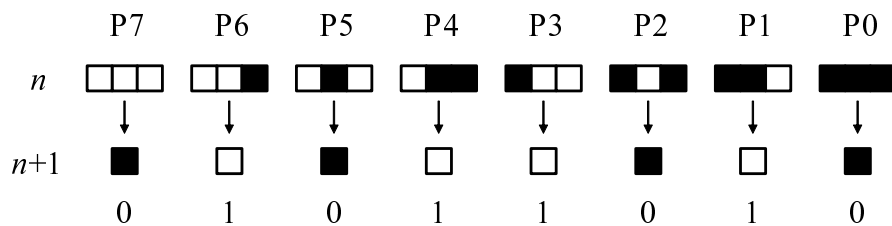


図 2.1 セルの結合パターン. (a) 1次元1方向結合モデル. (b) 2次元4近傍相互結合モデル.

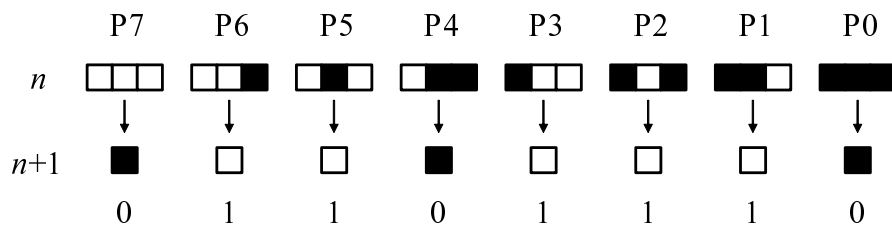
通り)にそれぞれ対応して定義される. これらの内部状態の組み合わせを 3 bits の 2 進数と見なし, 昇順に P0, P1, P2, ..., P7 と定義する. これらの状態に対応するルールで更新されたセルは次の時刻 ($n + 1$) で 0 か 1 の状態をとるため, 計 $256 (= 2^8)$ 通りの更新ルールとその結果からなる集合がある. この集合は, P0, P1, P2, ..., P7 で更新した後の状態値を右から順番に並べた 8 bits の 2 進数を 10 進数で表した, 数字を冠する名前と呼ばれる (例えば 01011010 は 10 進数にすると 90 であるため, Rule90 と呼ばれる).

本節では, 拡張しきい値結合写像モデルを用いて CA が実現できることを数値実験により示す. 数値実験ではフラクタル図形として知られるシェルビンスキーのガスケットと同じ時空間パターンが得られる Rule90 と, 万能チューリングマシンと等価であることが証明されている



01011010 = Rule 90

(a)



01101110 = Rule 110

(b)

図 2.2 1次元セルオートマトンのセルの更新ルール. (a) Rule90, (b) Rule110.

Rule110 [39] を，拡張しきい値結合写像モデルで実現する．

2.2.1 1次元 CA の実現方法

1次元 CA を図 2.3 の 1次元相互結合ネットワークで実現する．この場合，緩和処理の回数 l は 1，非線形変換後の $x_i(n)$ は 0 もしくは 1 の値をとるものとする． $0 < x_{th}$ とし，非線形変換後の $x_i(n)$ は 0 もしくは 1 であることから，超過分を $\delta = \delta_{i+1} = \delta_{i-1} = 1 - x_{th}$ と表す．256 通りのルールは， $f_{non}(\cdot)$ ， x_{th} ， g_L ， g_R を調整することで実現する．ただし，本論文では $0 \leq g_R \leq 1$ ， $0 \leq g_L \leq 1$ とする．

緩和処理後の $x_i(n)$ が $f_{non}(\cdot)$ で 0 と 1 のどちらに写像されるかを数式で表現する．例えば，P0 では，緩和処理の後の自身の値も両近傍から受け渡される δ も 0 であることから，

$$P0 : f_{non}(0 + g_L \cdot 0 + g_R \cdot 0) = f_{non}(0),$$

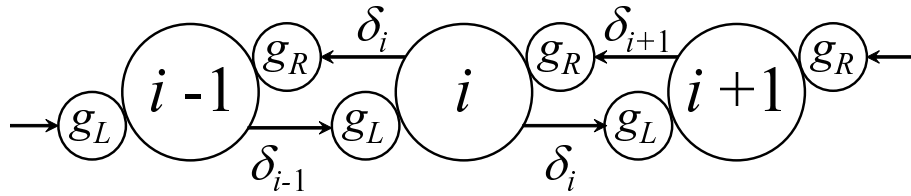


図 2.3 1次元相互結合ネットワーク.

と表せる. また, P1 の場合は, 自身の値と左のセルから渡される δ は 0 であり, 右のセルから δ が渡されるので

$$P1 : f_{non}(0 + g_L \cdot 0 + g_R \cdot \delta) = f_{non}(g_R \delta),$$

と書ける. 以上を例に, P0~P7 を式で表現すると,

$$\begin{aligned}
 P0 & : f_{non}(0) \rightarrow \{0, 1\}, \\
 P1 & : f_{non}(g_R \delta) \rightarrow \{0, 1\}, \\
 P2 & : f_{non}(x_{th}) \rightarrow \{0, 1\}, \\
 P3 & : f_{non}(x_{th} + g_R \delta) \rightarrow \{0, 1\}, \\
 P4 & : f_{non}(g_L \delta) \rightarrow \{0, 1\}, \\
 P5 & : f_{non}(g_L \delta + g_R \delta) \rightarrow \{0, 1\}, \\
 P6 & : f_{non}(x_{th} + g_L \delta) \rightarrow \{0, 1\}, \\
 P7 & : f_{non}(x_{th} + g_L \delta + g_R \delta) \rightarrow \{0, 1\},
 \end{aligned} \tag{2.8}$$

となる. 式 (2.8) より, 緩和処理後の値は $x_{th}(= 1 - \delta)$, g_L , g_R を調整することで全て異なる値に独立して設定できる. 従って, それらの値を所望の値に写像する $f_{non}(\cdot)$ を設計することで, 全てのルールを図 2.3 のネットワークで実現できる. 以下に Rule90 と Rule110 の実現法を示す.

Rule90

式 (2.8) と Rule90 の対応を以下に示す.

$$\begin{aligned}
P0 & : f_{non}(0) \rightarrow 0, \\
P1 & : f_{non}(g_R\delta) \rightarrow 1, \\
P2 & : f_{non}(x_{th}) \rightarrow 0, \\
P3 & : f_{non}(x_{th} + g_R\delta) \rightarrow 1, \\
P4 & : f_{non}(g_L\delta) \rightarrow 1, \\
P5 & : f_{non}(g_L\delta + g_R\delta) \rightarrow 0, \\
P6 & : f_{non}(x_{th} + g_L\delta) \rightarrow 1, \\
P7 & : f_{non}(x_{th} + g_L\delta + g_R\delta) \rightarrow 0.
\end{aligned} \tag{2.9}$$

ここで、式 (2.9) を満たす g_R と g_L の条件を考える。まず、 $g_R = 0$ の場合、P2 と P3、P6 と P7、P4 と P5 がそれぞれ矛盾する。一方、 $g_L = 0$ の場合、P0 と P4、P2 と P6、P3 と P7 が矛盾する。以上より、 $g_R \neq 0$ 、 $g_L \neq 0$ を得る。この条件はネットワーク構造が相互結合であることを要求する。 $g_R = g_L$ は矛盾する更新ルールが存在しないことから、設定可能である（必ずしも $g_R = g_L$ ではなく、非対称な結合強度でも Rule90 は実現できることに注意）。 $g_L < g_R$ とした場合の $f_{non}(\cdot)$ の例を図 2.4 に示す。

Rule110

式 (2.8) と Rule110 の対応を以下に示す.

$$\begin{aligned}
P0 & : f_{non}(0) \rightarrow 0, \\
P1 & : f_{non}(g_R\delta) \rightarrow 1, \\
P2 & : f_{non}(x_{th}) \rightarrow 1, \\
P3 & : f_{non}(x_{th} + g_R\delta) \rightarrow 1, \\
P4 & : f_{non}(g_L\delta) \rightarrow 0, \\
P5 & : f_{non}(g_L\delta + g_R\delta) \rightarrow 1, \\
P6 & : f_{non}(x_{th} + g_L\delta) \rightarrow 1, \\
P7 & : f_{non}(x_{th} + g_L\delta + g_R\delta) \rightarrow 0.
\end{aligned} \tag{2.10}$$

Rule90 と同様に式 (2.10) を満たすための g_R と g_L の条件を考える。まず、 $g_R = 0$ の場合、P2 と P3、P6 と P7 がそれぞれ矛盾する。 $g_L = 0$ の場合、P0 と P4 がそれぞれ矛盾する。よって、 $g_R \neq 0$ 、 $g_L \neq 0$ でなければならない。 $g_R = g_L = g$ とすると、P1 と P4 の条件に矛盾が

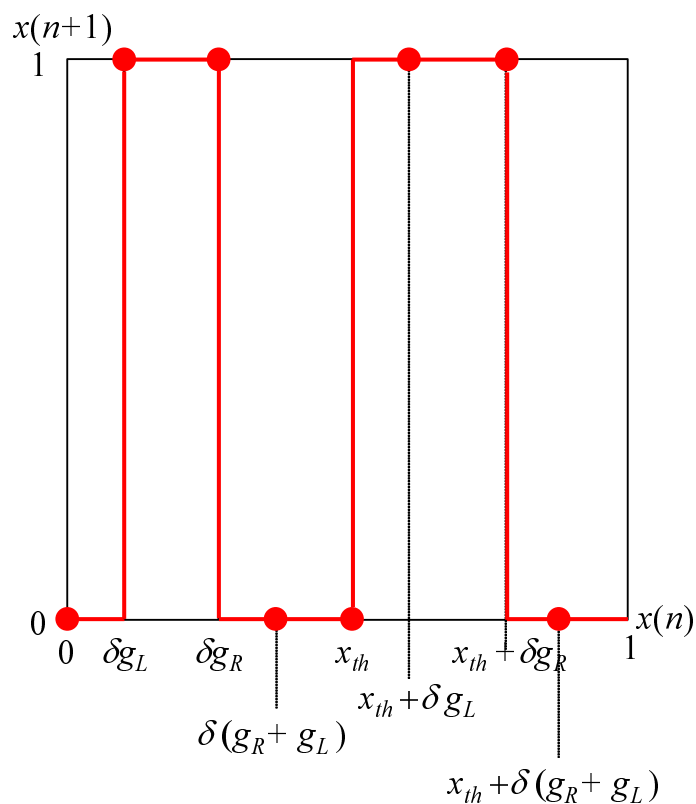


図 2.4 Rule90 を実現する非線形関数 $f_{non}(x_n)$ の例.

生じるため、 $g_R \neq g_L$ であることが必要である。 $g_L < g_R$ とした場合の $f_{non}(\cdot)$ の例を図 2.5 に示す。

2.2.2 数値実験

拡張しきい値結合写像モデルを用いて、1次元セルオートマトンの Rule90 と Rule110 を数値シミュレーションにより実現した。この際、セルの数は 200 個とした。

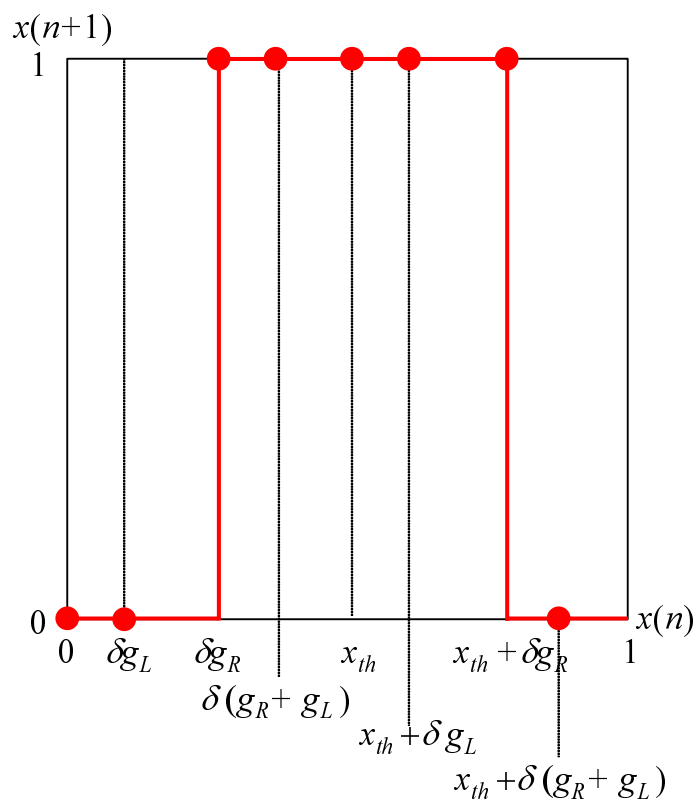


図 2.5 Rule110 を実現する非線形関数 $f_{non}(x_n)$ の例.

Rule90

Rule90 を実現する $f_{non}(\cdot)$ として以下を用いた :

$$f_{non}(x(n)) = \begin{cases} 1 & \text{if } \delta g_L \leq x(n) < \delta(g_L + g_R), \\ 1 & \text{if } (x_{th} + \delta g_L) \leq x(n) < x_{th} + \delta(g_L + g_R), \\ 0 & \text{if } 0 \leq x(n) < \delta g_L, \\ 0 & \text{if } \delta(g_L + g_R) \leq x(n) < (x_{th} + \delta g_L), \\ 0 & \text{if } x_{th} + \delta(g_L + g_R) \leq x(n). \end{cases} \quad (2.11)$$

表 2.1 に示す 2 種類の x_{th} , g_R , g_L の組み合わせ (a), (b) とそれらに対応する $f_{non}(\cdot)$ を用いて数値実験を行った. $i = 200$ のセルの初期値 $x_{200}(0)$ を 0.2 とし, 他のセルの初期値をすべて 0 とした. 得られた時空間パターンを図 2.6 に示す. (a) と (b) で同じ時空間パターンが得られている. これらより, x_{th} , g_R , g_L を変化させ, それに対応する $f_{non}(\cdot)$ を用いることで, 同じ時空間パターンが得られることが分かる. このことから, Rule90 を実現する x_{th} , g_R , g_L ,

表 2.1 x_{th} , g_R , g_L の組み合わせ (Rule90)

	(a)	(b)
x_{th}	0.5	0.45
g_R	0.2	0.3
g_L	0.4	0.3

表 2.2 x_{th} , g_R , g_L の組み合わせ (Rule110)

	(a)	(b)
x_{th}	0.5	0.45
g_R	0.4	0.3
g_L	0.2	0.2

$f_{non}(\cdot)$ の組み合わせは複数存在することが確認できた。

Rule110

Rule110 を実現する $f_{non}(\cdot)$ として以下を用いた：

$$f_{non}(x(n)) = \begin{cases} 1 & \text{if } \delta g_L \leq x(n) < x_{th} + g_L, \\ 0 & \text{if } 0 \leq x(n) < \delta g_L, \\ 0 & \text{if } x_{th} + \delta(g_R + g_L) \leq x(n). \end{cases} \quad (2.12)$$

表 2.2 に示す 2 種類の x_{th} , g_R , g_L の組み合わせ (a), (b) とそれらに対応する $f_{non}(\cdot)$ を用いて数値実験を行った。 $i = 100$ のセルの初期値 $x_{200}(0)$ を 0.2 とし、他のセルの初期値をすべて 0 とした。得られた時空間パターンを図 2.7 に示す。図より、Rule90 の時と同様に (a) と (b) で同じ時空間パターンが得られていることが分かる。従って、Rule110 を実現する x_{th} , g_R , g_L , $f_{non}(\cdot)$ の組み合わせは 1 つではないことが確認された。

2.2.3 2次元相互結合

拡張しきい値結合写像が 2 次元セルオートマン (CA) を実現できることを示す。4 近傍 (ノイマン近傍) で結合し、各セルは 0 と 1 の 2 状態を取るとすると、1 次元 CA の時と同様の考

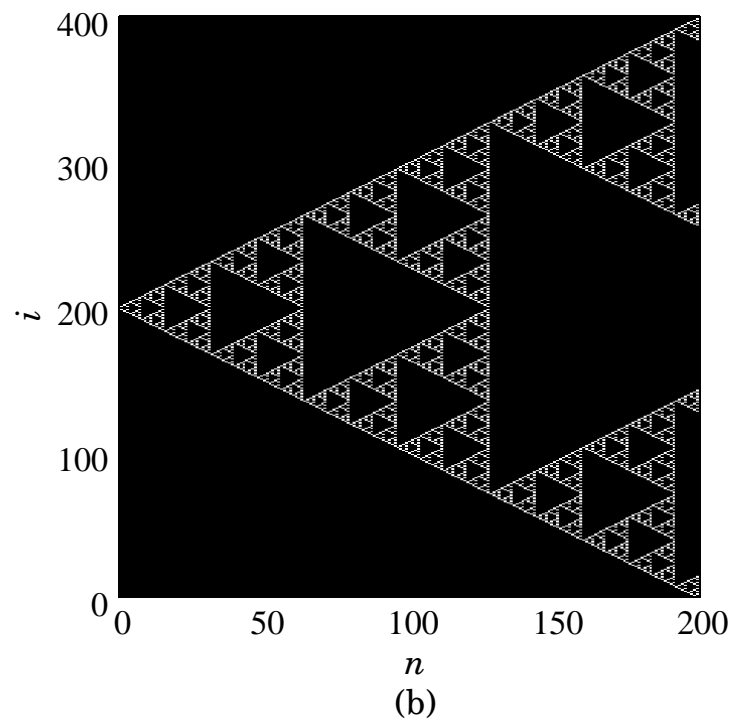
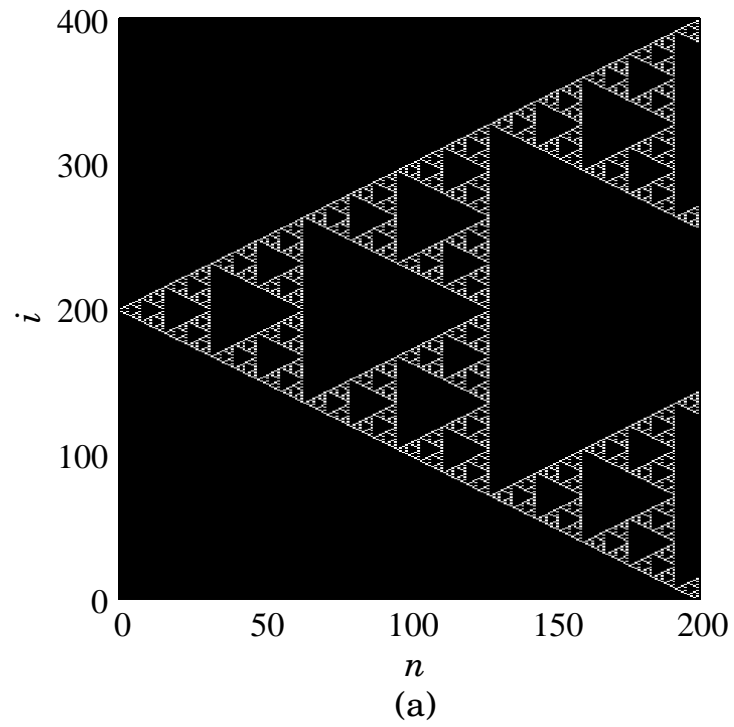


図 2.6 拡張しきい値結合写像モデルを用いて実現した 1 次元セルオートマトン Rule90 の例. (a) $x_{th} = 0.5$, $g_R = 0.2$, $g_L = 0.4$, $x_{200}(0) = 0.2$, (b) $x_{th} = 0.45$, $g_R = 0.3$, $g_L = 0.3$, $x_{200}(0) = 0.2$.

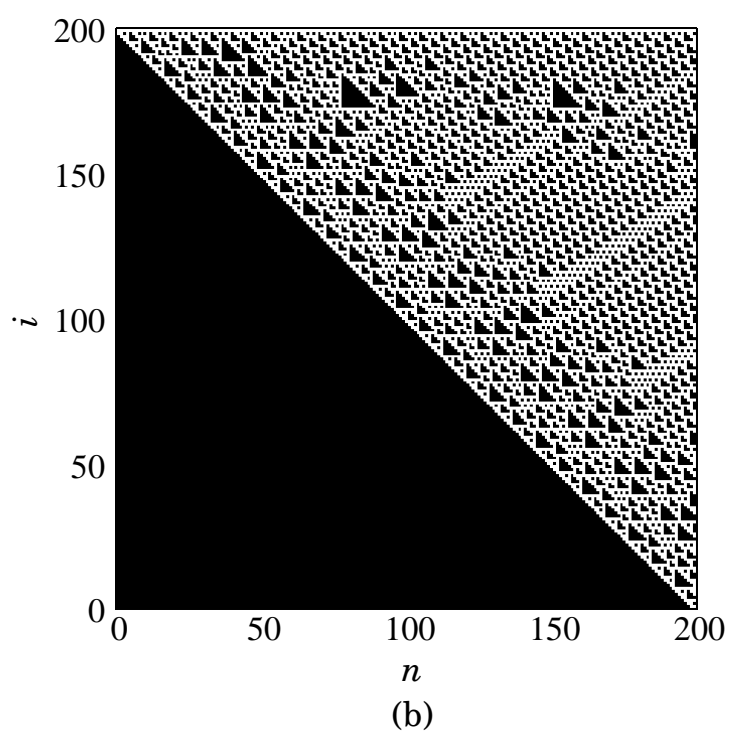
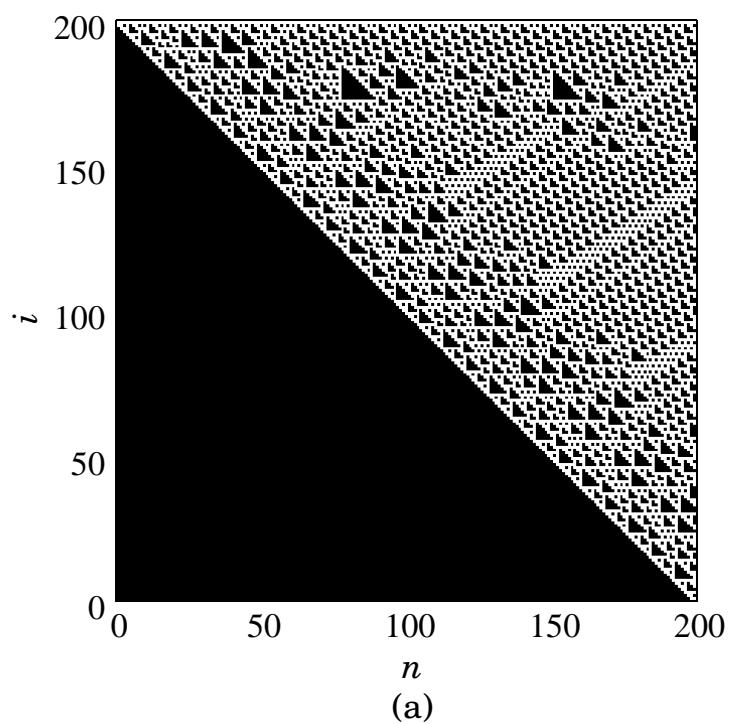


図 2.7 拡張しきい値結合写像モデルを用いて実現した 1 次元セルオートマトン Rule110 の例. (a) $x_{th} = 0.5$, $g_R = 0.4$, $g_L = 0.2$, $x_{200}(0) = 0.3$, (b) $x_{th} = 0.45$, $g_R = 0.3$, $g_L = 0.2$, $x_{200}(0) = 0.3$.

え方で, P0~P31 の 32(= 2⁵) 通りのセルの更新ルールが存在する. 実現する CA は, 生物の個体数の変化をシミュレーションする目的で以下のルールに設定した:

1. 状態値が 0 のセルの周辺に 1 のセルが 1 個もしくは 3 個ある場合, 次のステップでそのセルを 1 にする
2. 状態値が 1 のセルの周辺に 1 のセルが 1~3 個ある場合, 次のステップでそのセルを 1 にする
3. 上記以外の場合, 次のステップでそのセルを 0 にする

状態値 1 のセルを「生存」, 0 のセルを「死」とすると, 1 のルールは生存しているセルが繁殖し, 新たに「誕生」するのに適した状態を指す. 2 のルールは生存しているセルが増加も減少もしない状態を指す. 3 のルールには, 生きているセルが単体のみの状態が含まれる. この場合, 次の時間にその個体は過疎状態で死滅する. 生きているセルの周辺に別な生きているセルが 4 個ある場合も過密状態でそのセルは死滅する (図 2.8 を参照). これらの条件は, 以下の非線形関数を $f_{non}(\cdot)$ として採用することで実現できる (関数の形状は図 2.9 を参照):

$$f_{non}(x_{n+1}) = \begin{cases} 1 & 0 \leq x_n < 0.12, 0.28 \leq x_n < 0.65, 0.9 \leq x_n \leq 1, \\ 0 & 0.12 \leq x_n < 0.28, 0.65 \leq x_n < 0.9. \end{cases} \quad (2.13)$$

ここで, $l = 1$, $x_{th} = 0.6$, $g = 0.2$ である. この時, $x_n = 1$ のセルは緩和処理により $0.6(= x_{th})$ にリセットされ, 4 近傍に $0.08(= g\delta)$ を受け渡す. 4 近傍からそれらに接続している中央のセルに渡される δ の合計値 δ_{sum} は 0.08, 0.16, 0.24, 0.32 の 4 パターンある. 式 (2.13) は 1 のルールを実現するために, $\delta_{sum} = 0.16, 0.24$ の場合に x_n が 1 に写像されるよう設定した. 2 のルールは $x_n = 1$ のセルが緩和処理により $0.6(= x_{th})$ にリセットされ, 4 近傍に $0.08(= g\delta)$ を受け渡し, その後, このセルへ δ が渡され, その結果が $0.65 \leq x_n \leq 0.9$ であれば $f_{non}(\cdot)$ により再び 1 に写像され, 生存状態が維持される. 近傍 4 個のセルから δ が受け渡される $\delta_{sum} = 0.32$ の場合は $x_n = 0.92$ となり, 次の時間ステップで 0 に写像され, セルは死滅する.

図 2.10 に周期パターンが得られる初期値の例を示す. ここでは $x \geq 0.5$ の場合に, セルを白, $x < 0.5$ の場合を黒とした. $n = 0$ は初期状態であり, 白いセルの x は 0.8 である. 図 2.10 が示すように $n = 5$ と $n = 9$ は同じパターンであり, $n = 6$ 以降のパターンを繰り返す 4 周期パターンである.

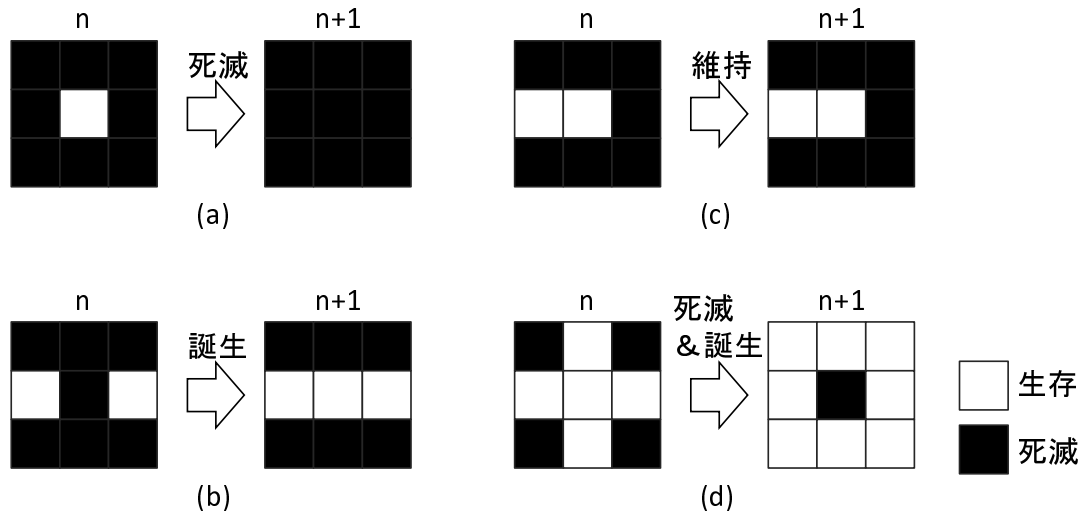


図 2.8 セルの更新例. (a) 生存しているセルの近傍に生存している他のセルが 1 個も無い場合, (b) 死んだセルが 2 個の生存しているセルに挟まれている場合, (c) 生存しているセルが 2 個隣あっている場合, (d) 生存しているセルが 4 個の生存しているセルに囲まれている場合. (d) の場合では中心のセルは $(n + 1)$ では死滅しているが, 4 隅では新たなセルが誕生している.

2.3 まとめ

この章ではしきい値結合写像モデルの説明と, 任意の値に設定できる結合強度を導入した拡張しきい値結合写像モデルを提案した. 拡張しきい値結合写像を用いて, 1次元セルオートマトン (CA) を実現する方法を示し, フラクタル図形が得られる **Rule90** と, 万能チューリングマシンと証明されている **Rule110** が実現可能なことを数値実験により示した. さらに, 2次元セルオートマンも実現できることを示し, 例として, 4周期の2次元パターンを示した. 以上により, しきい値結合写像モデルは非線形関数やしきい値, 結合強度を調整することでセルの更新ルールを変更できる, 柔軟性の高いモデルであることを示した. 2次元相互結合の数値実験では写像される値が 0 と 1 の 2 値のみであったが, 区分連続な非線形関数を $f(\cdot)$ として採用することで, より複雑なルールを実装できる可能性がある.

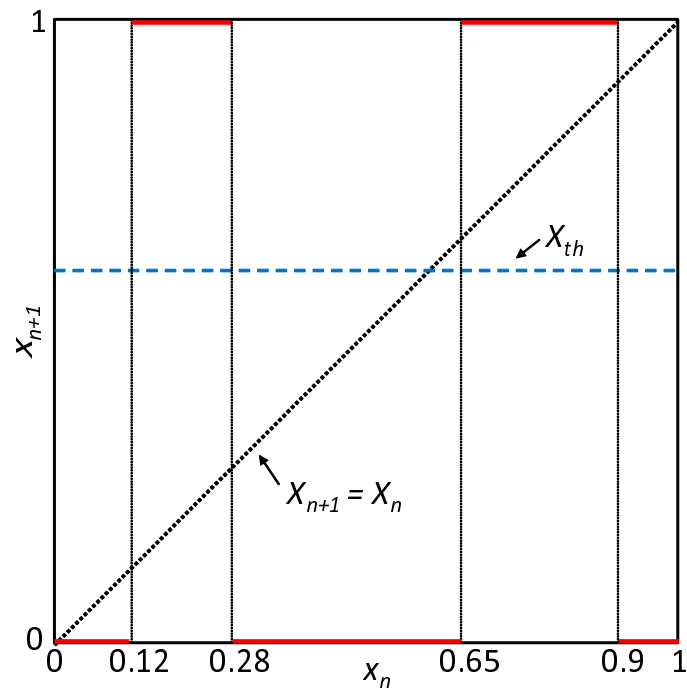


図 2.9 2次元 CA の 1~3 のルールを実現するための $f_{non}(\cdot)$.

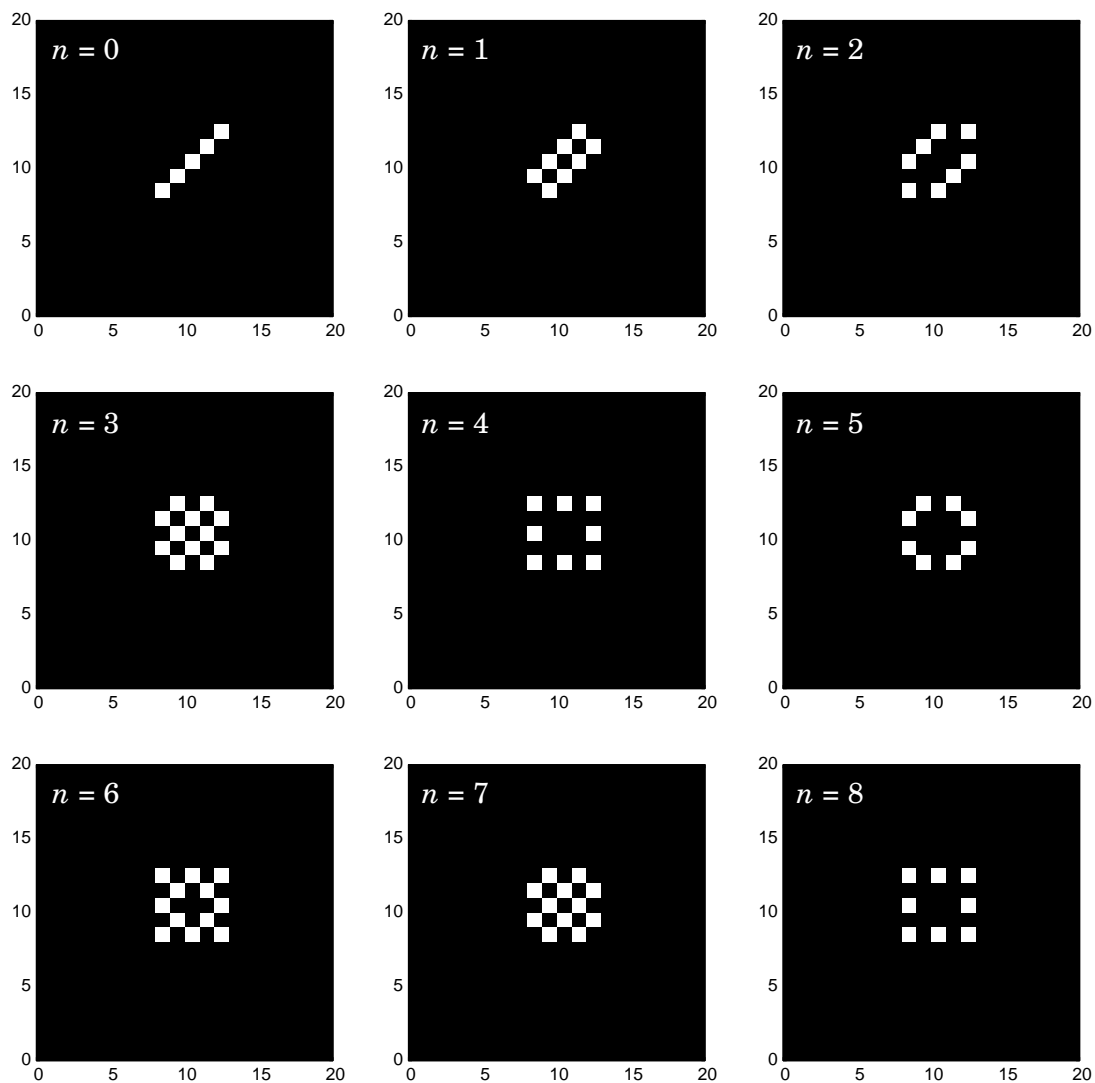


図 2.10 2次元セルオートマトンの状態の時間変化の例.

第 3 章

電圧サンプリング方式 (VSM) と電流サンプリング方式 (CSM) の原理とバラツキ耐性

3.1 VSM と CSM の原理

第 2 章では、しきい値結合写像モデルで実現した CA において、 $f_{non}(\cdot)$, x_{th} , g を変化させることで様々な時空間パターンが得られることを数値実験により示した。数値実験と同じように、豊富な時空間パターンを集積回路で得るためには、異なる $f_{non}(\cdot)$ を回路で生成することが必要である。このためには、電子回路で個別に特性を作り込むのではなく、外部から関数形状を切り替えられる方式が望ましい。このような回路方式として電圧/電流サンプリング方式 (VSM/CSM) が提案されている [25,27,28]。VSM/CSM は、チップの外部から入力する電圧/電流波形をパルス幅変調 (PWM) 信号やパルス位置変調 (PPM) 信号でサンプリングすることで任意の非線形変換を実現する。

図 3.1(a), (b) に VSM と CSM の非線形変換の原理をそれぞれ示す。VSM/CSM 方式では、並列配置した全セル回路が非線形電圧波形 $V_{non}(t)$ と参照用ランプ電圧波形 $V_{rmp}(t)$ を共有することで、全セル回路で同じ非線形変換特性を実現できる。この際、 $V_{non}(t)$ と $V_{rmp}(t)$ は、寄生容量をドライブするためのアナログバッファを通して全てのセル回路に供給される。図 3.1 の破線で囲まれた回路が非線形変換を行うセル回路に相当する。

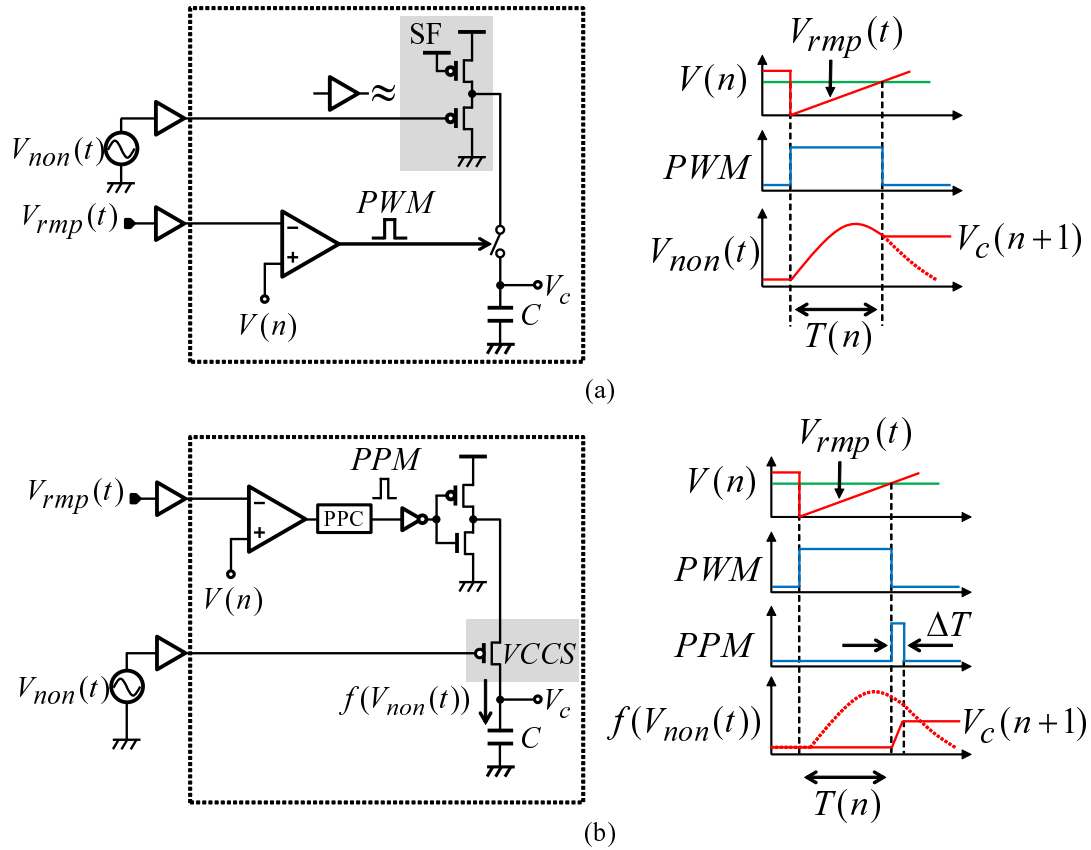


図 3.1 非線形変換回路の原理 : (a) パルス幅変調信号を用いた電圧サンプリング方式 (VSM), (b) パルス位置変調信号を用いた電流サンプリング方式 (CSM).

3.1.1 パルス幅変調信号を用いた電圧サンプリング方式 (VSM)

図 3.1(a) に VSM の回路原理を示す. VSM では, 離散時間 n における状態値電圧 $V(n)$ と $V_{rmp}(t)$ とをコンパレータで比較し, パルス幅 $T(n)$ ($\propto V(n)$) の PWM 信号を生成する. そして, この PWM 信号により $V_{non}(t)$ をキャパシタ C にサンプリングすることで非線形変換を実現する. 非線形変換毎に n が 1 増加すると定義すると, サンプリング後のキャパシタの電圧 $V_c(n+1)$ は

$$V_c(n+1) = V_{non}(T(n)) \quad (3.1)$$

で表される. キャパシタ電圧 $V_c(n)$ を次の離散時間ステップ ($n+1$) の状態値電圧 $V(n+1)$ とすることで, $V_{non}(t)$ で与えられる任意の離散時間非線形モデルを実現できる.

3.1.2 パルス位置変調信号を用いた電流サンプリング方式 (CSM)

図 3.1(b) に、CSM の回路原理を示す。CSM では、MOS トランジスタによって非線形電圧波形 $V_{non}(t)$ を非線形電流波形 $f(V_{non}(t))$ に変換する。ここで、 $f(\cdot)$ は MOS トランジスタの電圧-電流変換特性である。また MOS トランジスタは電圧制御電流源 (VCCS) として動作する。VSM と同様に、 $V(n)$ はコンパレータによってパルス幅 $T(n)$ を有する PWM 信号に変換される。そして、パルス位置変調回路 (PPC) によって、PWM 信号の立下りタイミングでパルス幅 ΔT を有するパルス位置変調信号 (PPM) 信号が生成される。VCCS はこの PPM 信号により $[T(n), T(n) + \Delta T]$ の期間キャパシタ C を充電する。この時キャパシタ C の電圧は

$$V_c(n+1) \approx \frac{\Delta T}{C} f(V_{non}(T(n))) \quad (3.2)$$

で表される。ここで、キャパシタの初期電圧はゼロと仮定した。CSM では、VSM の場合と異なり、式 (3.2) が示すように、 C 、 ΔT 、および $f(\cdot)$ の値や特性のバラツキが非線形変換結果に直接影響を与えると予想される。

3.2 VSM と CSM のバラツキに対する頑健性の比較

3.2.1 回路シミュレーション条件

VSM 回路と CSM 回路の CMOS デバイスマスマッチの影響を、回路シミュレーションにより検証した [40]。シミュレータには HSPICE を用い、TSMC 0.25 μm CMOS プロセスパラメータを用いた。シミュレーションに用いた回路を図 3.2 に示す。アナログバッファには図 3.2(a) に示すソースフォロアを用いた。また、コンパレータの特性バラツキは考慮せず、PWM 信号 S_{in} を回路外部から与えた。HSPICE シミュレーションでは、容量値 C と PMOS/NMOS トランジスタのしきい値電圧にバラツキを与えた。図 3.2 内のトランジスタ M1, M2 のサイズはそれぞれ $W/L = 4.5\mu\text{m}/5\mu\text{m}$ とし、電圧-電流変換 (VTC) を実行する M3 は $W/L = 9\mu\text{m}/5\mu\text{m}$ とした。PMOS/NMOS トランジスタのしきい値電圧ばらつきを以下のように定義した：

TT : バラツキなし；

SS : PMOS/NMOS トランジスタのしきい値電圧にそれぞれ $-0.05\text{ V}/+0.05\text{ V}$ ；

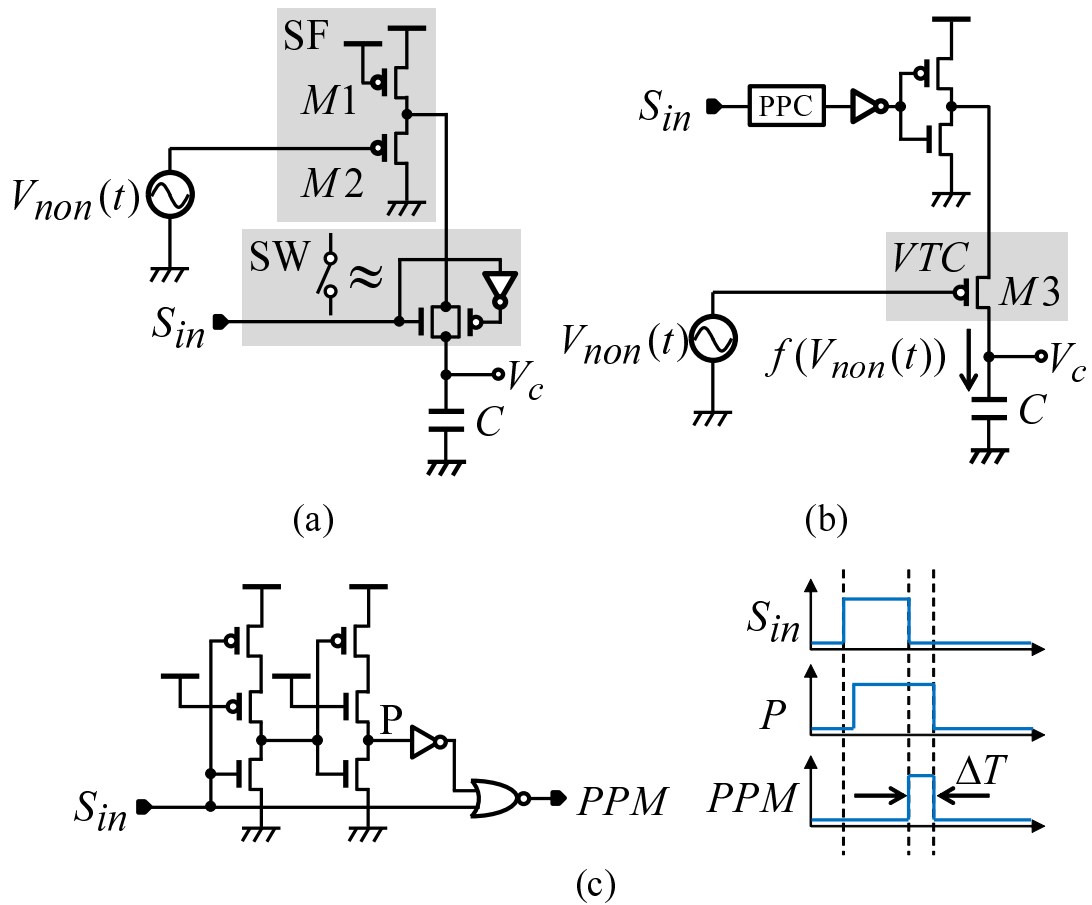
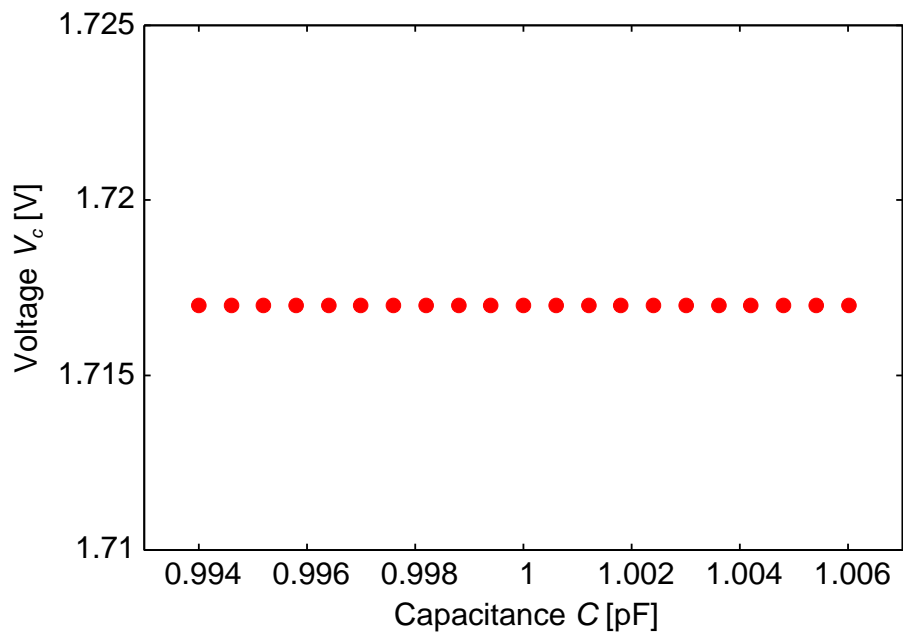


図 3.2 HSPICE シミュレーションで用いた回路. (a) VSM 回路, (b) CSM 回路, (c) PPC 回路.

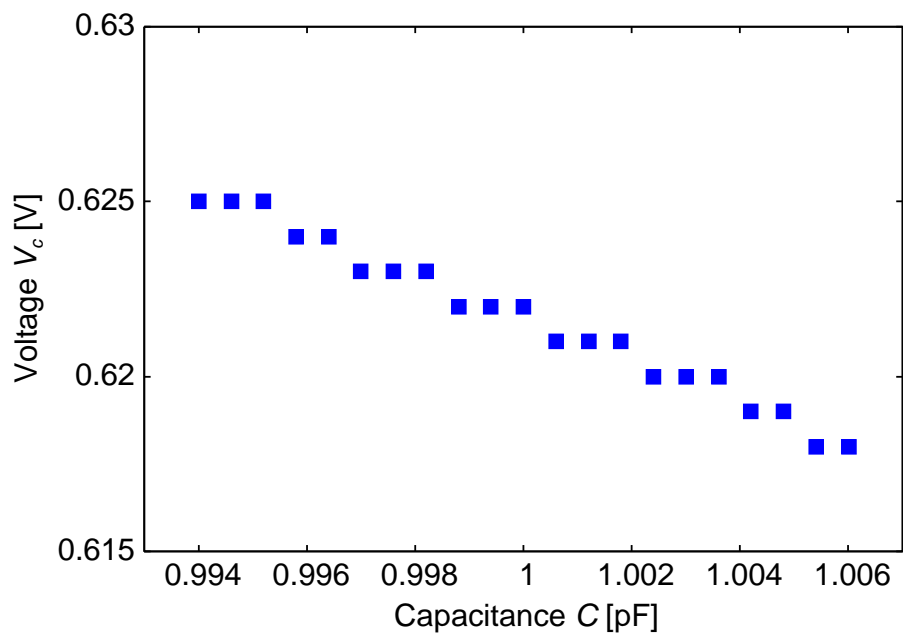
FF : PMOS/NMOS トランジスタのしきい値電圧にそれぞれ $+0.05\text{ V}/-0.05\text{ V}$.

3.2.2 容量値バラツキの影響

図 3.3 に、キャパシタの容量値 C を 0.994 pF から 1.006 pF まで変化させた時の V_c の電圧を示す. VSM 回路の HSPICE シミュレーションでは、 $V_{non}(t) = 0.5 \times 10^{-6}t$, $T(n) = 500\text{ ns}$ に設定した. CSM 回路の HSPICE シミュレーションでは、 $V_{non}(t) = -0.9 \times 10^{-6}t + 0.9$, $T(n) = 490\text{ ns}$ に設定した. 図 3.3(a) に示すように VSM 回路の場合では、 C を変えても V_c は一定である. VSM 回路と対照的に CSM 回路では、図 3.3(b) に示すように C の値の増加と共に V_c は減少している. これらは、 C を変数として含まない式 (3.1) と、含む式 (3.2) から予測される結果である.



(a)



(b)

図 3.3 容量値バラツキの影響. (a) VSM, (b) CSM

3.2.3 VSM におけるアナログバッファ SF のバラツキの影響

図 3.3(a) の回路中の PMOS/NMOS トランジスタのしきい値電圧を変えた場合の、 $T(n)$ に対する V_c の変化を図 3.4 に示す。なお、アナログバッファ SF は図 3.3(a) に示すように PMOS トランジスタのみで構成されている。 $V_{non}(t) = 0.5 \times 10^{-6}t$ と $C = 1.0$ pF とした。表 3.1 に最小二乗法による式 (3.3) へのフィッティング結果を示す。

$$V_c = kT(n) + a. \quad (3.3)$$

TT の時の傾き k と切片 a の値を中央値とすると、 k と a のそれぞれの最大誤差は $\epsilon_k = 0.41\%$ と $\epsilon_a = 0.14\%$ であった。

3.2.4 CSM における PPC と VCCS のバラツキの影響

図 3.5(a) に、図 3.3(b) および (c) の回路中の PMOS/NMOS トランジスタのしきい値電圧を変えた場合の、 $T(n)$ に値する V_c の変化を示す。 $V_{non}(t) = -0.9 \times 10^{-6}t + 0.9$ [V]、および $C = 1.0$ [pF] とした。図 3.5(a) に示すように、 k と a のバラツキの影響は VSM の場合よりも大きかった。

表 3.2 に、式 (3.3) でフィッティングして得た a と k 、さらに ΔT の平均値 ΔT_{ave} を示す。TT の時の k 、 a 、 ΔT_{ave} を中央値とすると、それぞれの最大誤差は $\epsilon_k = 14.29\%$ 、 $\epsilon_a = 9.52\%$ 、 $\epsilon_{\Delta T_{ave}} = 16.04\%$ であり、これらのいずれの値も VSM の最大誤差より約 30 倍大きかった。

図 3.5(b) は PMOS/NMOS のトランジスタのしきい値をばらつかせた時の $T(n)$ に対する $f(V_{non}(t))$ の変化である。表 3.2 は図 3.5(b) を以下の関数でフィッティングして得た傾き k_c と切片 a_c である。

$$f(V_{non}) = k_c T_n + a_c \quad (3.4)$$

TT の時の k_c と a_c を中央値と考え、それぞれの最大誤差を計算すると $\epsilon_{k_c} = 2.6\%$ 、 $\epsilon_{a_c} = 5.4\%$ であった。 $f(V_{non})$ の最大誤差は ΔT のその半以下であった。

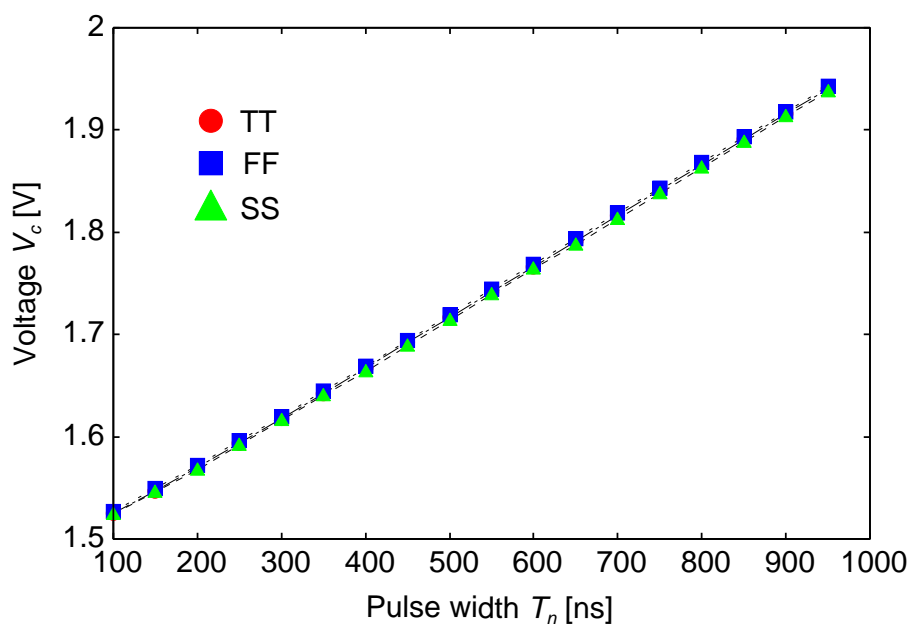


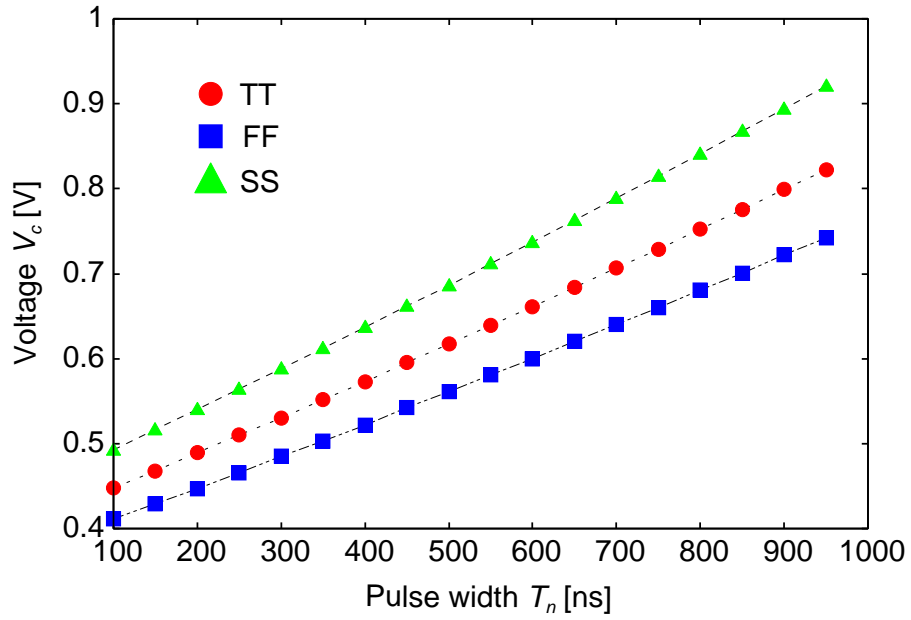
図 3.4 VSM におけるパルス幅 $T(n)$ とキャパシタ電圧 V_c の関係.

表 3.1 図 3.4 のフィッティング結果

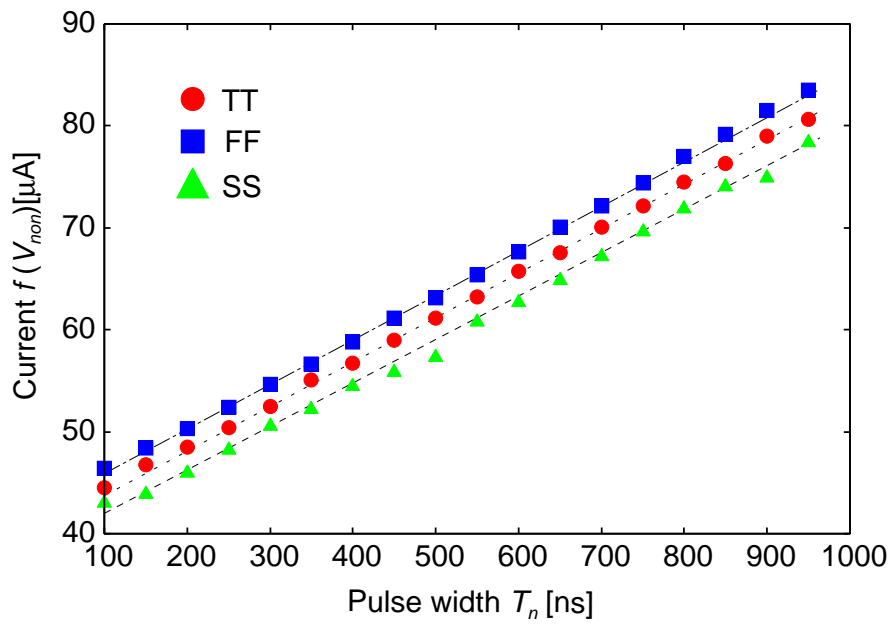
	SS	TT	FF
k [V/ μ s]	0.490	0.492	0.493
a [V]	1.471	1.472	1.474

表 3.2 図 3.5(a) のフィッティング結果と ΔT の平均値

	SS	TT	FF
k [V/ μ s]	0.504	0.441	0.390
a [V]	0.437	0.399	0.368
ΔT_{ave} [ns]	11.72	10.10	8.87



(a)



(b)

図 3.5 CSM における PMOS/NMOS トランジスタのしきい値電圧バラツキの影響. (a) $T(n)$ vs. V_c , (b) $T(n)$ vs. $f(V_{non})$.

3.3 まとめ

この章では、VSM と CSM の、容量値バラツキとトランジスタのしきい値バラツキに対する頑健性について、HSPICE シミュレーションで検証した。図 3.3 に示すように VSM は CSM よりも容量値バラツキに対して頑健であった。CSM では、表 3.3 に示すように、 ΔT_{ave} は ϵ_{k_c} および ϵ_{a_c} よりも大きかった。したがって製造バラツキに頑健な回路を CSM で作るためにはバラツキに頑健な PPC 回路を設計する必要があると考えられる。

VSM では、非線形変換特性が容量値 C に依存しないため、電圧が十分保持できる範囲内でキャパシタのサイズを小さく設計できる。それゆえ、VSM の方が CSM よりも集積度を上げるのに適すると思われる。また、表 3.4 が示すように、VSM は CSM よりもトランジスタのしきい値バラツキに対しても頑健である。以上の結果から、バラツキに頑健なチップを試作するには VSM の方が CSM よりも適しているといえる。

表 3.3 図 3.5(b) のフィッティング結果

	SS	TT	FF
k_c [A/ μ s]	0.0422	0.0430	0.0441
a_c [μ A]	37.71	39.86	41.44

表 3.4 最大誤差の比較

	VSM	CSM
ϵ_k [%]	0.41	14.29
ϵ_a [%]	0.14	9.52
ϵ_{k_c} [%]		2.59
ϵ_{a_c} [%]		5.39
$\epsilon_{\Delta T}$ [%]		16.04

第4章

製造バラツキに頑健な VSM 方式非線形変換集積回路の設計・試作・評価

4.1 オフセット電圧バラツキと電流値・容量値バラツキの影響

第3章で回路方式による製造バラツキへの頑健性について検討した。その結果、VSMの方がCSMよりも頑健であることが分かった。そこで本研究では、VSMの非線形変換回路を設計する。さらに、非線形変換を行うセル回路を複数配置した大規模結合系を実現するために、近傍の回路と状態値をPWM信号で受け渡しする回路構成を採用する。これにより、信号の受け渡しを行う回路をデジタル論理回路を用いて実装でき、省面積化・低消費電力化が期待できる。

VSMで大規模結合系回路を実装する際、図4.1に示すように、 $V_{non}(t)$ および、 $V_{rmp}(t)$ は配線容量等の寄生容量を駆動するためのアナログバッファを通して、各セル回路に分配される。アナログバッファを構成するトランジスタのしきい値が製造バラツキにより変動した場合、セル回路に入力される $V_{non}(t)$ と $V_{rmp}(t)$ の基準電圧間にオフセット電圧が発生する(第3章の図3.5(b)を参照)。このオフセット電圧は、電圧値をPWM信号に変換する際、コンパレータによりオフセットパルス幅に変換される。これにより、PWM信号でキャパシタにサンプリングされる電圧が設計値と異なってしまうという問題が発生する。また、第2章で述べたCAのように $V_{non}(t)$ として0/1の2値を用いる場合、オフセットパルスの影響でサンプリングされる値が反転する恐れがある。また、VSMではセル回路内で状態値を電圧値で表現する

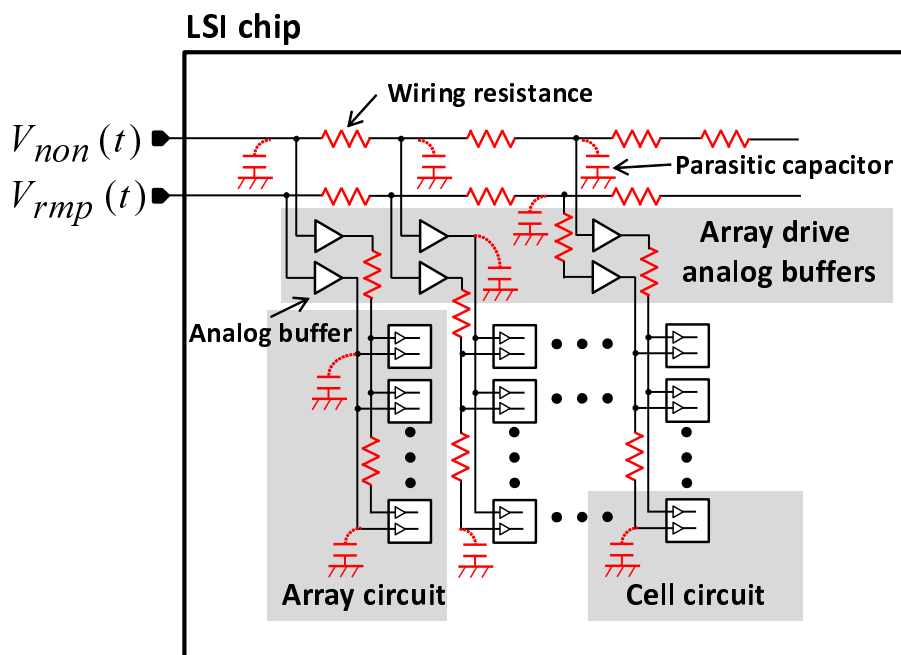


図 4.1 VSM における CMOS 大規模結合回路の構成と寄生素子.

ため、近傍のセルから渡された PWM 信号を電圧値に変換する必要がある。その際に、スイッチトカレントソース (SCS) とキャパシタを用いて電流を積分し、PWM 信号のパルス幅に比例した電圧を得る方法が回路構成的に単純である。しかし、SCS を構成するトランジスタの電流源特性、および、電流を積分するキャパシタの容量値は、複数並べたセル回路毎で厳密には一致しない。これら電流値・容量値のバラツキは結合強度のバラツキに相当する。

そこで、第 2 章で紹介した Rule90 を例にとり、オフセットと結合強度のバラツキの影響について数値シミュレーションで検証する。シミュレーションでは Rule90 を実現する $f_{non}(\cdot)$ として以下を用いた：

$$f_{non}(x_i(n)) = \begin{cases} 1 & \text{if } 0.2 \leq x_i(n) < 0.4, \\ 1 & \text{if } 0.7 \leq x_i(n) < 0.9, \\ 0 & \text{if } x_i(n) < 0.2, \\ 0 & \text{if } 0.4 \leq x_i(n) < 0.7, \\ 0 & \text{if } 0.9 \leq x_i(n). \end{cases} \quad (4.1)$$

緩和処理は、

$$x_i(n) \rightarrow x_{th} + \delta_{sum}(n) + \phi_i \quad \text{if } x_{th} < x_i(n), \quad (4.2)$$

$$x_i(n) \rightarrow x_i(n) + \delta_{sum}(n) + \phi_i \quad \text{if } x_{th} \geq x_i(n), \quad (4.3)$$

に従って行う。ここで、 ϕ_i は i 番目のセルのオフセットである。 δ_{sum} は隣接するセルの δ の総和であり、

$$\delta_{sum}(n) = (g_R + \sigma_{i,R})\delta_{i+1}(n) + (g_L + \sigma_{i,L})\delta_{i-1,j}(n), \quad (4.4)$$

と表す。ここで、 $\sigma_{i,R}$, $\sigma_{i,L}$ は結合強度のバラツキを表す定数である。 ϕ_i と $\sigma_{i,\{L,R\}}$ は製造偏差の影響を想定し、各セル毎に異なる値を正と負を取る乱数で設定した。

ϕ_i と $\sigma_{i,\{L,R\}}$ それぞれのバラツキの振幅を ϕ_{amp} と σ_{amp} とし、これらを変化させて数値シミュレーションした。 $x_{th} = 0.5$, $g_L = g_R = 0.41$, $l = 1$ とした。また、 $x_{200}(0) = 0.3$ とし、他のセルの初期値はすべて 0 とした。結果を図 4.2 に示す。ここで黒は 0, 白は 1 を表す。図 4.2(a) は、 $\phi_{amp} = \sigma_{amp} = 0$ の場合である。これは、第 2 章で紹介した Rule90 の数値シミュレーション結果と同じである。図 4.2(b), (c) は ϕ_{amp} のみ変化させた場合である。 $\phi_{amp} = 0.005$ の図 4.2(b) では、図 4.2(a) と同じ時空間パターンが得られているが、 $\phi_{amp} = 0.01$ の図 4.2(c) では時空間パターンが生成されていない。図 4.2(d) は σ_{amp} のみバラツかせた場合である。この場合は、図 4.2(a) と同様の時間空間パターンが得られている。図 4.2(e) は、 ϕ_{amp} と σ_{amp} の両方をバラツかせた場合である。白いセルが一直線に伸びており、図 4.2(a) のようなパターンは得られていない。図 4.2(b) と図 4.2(d) に示したように、オフセットと結合強度のどちらか一方にのみバラツキがある場合にはフラクタルなパターンが得られるが、図 4.2(e) に示すように、両方にバラツキがある場合では、異なる結果になっている。図 4.2(f) は $\phi_{amp} = 0.0025$, $\sigma_{amp} = 0.005$ の場合である。この場合は、図 4.2(a) と同じ時空間パターンが得られている。

以上の結果から、数値実験を行った x_{th} , g_L , および、 g_R の値では、オフセットと結合強度のバラツキの最大値の和が 0.01 以上になると、Rule90 の時空間パターンが得られないことが分かる。これは、バラツキにより非線形変換の結果の 0/1 が反転し、セルの更新ルールが変化することで起こる。0/1 の反転が起きないバラツキの許容値は、 $f_{non}(\cdot)$ や、 x_{th} , g_L , および、 g_R の値によって異なる。拡張しきい値結合写像モデルを用いて、1 次元以上のセルオートマトンや、より複雑なルールを実現するために 0/1 の切り替わりの激しい $f_{non}(\cdot)$ を採用する場合は、オフセットや結合強度のバラツキを小さく抑える必要がある。

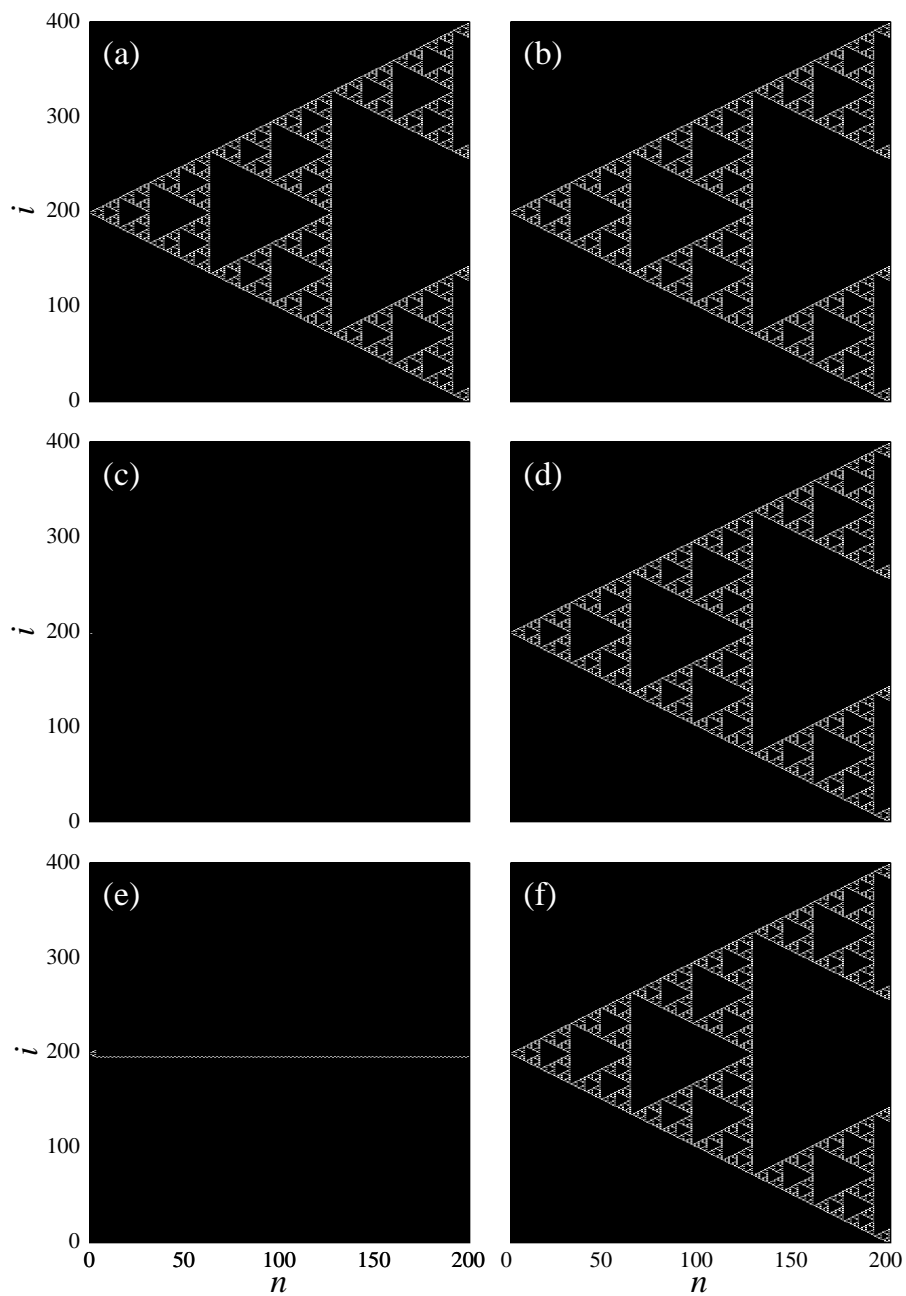


図 4.2 オフセットと結合強度にバラツキ与えた場合の数値シミュレーション結果. (a) バラツキ無し; (b) $\phi_{amp} = 0.005$, $\sigma_{amp} = 0.0$; (c) $\phi_{amp} = 0.01$, $\sigma_{amp} = 0.0$; (d) $\phi_{amp} = 0.0$, $\sigma_{amp} = 0.005$; (e) $\phi_{amp} = 0.005$, $\sigma_{amp} = 0.005$; (f) $\phi_{amp} = 0.0025$, $\sigma_{amp} = 0.005$.

4.2 セル回路

0/1 の反転による、セルの更新ルールの変化を防ぐために、本研究ではオフセット電圧の影響に頑健なコンパレータ回路を提案し、その試作・評価を行う [41,42]。また、電流値・容量値バラツキ補償 (CCC) 回路についても提案し、その試作・評価を行う。なお、試作 LSI の特性は bit 精度により評価する。

設計するセル回路のブロック図を図 4.3(a) に示す。セル回路は非線形変換回路 (NTC)、電流値・容量値バラツキ補償 (CCC) 回路、スイッチトカレントソース (SCS) 回路、結合パターン保持回路 (CPH) で構成される。4 近傍相互結合の大規模非線形結合系を実現するために、SCS とそれを補償する CCC 回路は、セル回路内にそれぞれ 4 個ずつある。また、CPH 回路は、4 近傍で結合パターンを自由に変更・保持できるように、図 4.3(b) に示すように、4 個のシフトレジスタと AND ゲートで構成する。

CPH 回路を除いたセル回路の詳細を図 4.4 に示す。ただし、図 4.4 には便宜上、1 個の SCS と CCC のみ示す。図 4.4 において、破線で囲まれた回路が NTC であり、特に、CMP は本研究で新たに提案するコンパレータ回路である。

4.2.1 提案コンパレータ回路を用いた非線形変換

図 4.5 に非線形変換動作時の制御信号と各ノード電圧のタイミング図を示す。セル回路外部から与える $V_{non}(t)$ と $V_{rmp}(t)$ の基準電圧をそれぞれ $V_{non.bt0}(t)$ と $V_{rmp.bt0}(t)$ 、アナログバッファ SF_{non} と SF_{rmp} を通した後の $V_{non}(t)$ と $V_{rmp}(t)$ の基準電圧をそれぞれ $V_{non.bt1}$ 、 $V_{rmp.bt1}$ 、 SF_x を通した後の $V_{non}(t)$ の基準電圧を $V_{non.bt2}$ とする。非線形変換動作では S_{iniA} は常に ON にし、SCS 回路と CCC 回路は動作させない。また、 SF_x が出力する初期電圧を V_{x0} とする。このとき、非線形変換は以下のように実行される：

1. S_{set} と S_x を ON する。このとき、ノード P_{st} と P_{cmp} の電圧はそれぞれ $V_{st} = V_{x0}$ 、 $V_{cmp} = V_{inv.th}$ となる。ここで、 $V_{inv.th}$ はインバータのしきい値電圧である。
2. S_{set} を OFF した後、 S_{non} を ON する。これにより、ノード P_{st} の電圧は $V_{st} = V_{x0}$ から $V_{st} = V_{non.bt2}$ にセットされる。これと同時に、ノード P_{cmp} の電圧は $V_{cmp} = V_{inv.th}$

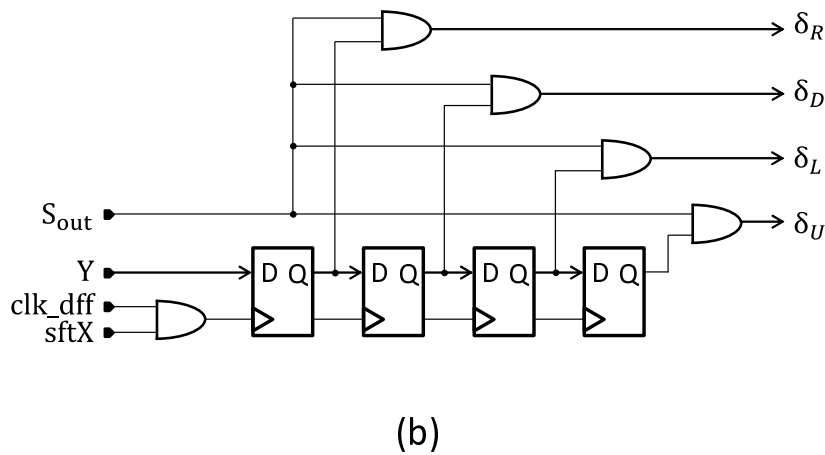
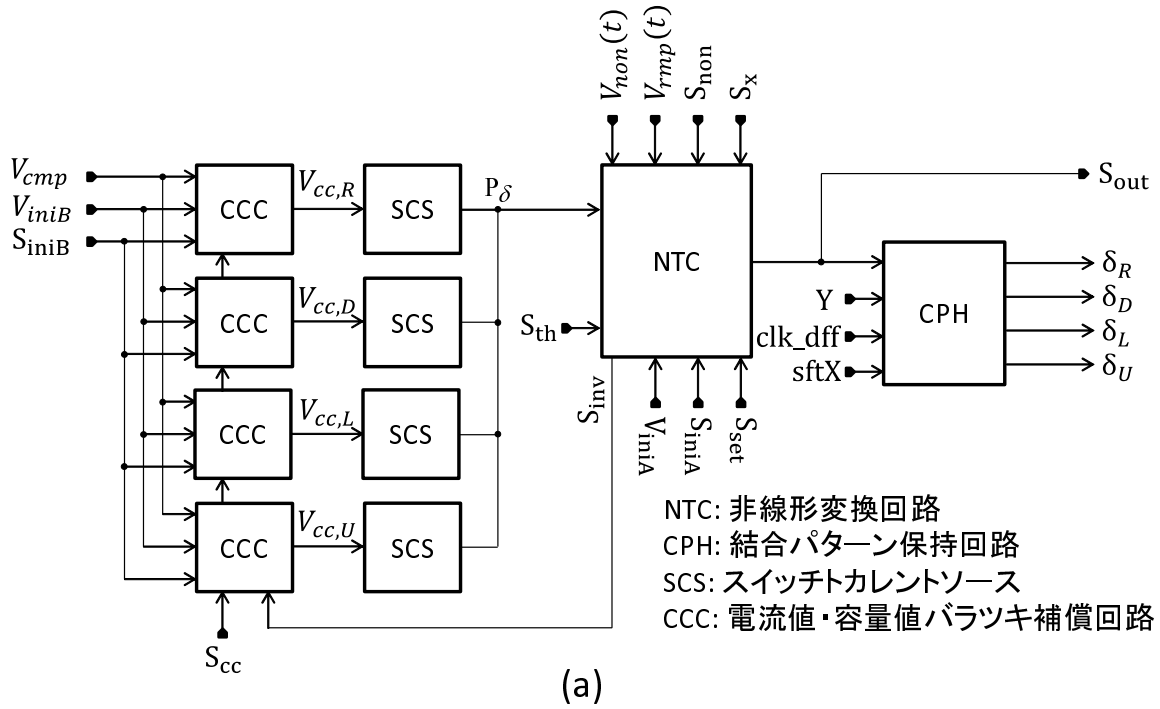


図 4.3 提案セル回路の構成図. (a) セル回路全体のブロック図, (b) 結合パターン保持回路.

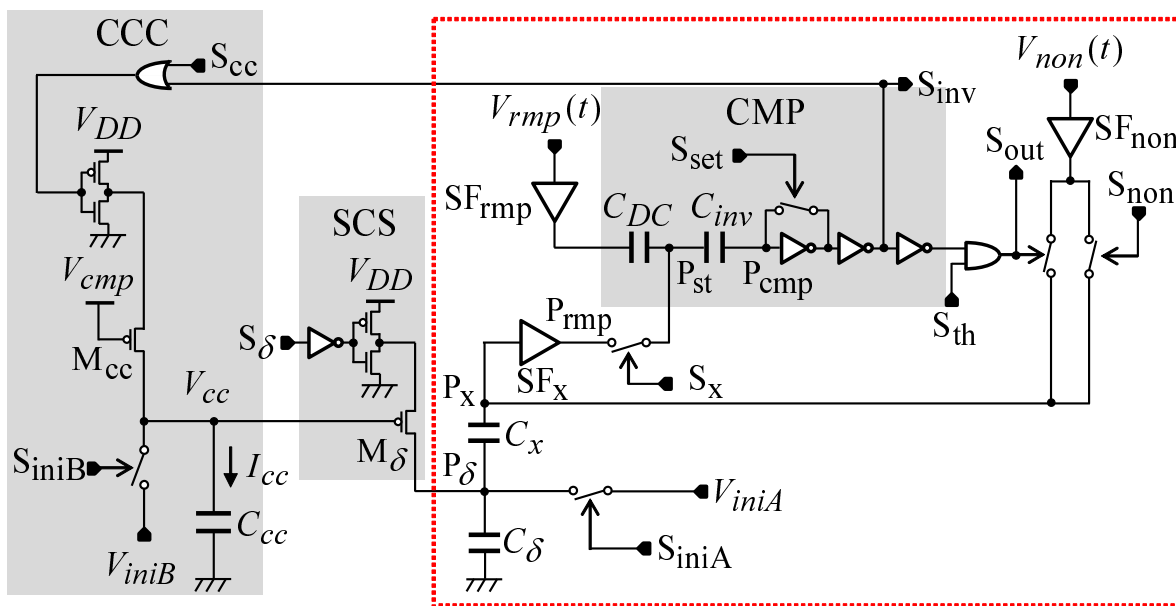


図 4.4 図 4.3(a) に示した回路から CPH 回路を除いたセル回路の詳細。

から $V_{cmp} = V_{inv.th} - V_{x0}$ へと変化する。このとき、キャパシタ C_{DC} は基準電圧の差 $V_{rmp.bt1} - V_{non.bt2}$ を保持する。

3. S_{non} を OFF にした後、 S_x を OFF にして、 $V_{rmp}(t)$ を立ち上げる。これにより、ノード P_{cmp} の電圧 $V_{inv.th} - V_{x0}$ は PWM 信号に変換される。この変換は電圧 $V_{inv.th} - V_{x0}$ と参照用のランプ波形 $V_{rmp}(t)$ と比較することで実現される。この結果、非線形電圧波形 $V_{non}(t)$ は PWM 信号 S_{out} により C_x にサンプリングされる。

4.2.2 容量値・電流値バラツキ補償 (CCC) 回路

補償動作

図 4.6 に、図 4.4 の回路において CCC 回路が動作する時の制御信号とノード電圧を示す。この補償動作により、図 4.4 に示すトランジスタ M_δ のゲート電圧 V_{cc} は、目標パルス幅 T_{tgt} と $T_{inv.\delta}$ の差を最小化するように調整される。ここで $T_{inv.\delta}$ は、SCS 回路を T_δ の PWM 信号で ON したときに充電された電圧 V_δ を、PWM 信号に変換したときのパルス幅である。ここで、トランジスタ M_δ と M_{cc} の電圧-電流変換特性を、それぞれ $f_\delta(\cdot)$ および、 $f_{cc}(\cdot)$ とする。また、電流値・容量値バラツキ補償動作時は、 $V_{non}(t)$ を $V_{non.bt0}$ に固定する。さらに、

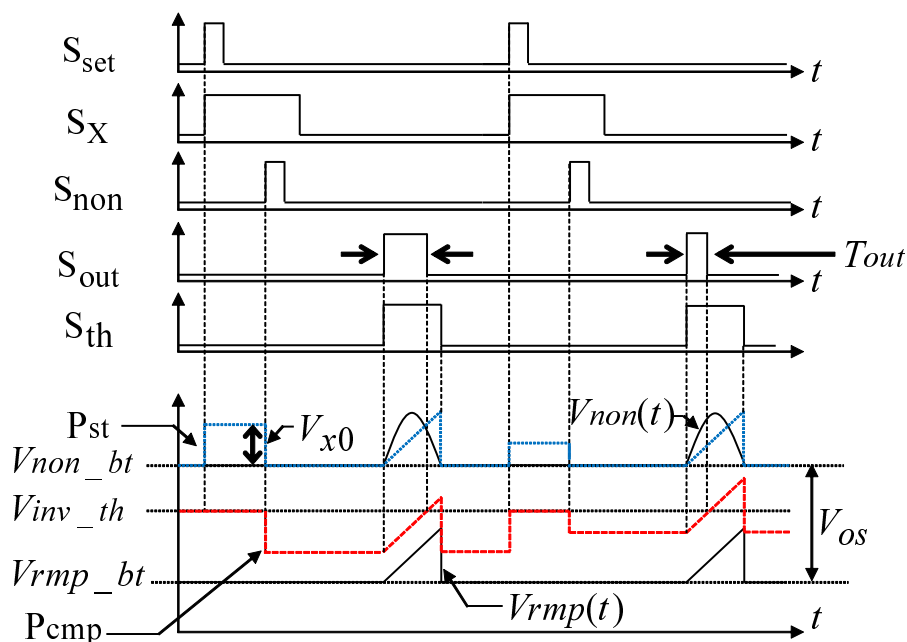


図 4.5 図 4.4 の回路で非線形変換動作を実現するときの制御信号と各ノード電圧のタイミング図.

V_{cc} の初期電圧は V_{iniB} にセットする. この時, 電流値・容量値バラツキ補償動作は以下のよう
に実行される:

1. ノード P_{cmp} , P_x , P_{st} および P_δ の電圧を初期化するために, S_{set} , S_{non} , S_x およ
び S_{iniA} を ON する. この時, ノード P_{cmp} , P_x , P_{st} および P_δ の電圧は, それぞれ
 $V_{cmp} = V_{inv.th}$, $V_x = V_{non.bt1}$, $V_{st} = V_{non.bt2}$, $V_\delta = V_{iniB}$ となる.
2. S_{iniA} と S_{non} を OFF した後, S_δ をパルス幅 T_δ の PWM 信号で ON する. この結
果, P_δ , P_x および P_{st} の電圧は, それぞれ $V_\delta = V_{iniA} + V_\delta$, $V_x = V_{non.bt1} + V_\delta$,
 $V_{st} = V_{non.bt2} + V_\delta$ となる.
3. S_{set} を OFF した後, S_{non} を ON する. この動作により, $V_{cmp} = V_{inv.th} - V_\delta$, $V_x =$
 $V_{non.bt1}$, $V_{st} = V_{non.bt2}$ となる.
4. S_x を OFF した後, S_{iniA} を ON する. この結果, $V_\delta = V_{iniA}$, $V_x = V_{non.bt1}$ となる.
ここで, $V_{rmp}(t)$ を線形に増加させると, V_δ に対応した反転 PWM 信号 $T_{inv.\delta}$ が生成
される. この時, キャパシタ CC はパルス幅 $T_{inv.\delta} - T_{tgt}$ のフィードバック PWM 信
号 S_{fb} で充電され, $V_{cc} = V_{iniB} + \frac{f_{cc}(V_{cmp})}{C_{cc}}(T_{inv.\delta} - T_{tgt})$ となる.

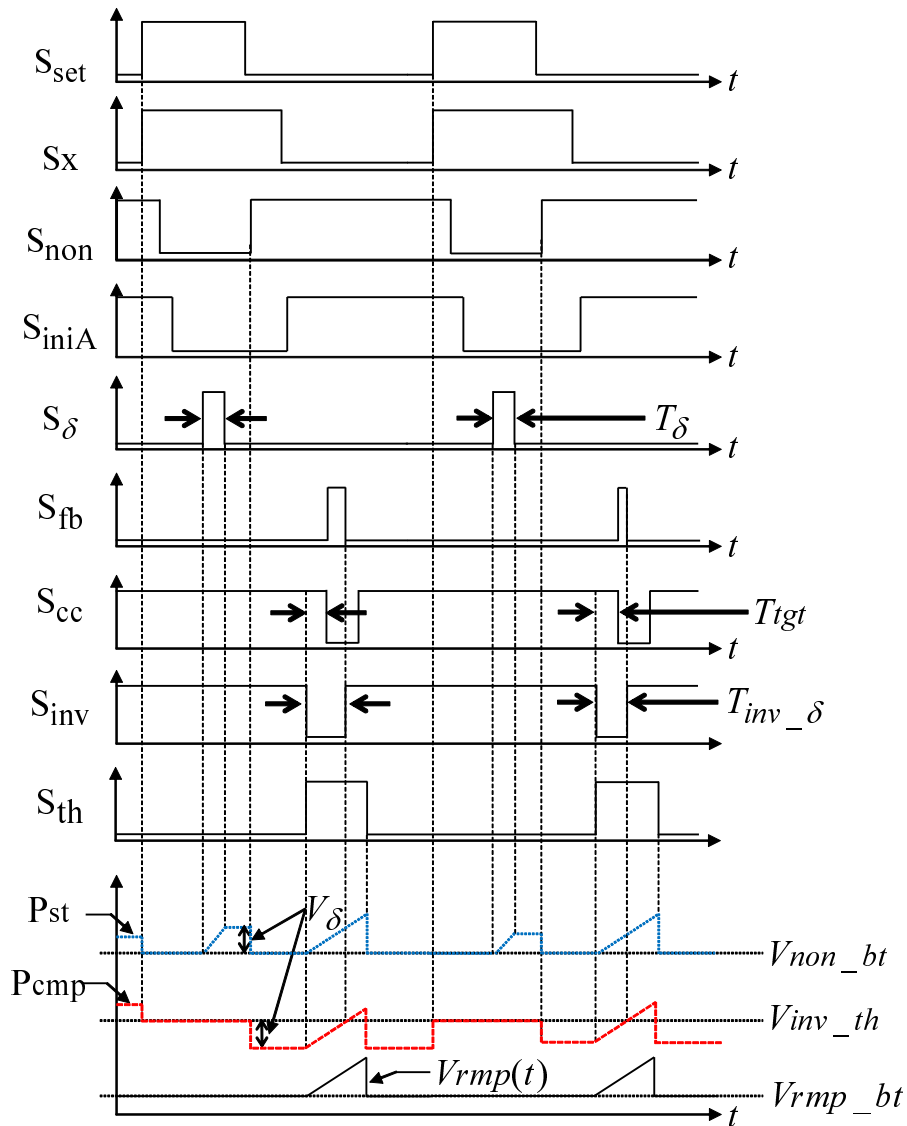


図 4.6 図 4.4 の回路で電流値・容量値バラツキ補償動作時の制御信号とノード電圧のタイミング図。

5. $T_{inv_delta} - T_{tgt}$ が最小化されるまで 1) から 4) を繰り返す。

なお、 V_{cc} を充電する電流源しか実装しない場合は、 V_{cc} の初期電圧は十分小さい値に設定する必要がある。(試作 LSI ではこのようにしている.)

補償可能条件

ここでは、 T_{inv_delta} が T_{tgt} に収束するために必要な条件を示す。 V_{cc} の更新 1 回を離散時間ステップで表し、 m ステップ目の V_{cc} を $V_{cc}(m)$ 、 S_δ にパルス幅 T_δ の PWM 信号を入力したと

きのノード P_{st} の電圧変化を $V_\delta(m)$ とする.

この時, 時刻 m のフィードバック PWM 信号のパルス幅 $T_{fb}(m)$ は

$$T_{fb}(m) = T_{inv.\delta}(m) - T_{tgt} \quad (4.5)$$

と表される. ただし, $T_{tgt} \leq T_{inv.\delta}(m)$ とする. $T_{inv.\delta}(m)$ と T_{tgt} はランプ関数の傾きの逆数 k_{rmp} (単位は s/V) を用いて, それぞれ, $T_{inv.\delta}(m) = k_{rmp}V_\delta(m)$, $T_{tgt} = k_{rmp}V_{tgt}$ と表現できる. ここで, V_{tgt} は $T_{inv.\delta}(m)$ が T_{tgt} に収束した時の $V_\delta(m)$ である. これらの関係から, 式 (4.5) は $V_\delta(m)$ と V_{tgt} を用いて

$$T_{fb} = k_{rmp}(V_\delta(m) - V_{tgt}) \quad (4.6)$$

と表現できる. また, $V_{cc}(m+1)$ は, $V_{cc}(m)$ に, 電流 $f_{cc}(V_{cmp})$ を容量 C_{cc} のキャパシタに $T_{fb}(m)$ 秒間積分した電圧を加えることで

$$V_{cc}(m+1) = V_{cc}(m) + \frac{f_{cc}(V_{cmp})}{C_{cc}} T_{fb}(m) \quad (4.7)$$

と表される. さらに, $V_\delta(m)$ は関数 $f_\delta(\cdot)$ を用いて

$$V_\delta(m) = \frac{f_\delta(V_{cc}(m))}{C_\delta} T_\delta \quad (4.8)$$

と表される. 式 (4.7) に式 (4.6) を代入すると

$$V_{cc}(m+1) = V_{cc}(m) + \frac{f_{cc}(V_{cmp})}{C_{cc}} k_{rmp}(V_\delta(m) - V_{tgt}) \quad (4.9)$$

を得る. さらに, 式 (4.9) に式 (4.8) を代入すると

$$V_{cc}(m+1) = \frac{f_{cc}(V_{cmp})T_\delta}{C_{cc}C_\delta} k_{rmp} f_{cc}(V_{cc}(m)) + V_{cc}(m) - \frac{f_{cc}(V_{cmp})V_{tgt}}{C_{cc}} k_{rmp} \quad (4.10)$$

となり, $V_{cc}(m)$ の 1 次元写像として記述できる. 式 (4.10) 中の各項毎の写像のイメージを図 4.7 に示す. 式 (4.10) の右辺第 1 項, 第 2 項, 第 3 項が, 図 4.7 の (a), (b), (c) にそれぞれ対応する. これらをすべて足し合わせた式 (4.10) の写像が図 4.7(d) である (破線は $V_{cc}(m+1) = V_{cc}(m)$ を表す).

図 4.7(d) より, 式 (4.10) の固定点 V_{fix} ($V_{cc}(m+1) = V_{cc}(m)$ となる点) は,

$$V_{fix} = V_{fix} + \frac{f_{cc}(V_{cmp})}{C_{cc}} k_{rmp} \left(\frac{f_\delta(V_{fix})}{C_\delta} T_\delta - V_{tgt} \right)$$

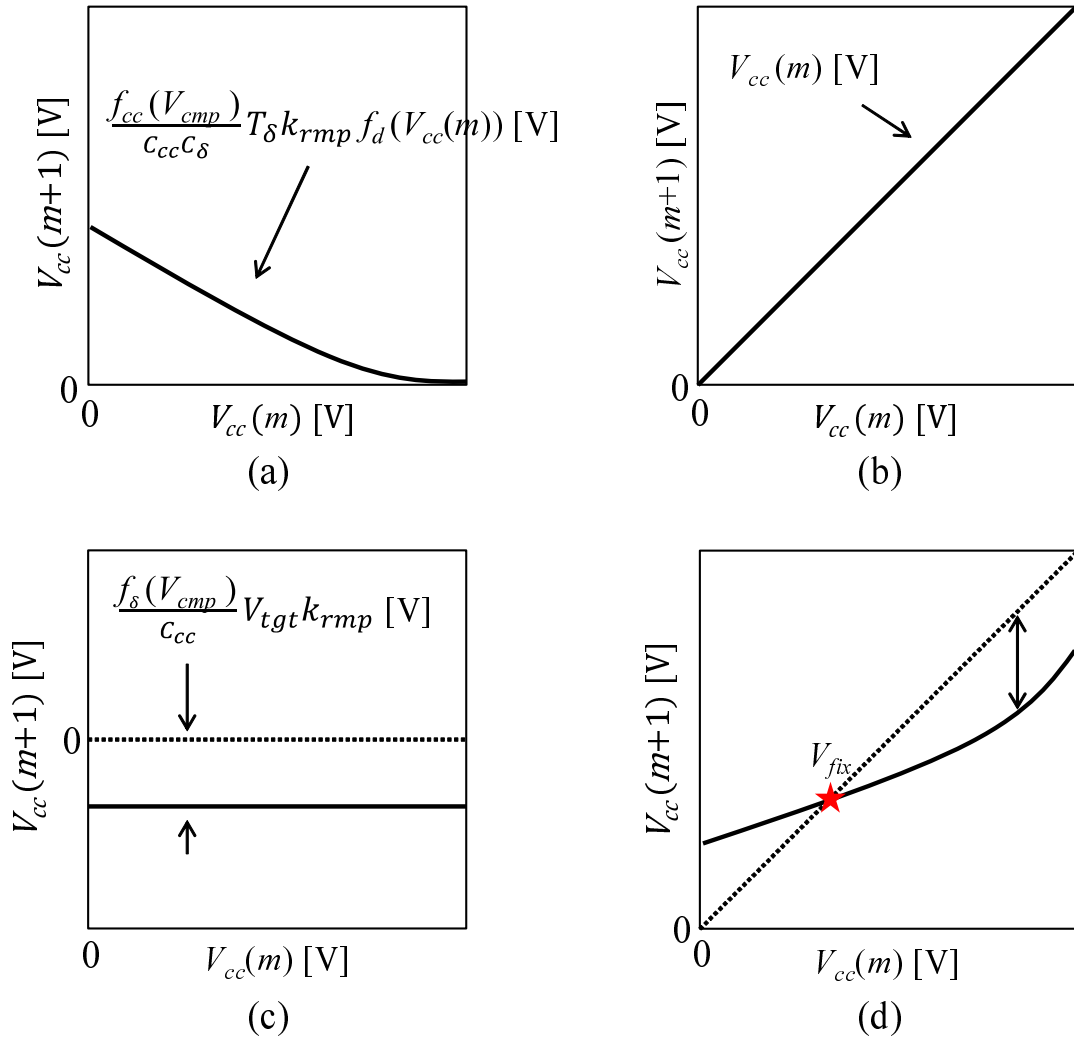


図 4.7 式 (4.10) が与える写像. (a) 第 1 項, (b) 2 項, (c) 3 項, (d) 式 (4.10) 全体.

より

$$0 = \frac{f_{\delta}(V_{fix})}{C_{\delta}} T_{\delta} - V_{tgt}$$

なので結局

$$V_{tgt} = \frac{f_{\delta}(V_{fix})}{C_{\delta}} T_{\delta} \tag{4.11}$$

を満たす. ここで, PWM 時間幅 $T_{tgt} = k_{rmp} V_{tgt}$ の関係を用いると, 式 (4.11) は

$$T_{tgt} = \frac{f_{\delta}(V_{fix})}{C_{\delta}} T_{\delta} k_{rmp} \tag{4.12}$$

と書ける. 式 (4.12) より, $V_{cc}(m)$ が V_{fix} に収束した状態で, 時間幅 T_δ の PWM 信号を S_δ に入力すると T_{tgt} が得られることがわかる. ここで, C_δ の値が変化しても T_{tgt} が得られることに注意する. このことから, V_{fix} が安定固定点となるように回路が設計できれば, V_{cc} の初期電圧 $V_{cc}(0)$ によらず, $f_\delta(\cdot)$, C_δ , および k_{rmp} のバラツキを補償できる (ただし, 図 4.4 に示すように C_{cc} に電荷を充電する電流源しかない回路構成の場合, $V_{tgt} \leq V_{cc}(0)$ のように初期電圧を設定する必要がある). また, V_{fix} に収束したとき, T_δ の値によらず, T_{tgt} が得られる. しきい値結合写像を実装した際に, T_δ は超過分に相当し, また, それを受け取った時にコンパレータが出力する PWM 信号のパルス幅の比は結合強度 g に他ならない. 式 (4.12) において, T_{tgt} は T_δ の PWM 信号を入力されたときにコンパレータが出力する PWM 信号のパルス幅であり, 従って結合強度 g は

$$g = T_{tgt}/T_\delta \quad (4.13)$$

で表される. T_δ と k_{rmp} は任意に決められるパラメータであるため, T_δ と k_{rmp} を調整することで g を調整できることが分かる.

ところで, V_{fix} が安定固定点となるのは, 図 4.7(d) の写像関数において V_{fix} における微係数の絶対値が 1 未満の時である. この条件は,

$$1 > \left| \frac{dV_{cc}(m+1)}{dV_{cc}(m)} \right|$$

より

$$1 > \left| 1 + \frac{f_{cc}(V_{cmp})k_{rmp}T_\delta}{C_{cc}C_\delta} \frac{df_\delta(V_{fix})}{dV_{cc}(m)} \right|$$

となるので,

$$-2 < \frac{f_{cc}(V_{cmp})T_\delta}{C_{cc}C_\delta} \frac{df_\delta(V_{fix})}{dV_{cc}(m)} k_{rmp} < 0 \quad (4.14)$$

を得る. 図 4.4 の回路では, M_δ は PMOS FET であるので, $V_{cc}(m)$ の増加に伴い電流が減少する. すなわち, 負の傾きを持つ. このことから安定固定点の条件は

$$\frac{f_{cc}(V_{cmp})T_\delta}{C_{cc}C_\delta} \frac{df_\delta(V_{fix})}{dV_{cc}(m)} k_{rmp} < 2 \quad (4.15)$$

となる.

一方, 初期値 $V_{cc}(0)$ と, フィードバック信号の時間幅によっては, 1 回の $V_{cc}(m)$ の更新で固定点 V_{fix} を超える場合がある. $V_{cc}(m)$ に電圧を足していくのみの回路構成の場合, この状

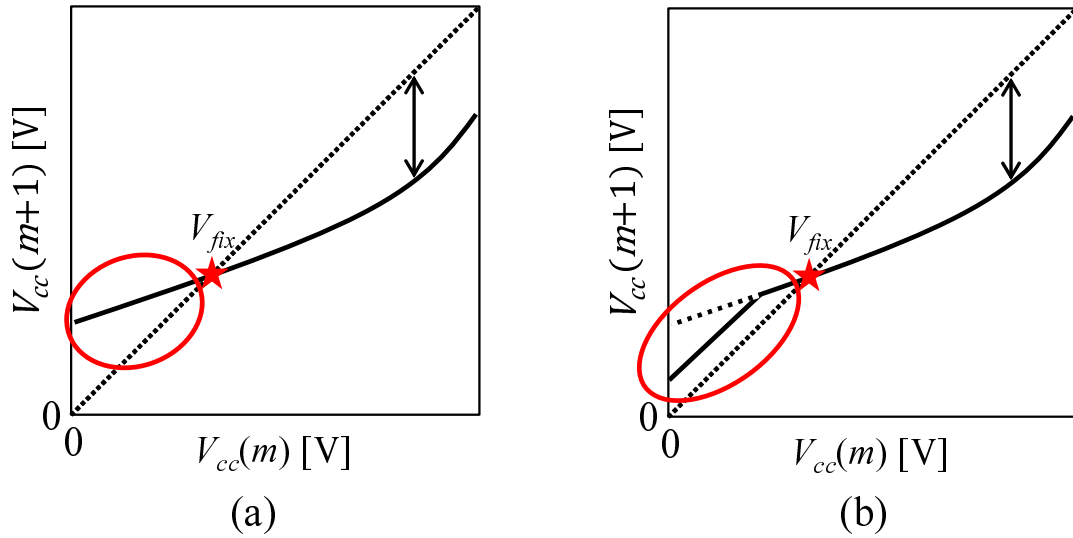


図 4.8 T_{fb} の値を制限した時の写像の変化. 図の丸で囲んだ部分の傾きが更新 PWM 信号のパルス幅を制限する前と後で変化する. (a) パルス幅制限前. (b) パルス幅制限後.

況を避ける必要がある. この状況を避けるために T_δ と $V_{cc}(0)$ は,

$$\frac{f_{cc}(V_{cmp})T_\delta}{C_{cc}C_\delta}k_{rmp}f_\delta(V_{cc}(0)) + V_{cc}(0) - \frac{f_{cc}(V_{cmp})V_{tgt}}{C_\delta}k_{rmp} \leq V_{fix} \quad (4.16)$$

を満たす必要がある. 実際の回路では, V_{fix} の値は不明である. そのため $V_{cc}(m)$ に電圧を加えるのみの更新では, $V_{cc}(0) \leq V_{fix}$ に設定するために $V_{cc}(0)$ をなるべく小さくする必要がある. しかしながら, $V_{cc}(0)$ を低い電圧に設定すると, M_δ が流す電流値が大きくなり, T_{fb} が大きくなる. その結果, 1回の更新で $V_{cc}(m)$ が V_{fix} を超えてしまう可能性が高くなる. そこで, S_{cc} の立ち上がりタイミングをずらし, T_{fb} の最大値に制限をかけることで, 図 4.7(d)の写像は, 図 4.8(a) から, 図 4.8(b) のように変化する. $V_{cc}(0)$ が小さい領域では写像の傾きが一定になる. これにより更新量を小さく抑えることができれば, $V_{cc}(0)$ に低い電圧を設定可能になる. 例えば, $f_\delta(\cdot)$ を PMOS FET の $V_{gs}-I_d$ 特性のような関数に限れば, 固定点での傾きと $V_{gs} = 0 \text{ V}$ での傾きは大きく異なるため, この場合には, 式 (4.15) の条件さえ満たせばよい.

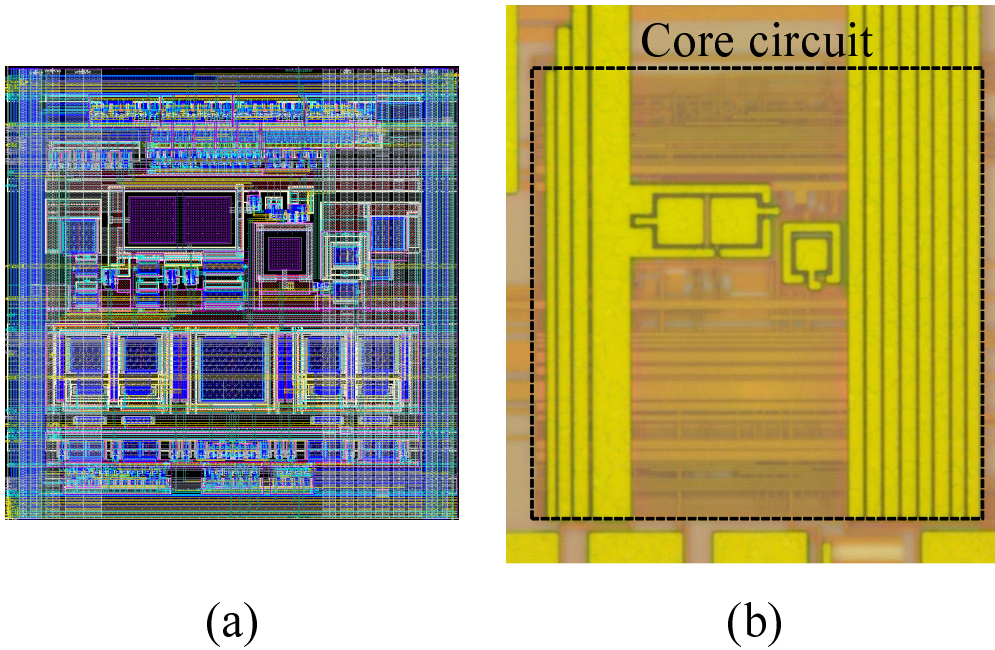


図 4.9 回路図 4.4 の設計・試作結果：(a) レイアウト結果，(b) 顕微鏡写真。

4.3 試作 LSI の評価方法と評価結果

4.3.1 LSI 設計・試作

図 4.4 に示したセル回路を TSMC $0.25\mu\text{m}$ (1-Poly, 5-Metal) CMOS プロセスで設計・試作した [42]. 回路のレイアウト結果と試作した LSI の顕微鏡写真を図 4.9 に示す. 図 4.4 の回路中のキャパシタの容量値は, $C_{DC} = C_{inv} = 0.225\text{ pF}$, $C_x = 0.1\text{ pF}$, $C_\delta = 2.0\text{ pF}$, $C_{cc} = 0.5\text{ pF}$ とした.

4.3.2 bit 精度の計算方法

コンパレータ回路の出力 PWM 信号を測定し, そのパルス幅の時系列データ $T_{out}(1), T_{out}(2), \dots, T_{out}(n)$ からリターンマップを再構成し, 最小二乗法でフィッティングした. そして, フィッティング関数 $F(\cdot)$ から得られたリターンマップとの差 $|F(T_{out}(n)) - T_{out}(n)|$ の標準偏差

表 4.1 図 4.10 の特性をフィッティングした結果

V_{os} [V]	0.0	0.05	0.1
k [ns/V]	2651.3	2656.4	2649.1
a [ns]	9.7	8.7	12.4

σ_{non} を計算した。このとき、非線形変換の bit 精度は、

$$(\text{Bit precision}) = \log_2 \frac{T_{\max}}{\sigma_{non}} \text{ [bits]} \quad (4.17)$$

で与えられる。ここで、 T_{\max} は状態値を表現する PWM 信号 T_{out} の最大値パルス幅である。

CCC 回路の bit 精度は、 T_{tgt} と、 T_{out} の平均値 $\langle T_{out} \rangle$ との差 Δ_{tgt} と、 $\langle T_{out} \rangle$ の標準偏差 σ_{cc} を用いて以下のように計算した。

$$(\text{Bit precision}) = \log_2 \frac{T_{\max}}{|\sigma_{cc}| + |\Delta_{tgt}|} \text{ [bits]}. \quad (4.18)$$

ここで、 $T_{\max}=2,630$ ns とした。

4.3.3 試作コンパレータ回路の電圧・パルス幅変換特性の測定

試作したコンパレータ回路の電圧・パルス幅変換特性を測定した。このとき、ランプ電圧波形は $V_{rmp}(t) = 0.414 \times 10^{-6}t + V_{rmp.bt0}$ とし、 $V_{rmp.bt0} = 1.6$ V に設定した。コンパレータ回路の DC オフセット電圧 $V_{os}(= V_{non.bt} - V_{rmp.bt})$ に対する頑健性を評価するため、 $V_{non.bt0} = 1.6, 1.65, 1.7$ V と変化させた。ここで、それぞれの電圧は $V_{os} = 0.0, 0.05, 0.1$ V に対応する。また、 $V_{non}(t)$ は矩形波とし、その振幅は $[0.05, 0.85]$ V の範囲を 0.05 V 刻みで変化させた。このとき、各振幅に対する T_{out} をそれぞれ 10 回測定した。

図 4.10 に、 V_{os} を変化させた時のコンパレータ回路の入出力特性を示す。図 4.10 に示すように、全ての V_{os} において入出力特性はほぼ同じであった。次に、これらの特性を一次関数 $T_{out} = kV_{non} + a$ によりフィッティングした。このフィッティング結果を表 4.1 に示す。表 4.1 に示すように、 V_{os} が 0.0 V と 0.1 V の場合の a の変化は 2.7 ns であり、オフセット電圧の影響を揺らぎ程度まで最小化できたことを確認した。

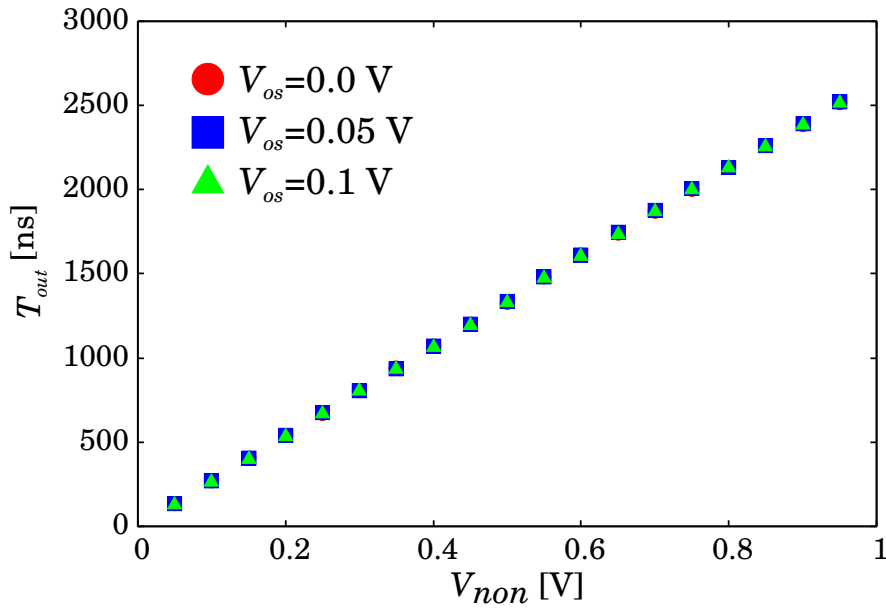


図 4.10 V_{os} を変化させた時の試作コンパレータ回路の電圧-パルス幅変換特性の測定結果.

4.3.4 非線形変換回路の測定

ランプ電圧波形と非線形電圧波形を, それぞれ $V_{rmp}(t) = 0.414 \times 10^{-6}t + V_{rmp.bt0}$, および $V_{non}(t) = 1.385t(1-t) \times 10^6 + V_{non.bt0}$ に設定し, 非線形変換を行った. $V_{rmp.bt0} = 0.6$ V に固定し, $V_{non.bt0} = 1.6, 1.65, 1.7$ V のときの T_{out} を測定した. コンパレータ回路の電圧・パルス幅変換特性の測定と同様に, それぞれの $V_{non.bt0}$ はオフセット電圧 $V_{os} = 0.0, 0.05, 0.1$ V の場合に相当する. 各 V_{os} 毎に 10 個の T_{out} の時系列データを測定した. 図 4.11 に, 非線形変換時の V_{rmp} , V_{non} , V_x および S_{out} の電圧波形を示す.

図 4.12 に V_{os} を変化させたときのリターンマップを示す. 全ての V_{os} の値に対してリターンマップはほとんど変化していない. 各 V_{os} で得た 10 個のリターンマップを, 2 次関数 $T_{out}(n+1) = qT_{out}(n)^2 + kT_{out}(n) + a$ でフィッティングし, bit 精度を計算した. 表 4.2 に, q , k および a の平均と bit 精度を示す. 全ての V_{os} において, 係数 q , k , a はほとんど変化していない. 特に, a の最大誤差は 2 ns であり, 全ての場合で 8.8 bits 以上の精度が得られた.

表 4.2 リターンマップのフィッティング結果

V_{os} [V]	0.0	0.05	0.1
$\langle q \rangle$ [$1/\mu s$]	$-1.466 \pm 1 \times 10^{-3}$	$-1.467 \pm 1 \times 10^{-3}$	$-1.466 \pm 7 \times 10^{-4}$
$\langle k \rangle$ [ns/V]	$3.944 \pm 4 \times 10^{-3}$	$3.945 \pm 3 \times 10^{-3}$	$3.942 \pm 2 \times 10^{-3}$
$\langle a \rangle$ [ns]	-22.0 ± 3	-21.8 ± 2	-20.0 ± 2
$\langle \text{Bitprecision} \rangle$ [bits]	8.85 ± 0.14	8.89 ± 0.17	8.93 ± 0.12

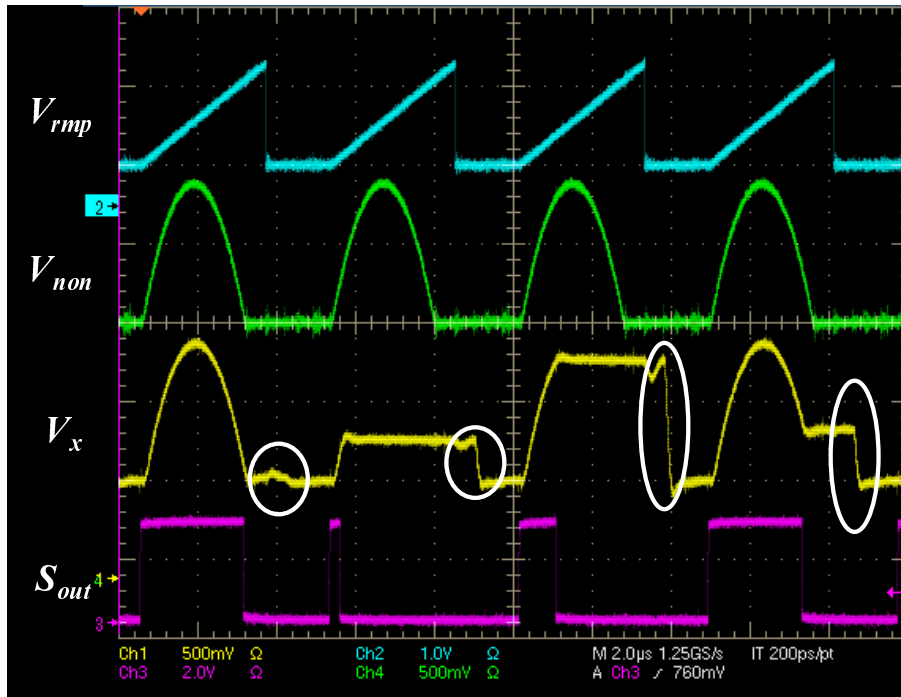


図 4.11 非線形変換時の V_{rmp} , V_{non} , V_x および S_{out} の電圧波形. $V_{rmp.bt0}$ と $V_{non.bt0}$ は、それぞれ 0.6 V と 1.6 V に設定した. 図中の白丸で囲まれたタイミングで V_x を $V_{non.bt1}$ にセットしている.

4.3.5 CCC 回路

V_{rmp} と V_{non} を、それぞれ $V_{rmp}(t) = 0.414 \times 10^{-6}t + V_{rmp.bt0}$ と $V_{non} = V_{non.bt0} = 1.6$ V に設定し、CCC 回路を測定した. このとき、 V_{cc} の更新毎の T_{out} を測定した. なお、 $V_{rmp.bt0} = 0.6$ V, $T_{\delta} = 600$ ns に設定した. V_{cc} の初期電圧 V_{iniB} , トランジスタ M_{cc} のゲー

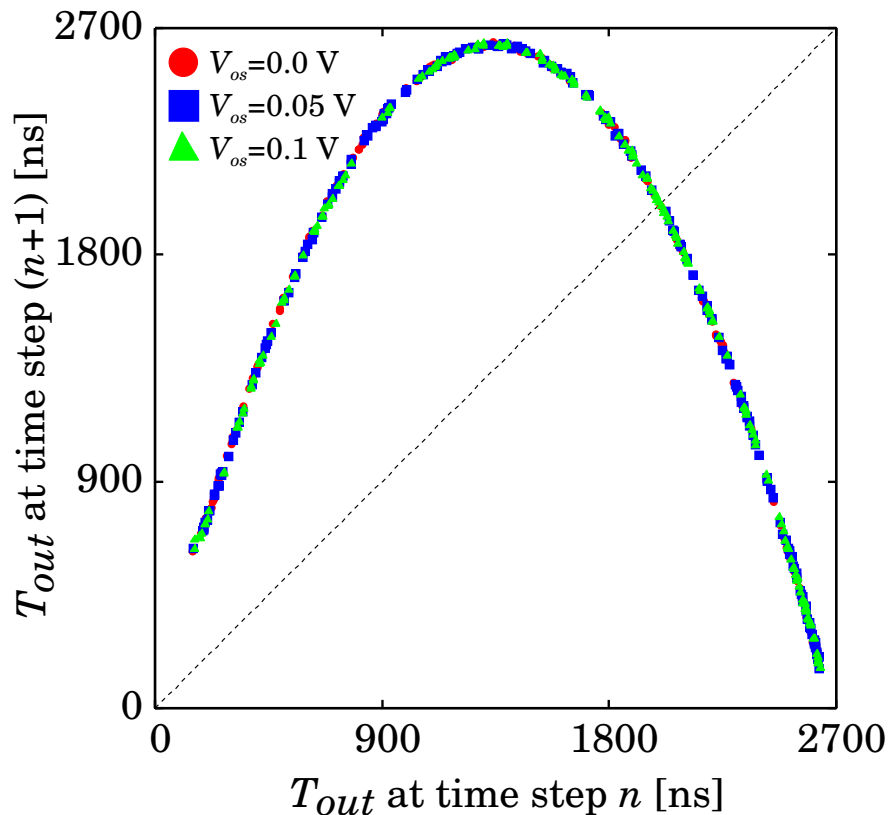


図 4.12 測定により得られたリターンマップ. 赤丸, 青四角, 黄緑三角が, それぞれ $V_{os} = 0.0, 0.05, 0.1$ V の時のリターンマップを示す.

ト電圧 V_{cmp} , 目標パルス幅 T_{tgt} を次に示す値に変化させた時の T_{out} を測定した: $V_{iniB} = 1.35, 1.4, 1.45$ V; $V_{cmp} = 1.95, 2.0, 2.05$ V; $T_{tgt} = 520, 560, 600$ ns.

図 4.13 に, CCC 回路動作中のノード P_x の電圧 V_x , S_{cc} および S_{out} の電圧波形を示す. 図 4.13 中の $V_{\delta}(1), V_{\delta}(2), V_{\delta}(3)$ は, $V_{cc}(m)$ の更新ステップ毎の充電電圧である. V_{cc} の更新に伴い, V_{δ} が小さくなっていることが確認できる. T_{out} の時系列データを図 4.14 に示す. 図の横軸は V_{cc} の更新ステップ m である. 図 4.14(a) は, V_{iniB} を変えた場合の T_{out} の時間変化である. ここでは, $V_{cmp} = 2.0$ V, $T_{tgt} = 600$ ns とした. 図より, V_{iniB} が異なる場合でも T_{out} は T_{tgt} に収束していることが分かる. この結果は, CCC 回路を構成するトランジスタ M_{δ} の V - I 変換特性がばらついていても, その特性を補償可能なことを意味する. 図 4.14(b) は, V_{cmp} を変えた場合の T_{out} の時間変化である. ここでは, $V_{iniB} = 1.4$ V, $T_{tgt} = 600$ ns とした. 図より, V_{cmp} を変化させた場合でも T_{out} は T_{tgt} に収束している. この結果は, V_{cc} を更

表 4.3 V_{iniB} を変化させた場合の出力パルス幅 T_{out} .

V_{iniB} [V]	1.35	1.4	1.45
m_{fst} [V]	27	36	28
$\langle T_{out} \rangle$ [ns]	604 ± 3.89	603 ± 2.14	595 ± 2.66
Δ_{tgt} [ns]	4	3	-5
Bit precision [bits]	8.38	9.00	8.42

表 4.4 V_{cmp} を変化させた場合の出力パルス幅 T_{out} .

V_{cmp} [V]	1.95	2.0	2.05
m_{fst} [V]	23	36	30
$\langle T_{out} \rangle$ [ns]	602 ± 1.98	603 ± 2.14	598 ± 3.49
Δ_{tgt} [ns]	2	3	2
Bit precision [bits]	9.37	9.00	8.90

新する電流源として動作するトランジスタ M_{cc} の V - I 変換特性にバラツキがあってもそれを補償可能なことを示している. 一方, 図 4.14(c) は, T_{tgt} を変えた場合の T_{out} の時間変化である. ここでは, $V_{iniB} = 1.4$ V, $V_{cmp} = 2.0$ V とした. 図 4.14(c) より, T_{tgt} が異なる場合でも T_{out} は T_{tgt} に収束していることが分かる. この結果は, 提案した CCC 回路によれば T_{tgt} を任意の値に設定できることを意味する. T_{δ} と T_{tgt} の比 (T_{tgt}/T_{δ}) は結合重み g であることから, CCC 回路はバラツキの影響を補償しつつ, g を任意の値に設定することができる.

次に, T_{out} の平均値と bit 精度, および T_{tgt} と $\langle T_{out} \rangle$ の差 Δ_{tgt} を計算した. ここで, 初めて $T_{out} \leq T_{tgt}$ となった m を m_{fst} と定義し, $m_{fst} \leq m \leq m_{fst} + 20$ の範囲で平均値 $\langle T_{out} \rangle$ を計算した. これらの値の計算結果を, 表 4.3, 表 4.4, および表 4.5 に示す. これらが示すように, 全ての場合について 8 bits 以上の精度が得られた.

表 4.5 T_{tgt} を変化させた場合の出力パルス幅 T_{out} .

T_{tgt} [ns]	520	560	600
m_{fst} [V]	39	39	36
$\langle T_{out} \rangle$ [ns]	522 ± 2.55	563 ± 2.27	603 ± 2.14
Δ_{tgt} [ns]	2	3	3
Bit precision [bits]	9.17	8.96	9.00

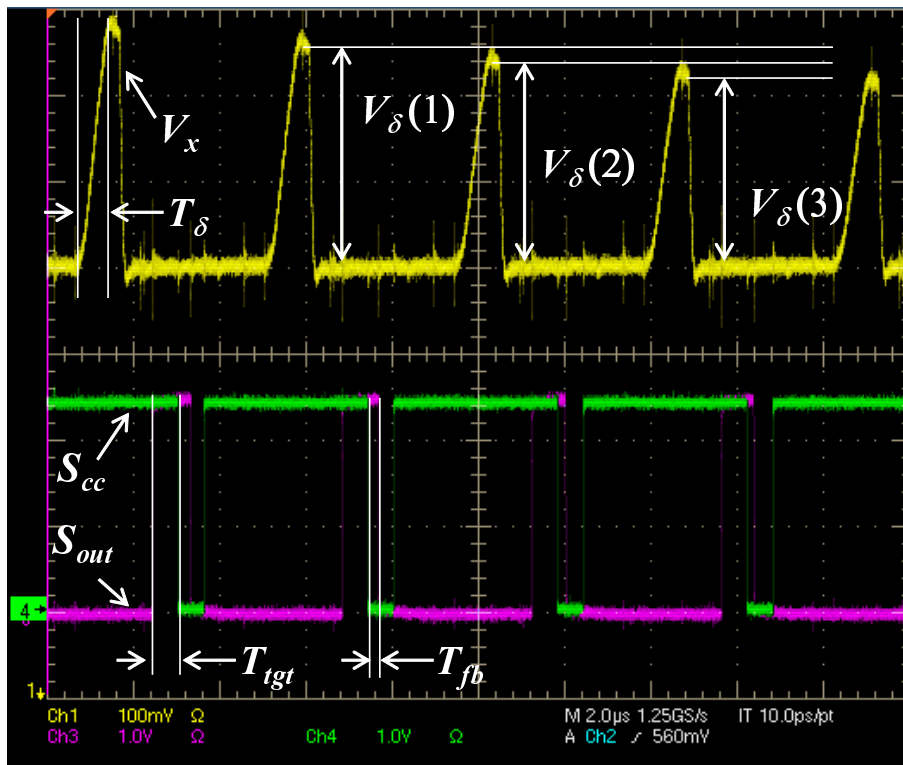


図 4.13 CCC 回路動作中の V_x , S_{cc} , および S_{out} の電圧波形. $V_{iniB} = 1.4 \text{ V}$, $V_{cmp} = 1.95 \text{ V}$, $T_\delta = 600$; $T_{tgt} = 600 \text{ ns}$.

4.4 まとめ

ランプ電圧波形と非線形電圧波形の基準電圧のバラツキに頑健なコンパレータ回路と、容量値・電流値バラツキ補償 (CCC) 回路を搭載した VSM の非線形演算セル回路を提案・試作・

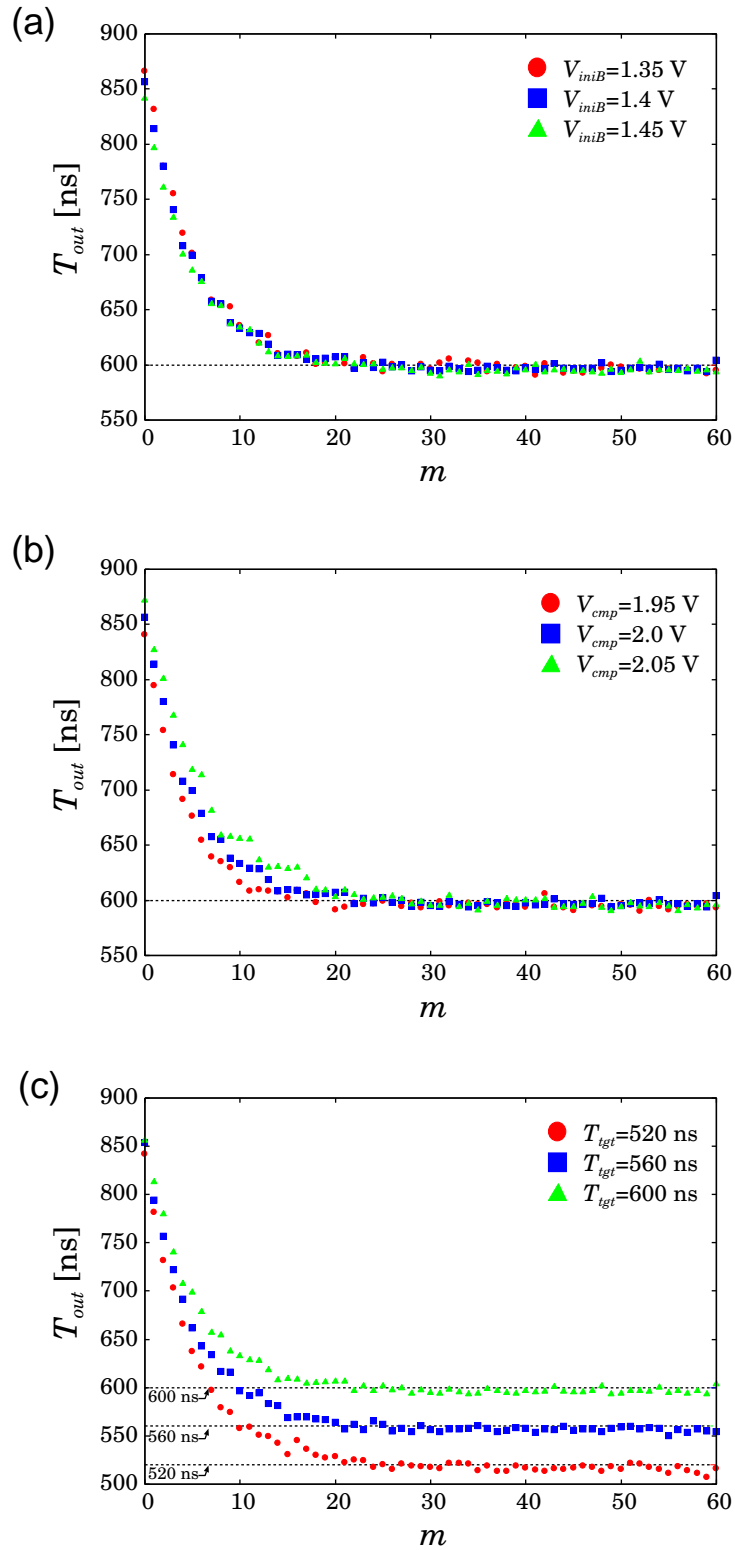


図 4.14 CCC 回路を動作させた時の T_{out} の時間変化の様子. (a) V_{iniB} を変化させた場合 ($V_{cmp} = 2.0$ V, $T_{tgt} = 600$ ns). (b) V_{cmp} を変化させた場合 ($V_{iniB} = 1.4$ V, $T_{tgt} = 600$ ns). (c) T_{tgt} を変化させた場合 ($V_{iniB} = 1.4$ V, $V_{cmp} = 2.0$ V).

評価した。CCC 回路については補償可能条件を回路方程式から導いた。その結果から、CCC 回路はバラツキを補償するだけでなく、結合強度を設定するためにも用いることができることを明らかにした。試作したセル回路の評価では、提案コンパレータが基準電圧のバラツキを約 1/100 に低減できることが分かった。CCC 回路の評価では補償対象の電流源のバイアス電圧や、補償に用いる電流源の電流値が異なっても、8 bits 以上の精度で補償を実現できることを実験的に明らかにした。また、目標パルス幅を変化させても同様の精度で補償できることが分かった。

第 5 章

拡張しきい値結合写像モデルを実現する集積回路の設計・試作・評価

5.1 回路構成

第 4 章で提案したセル回路を 20×20 個の格子状に配置したアレイチップを TSMC $0.25\mu\text{m}$ (1-Poly, 5-Metal) CMOS プロセスで設計し，試作・評価した．図 5.1 に，アレイ回路のレイアウト結果と試作チップの写真を示す．このアレイ回路の構成の詳細を図 5.2 に示す．図中，破線で囲まれた列回路は，20 個のユニット回路で構成される．列回路には， V_{rmp} と V_{non} を各ユニット回路に供給するアナログバッファをそれぞれ 1 個，列選択用のシフトレジスタを 1 個搭載した． S_{out} は，横方向に配置したユニット回路に共通のバスラインでチップ外に出力される．このとき，バスラインの寄生容量を駆動するために， S_{out} は各ユニット回路からデジタルバッファを通して出力される．このデジタルバッファの出力にはスイッチが直列に接続されており，このスイッチは列毎に設けたシフトレジスタで ON/OFF される．このため， S_{out} の出力は列単位で行われる．

ユニット回路内には，図 4.3 で示したように，結合パターン保持回路が搭載されている．この回路により，4 近傍の結合を自由に変更することができ，図 5.3(a) と (b) にそれぞれ示すような，1 次元相互結合や 2 次元相互結合のネットワークを実現できる．

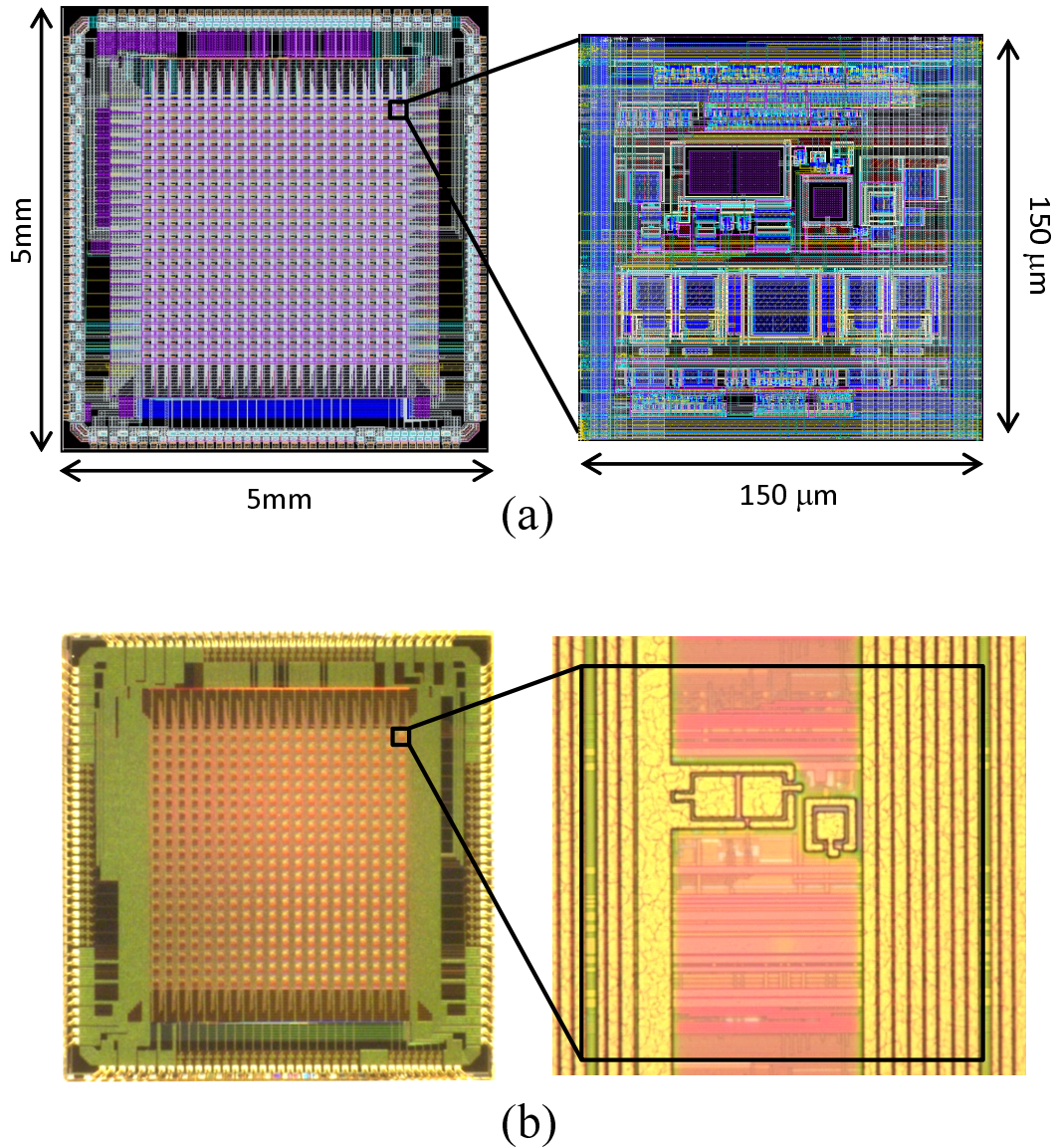


図 5.1 アレイチップの設計・試作結果 : (a) レイアウト結果, (b) 試作チップ写真.

5.2 しきい値結合写像の実行方法

第 2 章で、しきい値結合写像には非線形変換と緩和処理の 2 つの処理があることを説明した。試作したアレイチップでしきい値結合写像を実行する際、非線形変換には非線形電圧波形、緩和処理にはランプ電圧波形を用いる。図 5.4 に、しきい値結合写像を実行する際の制御信号と各ノードの電圧のタイミングを示す。ここで、しきい値結合写像は以下のように実行さ

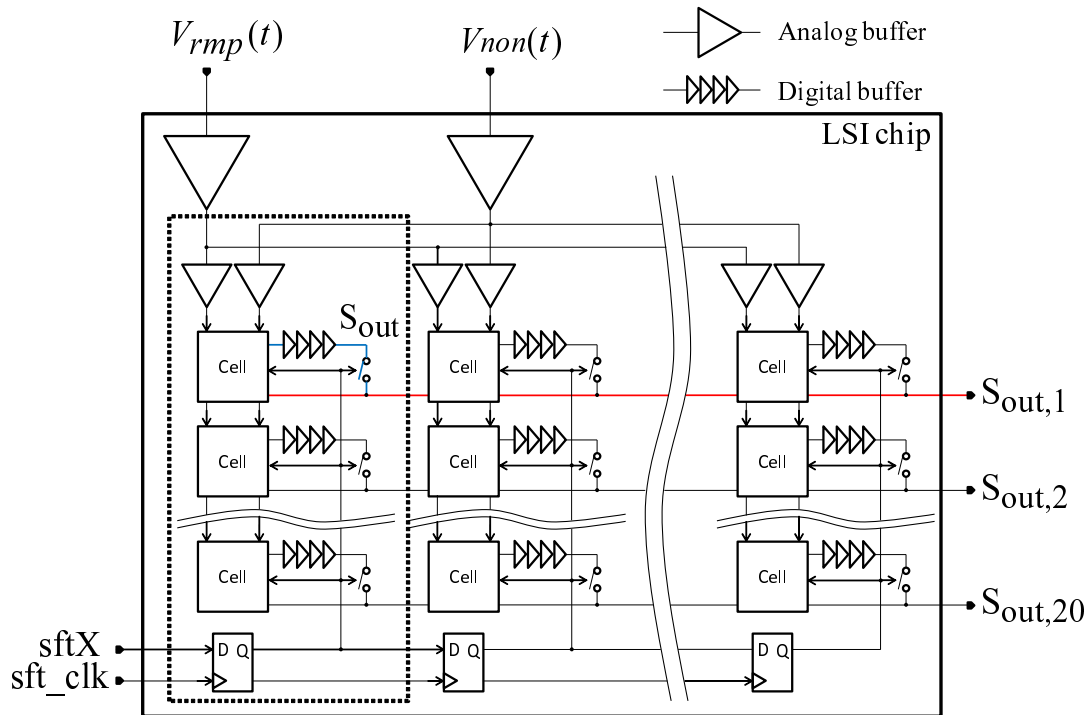


図 5.2 アレイチップの回路構成.

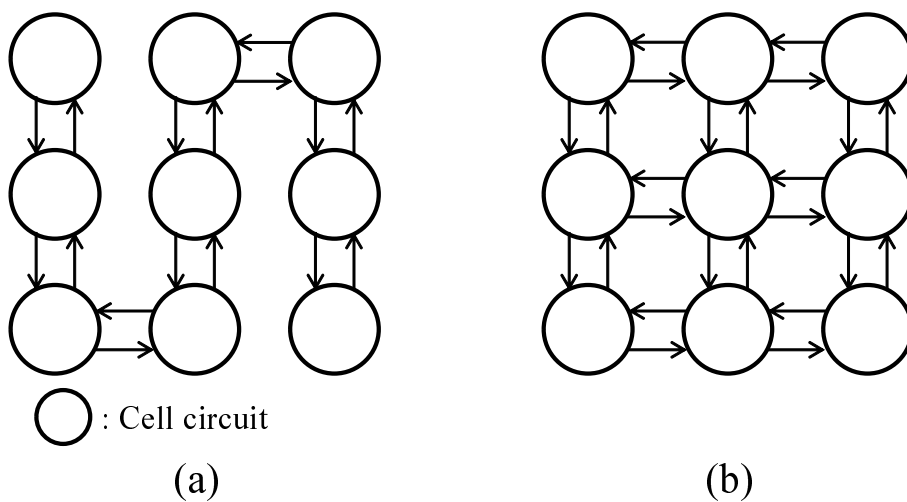


図 5.3 結合パターン : (a) 1次元1方向結合, (b) 2次元相互結合.

れる：

1. S_{set} と S_x を ON し，ノード P_{st} と P_{cmp} の電圧を，それぞれ V_{x0} とインバータのしきい値電圧 $V_{inv.th}$ にセットする．
2. S_{set} を OFF した後， S_{non} を ON する．このとき，ノード P_{st} の電圧は， V_{x0} から $V_{non.bt}$ にセットされる．これと同時に，ノード P_{cmp} の電圧は， $V_{inv.th}$ から $(V_{inv.th} - V_{x0})$ へと変化する．このとき，キャパシタ C_{DC} は，基準電圧の差 $(V_{rmp.bt} - V_{non.bt})$ を保持する．
3. S_{non} を OFF にした後， S_x を OFF にする．このとき，ノード P_{cmp} の電圧 $(V_{inv.th} - V_{x0})$ は PWM 信号に変換される．この変換は，電圧 $(V_{inv.th} - V_{x0})$ と参照用のランプ波形 $V_{rmp}(t)$ とを比較することで実現される．さらに，非線形電圧波形 $V_{non}(t)$ は，PWM 信号 S_{out} により C_x にサンプリングされる．
4. 次に，1～3. を実行し，電圧を PWM 信号に変換する．この時， T_{out} が T_{th} よりも大きい場合には， T_{th} を超過したパルス幅を δ として，近傍のユニット回路に送る．送られた δ は SCS を ON し，ノード P_δ の電位を上昇させる．そして，パルス幅 T_{th} の PWM 信号でランプ電圧波形を C_x にサンプリングする．一方， T_{out} が T_{th} よりも小さい場合には， T_{out} の PWM 信号でランプ電圧波形を C_x にサンプリングする．

1～3. で非線形変換を実行し，4. で緩和処理を実行する．また，4. の繰り返し回数が l に相当する．

5.3 CCC 回路の測定結果

アレイチップ上の CCC 回路を測定した．補償動作無しの場合と， V_{iniB} ， V_{cmp} ， T_{tgt} を変えた補償有りの場合について，それぞれ測定した．補償動作有りの場合では， T_{out} が十分 T_{tgt} に収束する $m = 50$ の時に T_{out} を測定した．補償無しの場合では， V_{cc} を V_{iniB} に固定した．このとき，座標 (1,1) のセルの T_{out} が T_{tgt} になるよう V_{iniB} を調整した．この座標は，図 5.1(a) に示すようにチップの左下を原点と定め，横軸と縦軸をそれぞれ X ， Y と定義した．

図 5.5 に，補償無しの場合と補償有りの場合の T_{out} の空間分布を示す．横軸と縦軸は，それぞれ，アレイチップ上のユニット回路の座標 (X, Y) ，カラーバーは T_{out} のパルス幅を表

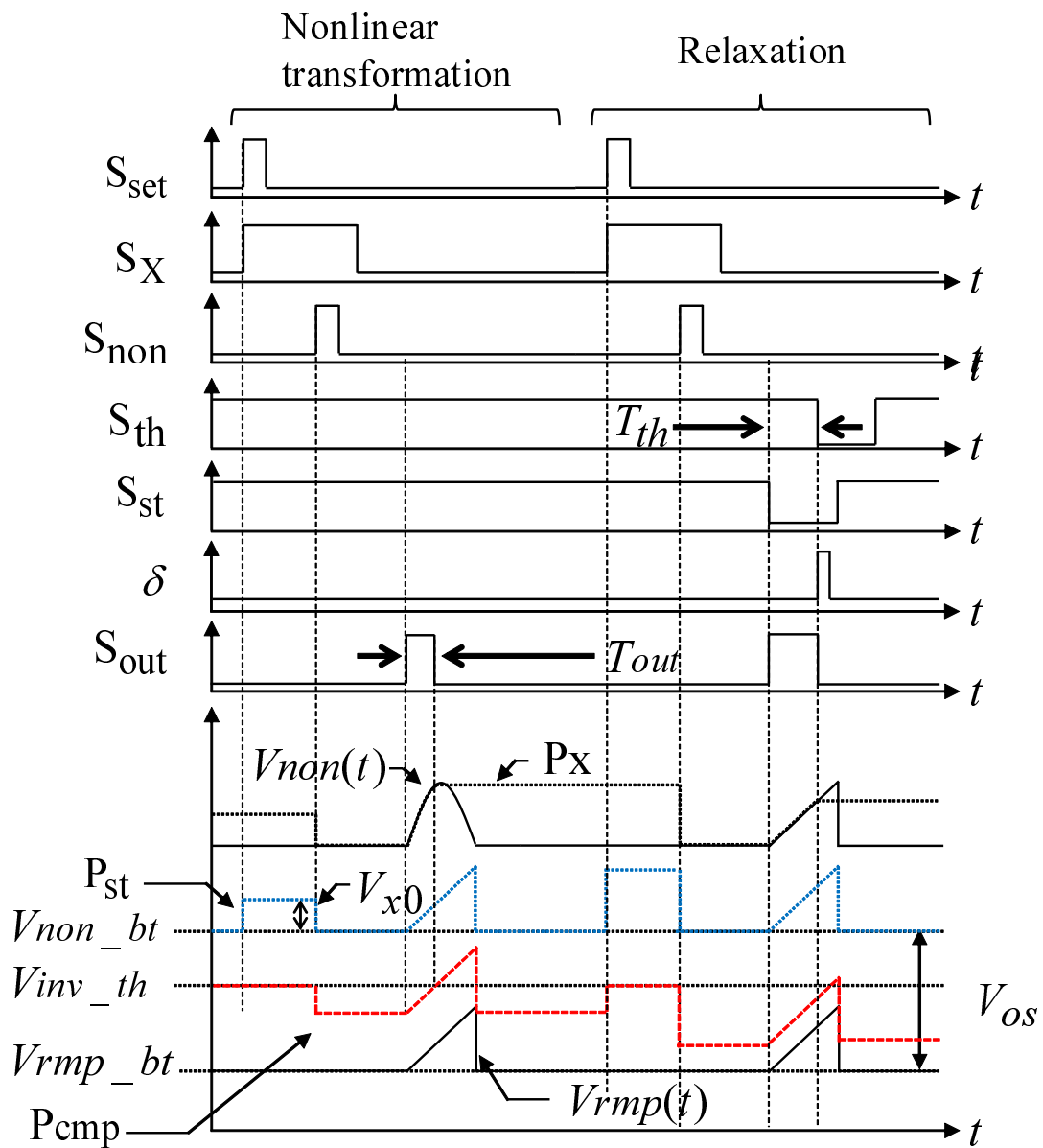


図 5.4 しきい値結合写像を実行する際の制御信号と各ノードの電圧のタイミング図。

す。なお、 $T_{tgt} = T_{\delta} = 600 \text{ ns}$ とした。ここで、図 5.5(a) は補償無しの場合、図 5.5(b)~(d) は V_{iniB} を、図 5.5(e), (f) は V_{cmp} をそれぞれ変化させて補償動作を実行した場合の T_{out} の空間分布である。図 5.5(a) と図 5.5(b)~(f) を比べると、補償を行った場合の方がバラツキが小さい。また、補償有りの場合では、Y 軸方向の下から上に向けて T_{out} が大きくなっている（紫色からオレンジ色へ変化している）。

次に、 T_{out} のバラツキを定量評価するために T_{out} についてのヒストグラムを作成し、400

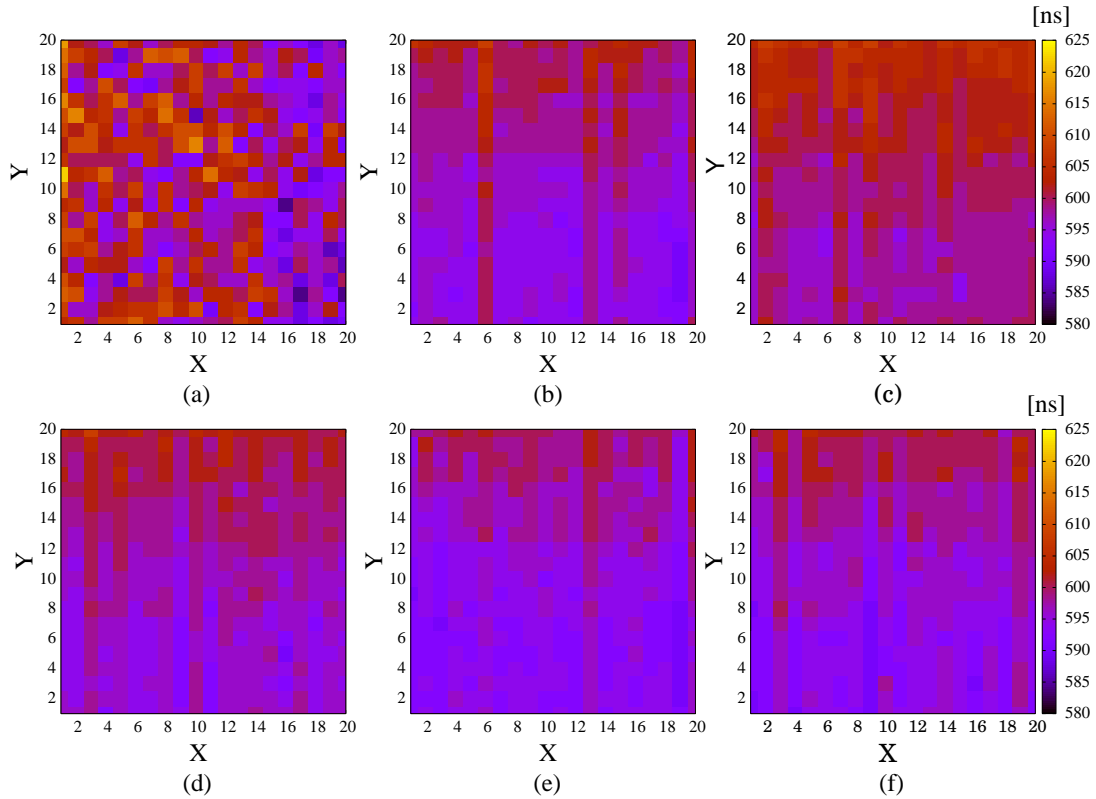
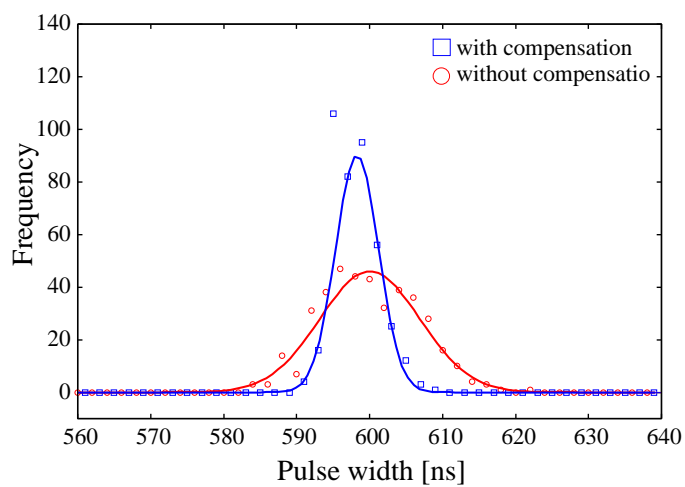


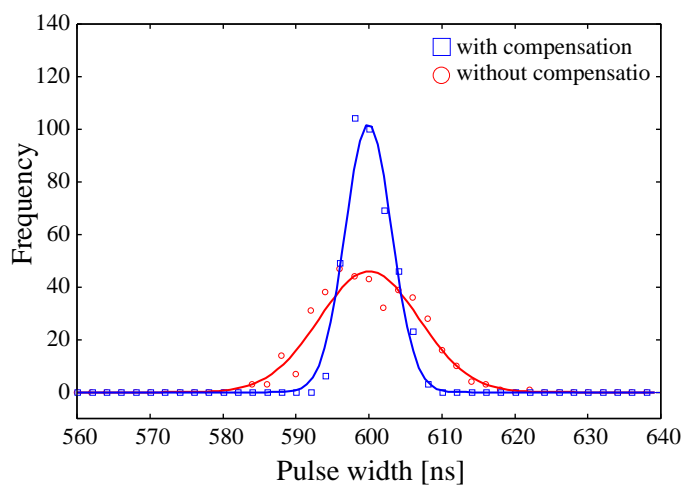
図 5.5 T_{out} の空間分布. (a) 補償無し, (b)~(f) 補償有りの場合. (a) 補償無し ($V_{iniB} = 2.11 \text{ V}$); (b) $V_{iniB} = 1.9 \text{ V}$, $V_{cmp} = 2.15 \text{ V}$; (c) $V_{iniB} = 1.95 \text{ V}$, $V_{cmp} = 2.15 \text{ V}$; (d) $V_{iniB} = 2.0 \text{ V}$, $V_{cmp} = 2.15 \text{ V}$; (e) $V_{iniB} = 1.95 \text{ V}$, $V_{cmp} = 2.05 \text{ V}$; (f) $V_{iniB} = 1.95 \text{ V}$, $V_{cmp} = 2.1 \text{ V}$.

個のセルが出力した T_{out} の平均値 $\langle T_{out} \rangle$ と標準偏差を計算した. 平均値と標準偏差は T_{out} のヒストグラムの分布を正規分布にフィッティングした結果から求めた. 図 5.6 に, V_{iniB} を変えた場合のヒストグラムを示す. 図では, V_{cmp} は 2.15 V とした. 図の結果より, V_{iniB} が 1.9 V , 1.95 V , 2.00 V の全ての値で補償無しの場合に比べてバラツキが小さくなっていることがわかる.

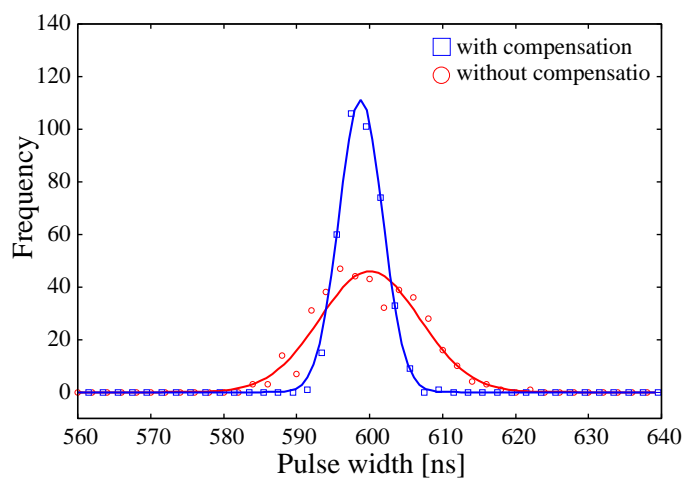
図 5.5 より, 補償動作有りの場合の T_{out} には Y 方向に空間的な分布があることを確認した. そこで, $Y \leq 10$ の座標のセル (チップ上部) と, $Y > 10$ のセル (チップ下部) で, それぞれ別々にヒストグラムを算出した結果を図 5.9 に示す. 図 5.9 より, 補償動作無しの場合では, チップ上部と下部でほとんど違いが無い. 一方で, 補償動作有りの場合には近似曲線のピークの値と横軸の値 (=平均値) がそれぞれ異なる. すなわち, 図 5.9(a) と (b) それぞれで, チップ



(a)

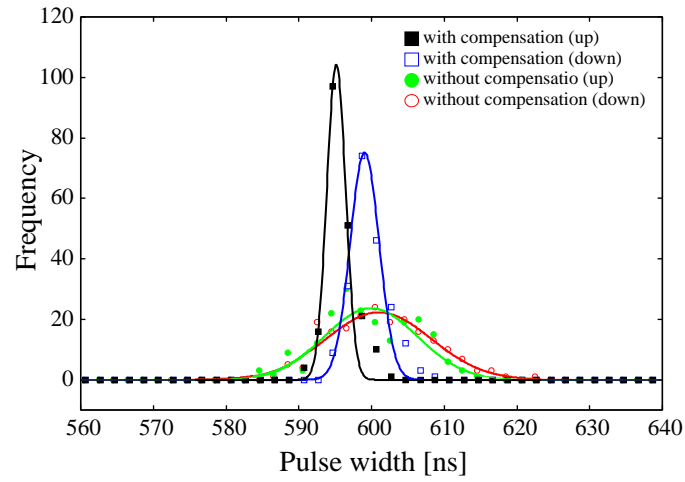


(b)

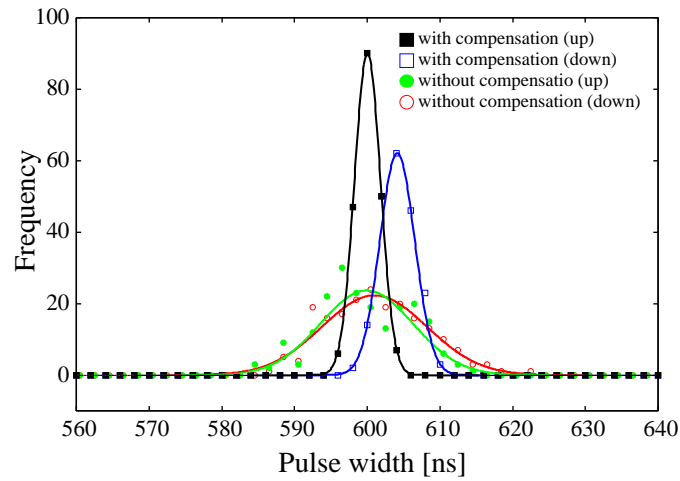


(c)

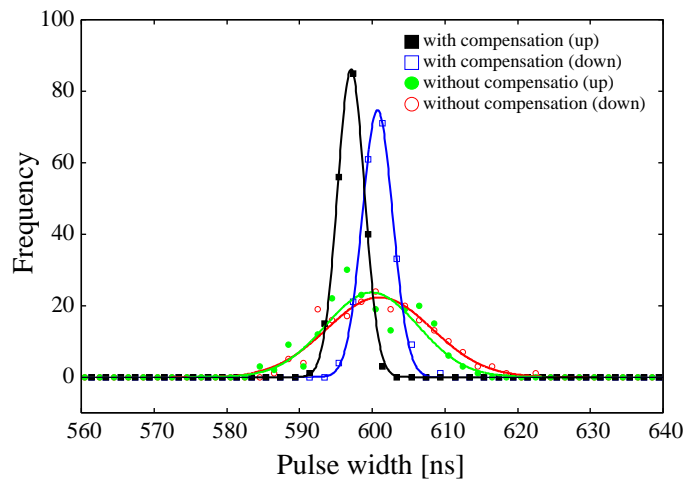
図 5.6 V_{iniB} を変えた場合の T_{out} の値のヒストグラム。 $V_{cmp} = 2.15$ V に固定した。
 (a) $V_{iniB} = 1.9$ V ; (b) $V_{iniB} = 1.95$ V ; (c) $V_{iniB} = 2.0$ V.



(a)



(b)



(c)

図 5.7 図 5.6 をチップの上部と下部に分けて算出したヒストグラム. (a) $V_{iniB} = 1.9$ V ; (b) $V_{iniB} = 1.95$ V ; (c) $V_{iniB} = 2.0$ V.

表 5.1 V_{iniB} を変化させた場合の $\langle T_{out} \rangle$.

V_{iniB} [V]	1.9	1.95	2.0	2.11(補償無し)
$\langle T_{out} \rangle$ (全体) [ns]	598 ± 2.95	600 ± 3.16	599 ± 2.98	600 ± 6.86
$\langle T_{out} \rangle$ (上部) [ns]	599 ± 1.98	604 ± 2.40	600 ± 2.09	601 ± 7.21
$\langle T_{out} \rangle$ (下部) [ns]	595 ± 1.29	600 ± 1.78	597 ± 1.85	600 ± 6.38

表 5.2 V_{cmp} を変化させた場合の $\langle T_{out} \rangle$.

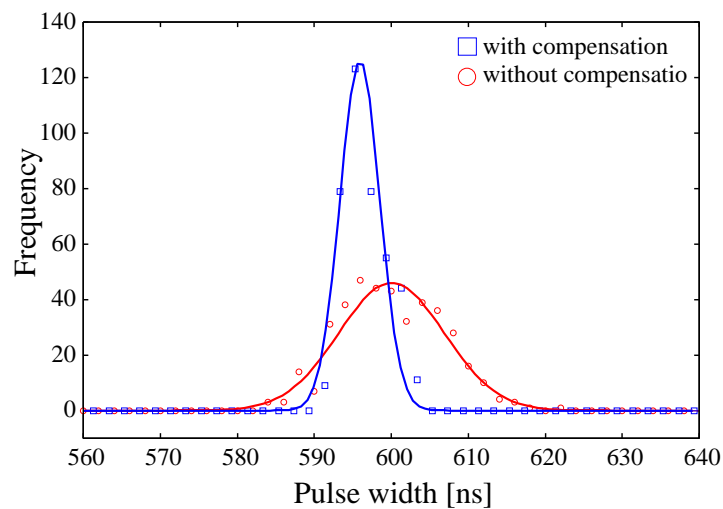
V_{cmp} [V]	2.05	2.1	2.15	2.11(補償無し)
$\langle T_{out} \rangle$ (全体)[ns]	596 ± 2.58	596 ± 3.26	600 ± 3.16	600 ± 6.86
$\langle T_{out} \rangle$ (上部)[ns]	598 ± 2.74	600 ± 2.34	604 ± 2.40	601 ± 7.21
$\langle T_{out} \rangle$ (下部)[ns]	594 ± 1.76	596 ± 2.18	600 ± 1.79	600 ± 6.38

上部の方がピークの値が大きく、平均値がチップ下部よりも小さい。アレイチップでは、 T_{tgt} を座標 (10,0) 付近のパッドから入力して分配しており、パッドからの距離が遠くなるにつれて、 T_{tgt} の波形の立下りがなまるのがこの現象の原因と考えられる。

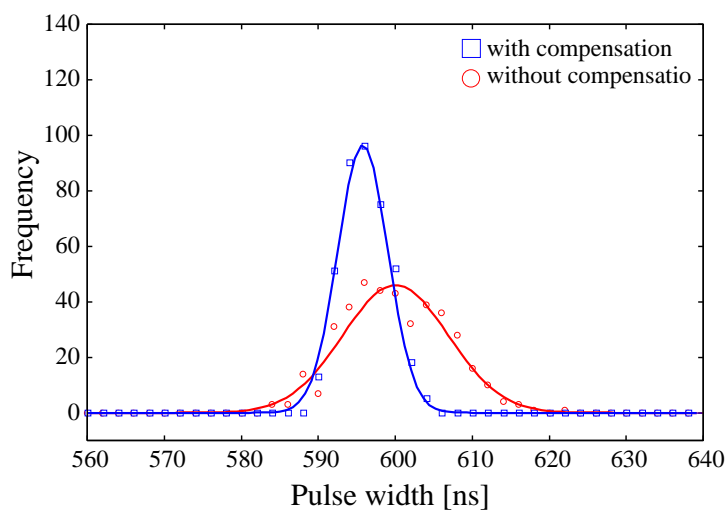
図 5.8, 図 5.9 のそれぞれのヒストグラムをフィッティングして得た各 V_{iniB} に対応する T_{out} の平均値と標準偏差を表 5.1 に示す。補償動作有りの場合の $\langle T_{out} \rangle$ は、いずれも T_{tgt} と一致しないものの、標準偏差は補償無しの場合に比べ低減している。また、チップ全体から算出した標準偏差は、補償無しの場合に比べ約 1/2、下部のみの場合では、約 1/3 になっている。

次に、図 5.8 に V_{cmp} を変えた場合の T_{out} の値のヒストグラムを示す。このとき、 $V_{iniB} = 1.95$ V とした。 V_{iniB} を変化させた時と同様に、補償無しの場合よりも補償有りの場合の方がヒストグラムの広がり小さい。チップの上部・下部にそれぞれ分けて算出した図 5.9 のヒストグラムも、 V_{iniB} を変えた場合と同様の傾向を示している。各 V_{cmp} に対する $\langle T_{out} \rangle$ と標準偏差を表 5.1 に示す。表 5.1 より、チップ全体から計算した補償有りの場合の標準偏差は、補償無しの場合に比べ、約 1/2 である。また、チップ下部のみから計算した標準偏差は、補償無しの場合に比べ約 1/3 になっている。この結果も、 V_{iniB} を変化させた時と同じである。

最後に、図 5.10 と図 5.11 に、 T_{tgt} を 560 ns と 520 ns に設定した場合の T_{out} の空間分布を示す。このとき、 V_{cmp} は 2.1 V、 V_{iniB} は 1.95 V とした。両図において、 V_{iniB} と V_{cmp} を変



(a)



(b)

図 5.8 V_{cmp} を変えた場合の T_{out} の値のヒストグラム。実線はヒストグラムの近似曲線である。(a) $V_{cmp} = 2.05$ V, (b) $V_{cmp} = 2.1$ V.

化させた場合と同様に補償した場合の方がバラツキが少ない。図 5.12 に示したヒストグラムから、補償を行った方が T_{out} の広がり狭い。これらのヒストグラムから得た T_{out} の平均と標準偏差を表 5.3 に示す。表 5.3 に示すように、チップ上の全てのセルから算出した $\langle T_{out} \rangle$ と標準偏差は、 T_{tgt} を変化させても補償動作を実行することで、補償無しの場合よりも標準偏差を約 1/2 に低減できることが分かった。また、チップ下部のみから算出した標準偏差は、補償無しの場合のそれと比べて約 1/3 である。

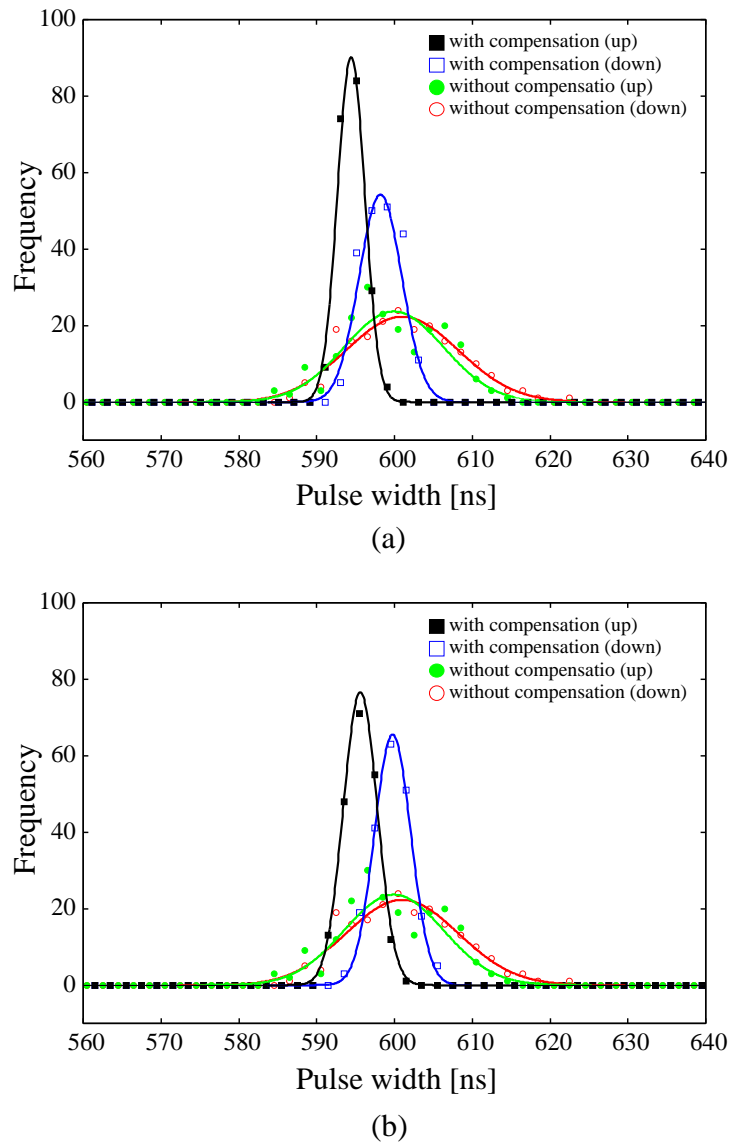


図 5.9 図 5.8 をチップの上部と下部に分けて算出したヒストグラム. (a) $V_{cmp} = 2.05$ V, (b) $V_{cmp} = 2.1$ V.

以上の測定結果より、試作した補償回路は、同じチップ上に配置した複数のセルの電流源の電流値と容量値のバラツキの影響を約 1/2 に低減できることが分かった。また、この結果は、電流源の初期バイアス電圧 V_{iniB} や補償に用いる電流源のバイアス電圧 V_{cmp} 、目標パルス幅 T_{tgt} の値を変化させても、ほとんど変わらなかった。また、 T_{δ} を一定として T_{tgt} を変化させたときも、 T_{out} の標準偏差は同様に 1/2 に低減できることから、バラツキの影響を補償しつつ、結合強度 g も任意の値に設定できることを明らかにした。一方、 T_{tgt} を入力するパッド

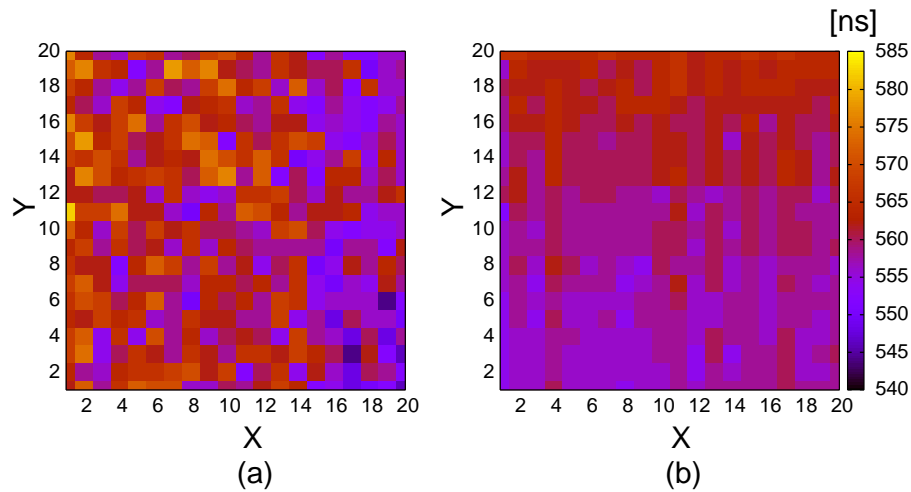


図 5.10 $T_{tgt} = 560$ とした場合の T_{out} の空間分布. (a) 補償無し ($V_{cc} = 2.165$ V), (b) 補償有り.

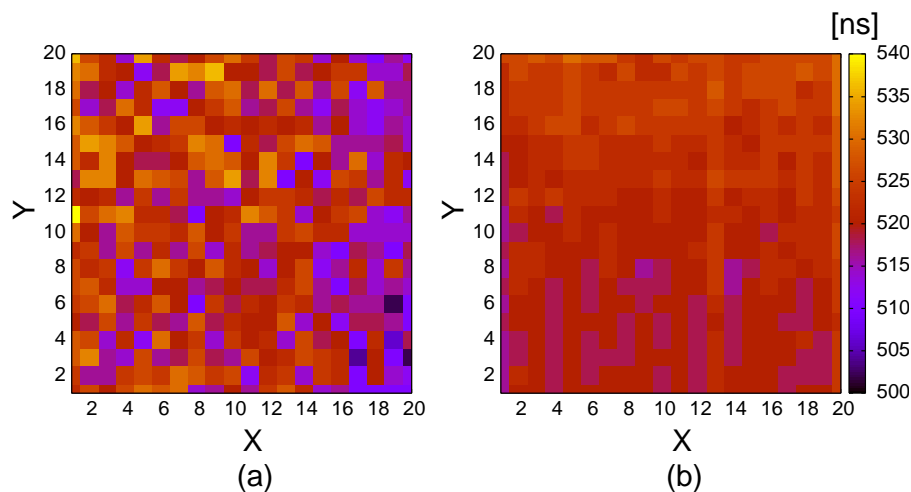
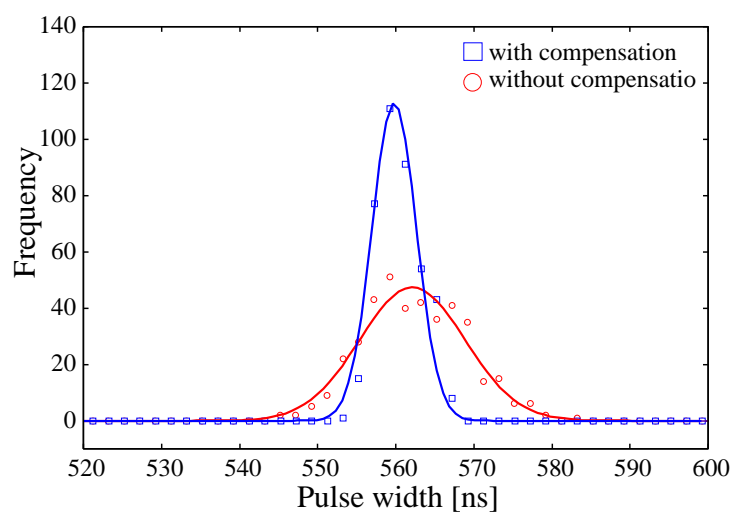


図 5.11 $T_{tgt} = 520$ とした場合の T_{out} の空間分布. (a) 補償無し ($V_{cc} = 2.221$ V), (b) $T_{tgt} = 520$ ns.

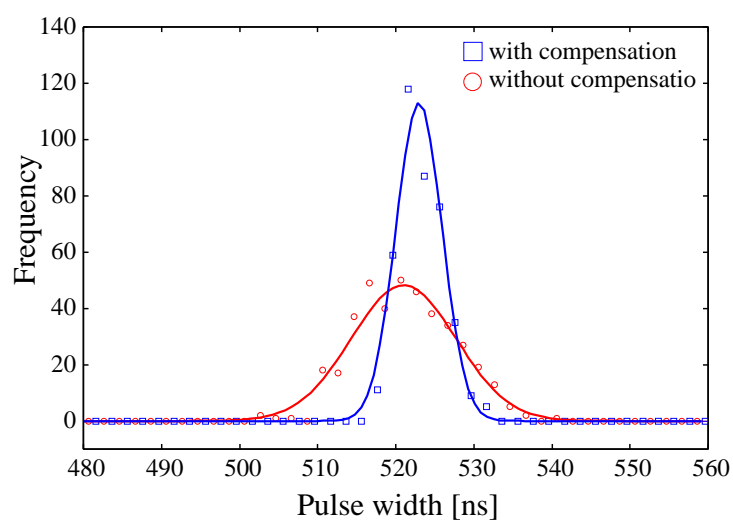
から近距離のセルではバラツキの影響が $1/3$ になることから, T_{tgt} の分配を最適化することで T_{out} の標準偏差をさらに低減できると考えられる.

5.4 時空間パターンの測定結果

試作したアレイチップを用いて時空間パターンの測定実験を行った. V_{non} としてアナログ波形を用いた場合とデジタル波形を用いた場合の時空間パターンを測定した. アナログ電圧波



(a)



(b)

図 5.12 T_{tgt} の値を変えた場合の T_{out} の値のヒストグラム. (a) $T_{tgt} = 560$ ns, (b) $T_{tgt} = 520$ ns.

形には、ロジスティック写像とカオスニューロン写像を実現する波形を用いた。デジタル波形は1次元 CA で Rule 90 と Rule110 が実現できる波形を用いた。

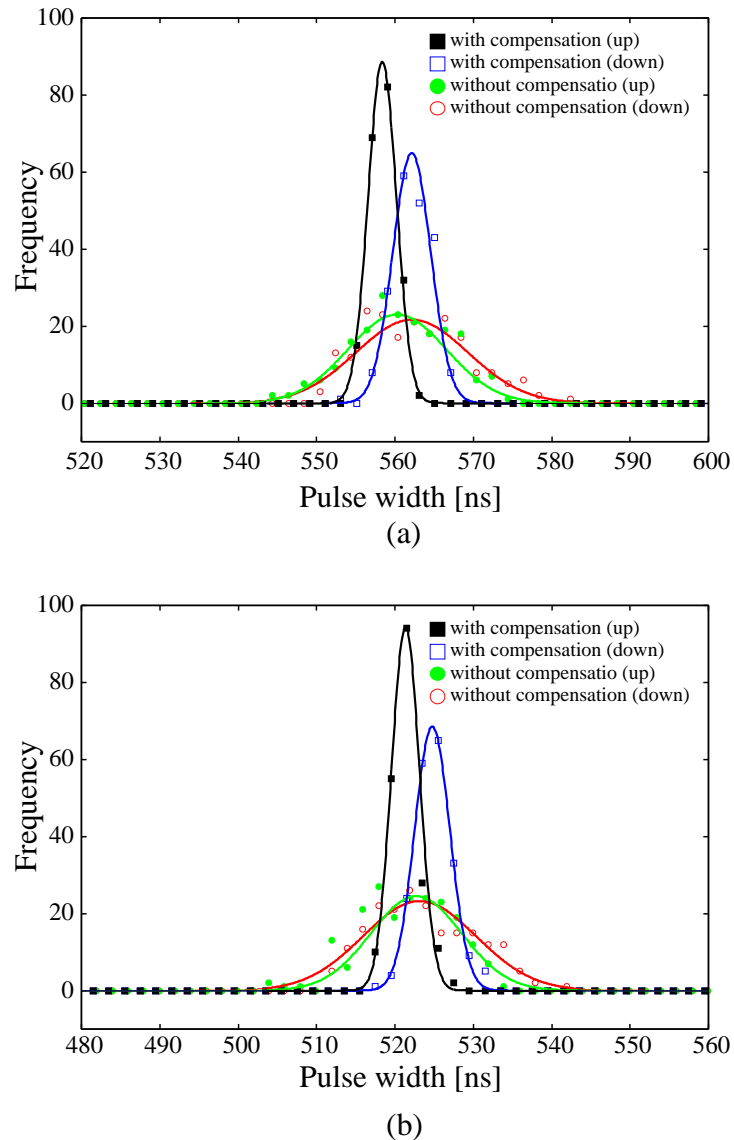


図 5.13 図 5.12 をチップの上部と下部に分けて算出したヒストグラム. (a) $T_{tgt} = 560$ ns, (b) $T_{tgt} = 520$ ns.

5.4.1 アナログ電圧波形の場合

1次元1方向結合

実験では, $V_{iniB} = 2.35$ [V], $T_{th} = 1,856$ [ns] とした. このときの結合係数としきい値は共に 0.5 に相当する. 図 5.14 に, ロジスティック写像の場合の時空間パターンを示す. $l = 1$ では, 同じ値を取るユニット集団が斜めの線で分断されているようなパターンが得られた.

表 5.3 T_{tgt} を変化させた場合の $\langle T_{out} \rangle$.

T_{tgt} [V]	520	560	600
$\langle T_{out} \rangle$ [ns] (全体, 補償無し)	521 ± 6.86	562 ± 6.74	600 ± 6.86
$\langle T_{out} \rangle$ [ns] (上部, 補償無し)	523 ± 7.22	562 ± 7.15	601 ± 7.21
$\langle T_{out} \rangle$ [ns] (下部, 補償無し)	522 ± 5.80	561 ± 6.28	600 ± 6.37
$\langle T_{out} \rangle$ (全体, 補償有り) [ns]	523 ± 2.94	559 ± 2.83	596 ± 3.26
$\langle T_{out} \rangle$ (上部, 補償有り) [ns]	524 ± 2.25	562 ± 2.41	600 ± 2.34
$\langle T_{out} \rangle$ (下部, 補償有り) [ns]	521 ± 1.79	558 ± 1.80	596 ± 2.18

$l = 2$ では, 出力が全体的に $2 \mu\text{s}$ (オレンジ色) であり, n が増加するにつれて, $i = 0$ から $i = 150$ 付近まで $2 \mu\text{s}$ の値をとる領域が領域が拡大している. さらに, $l \geq 3$ では, 全ユニットはほぼ同じ値をとり, 時間的な変化は見られない.

図 5.15 に, カオスニューロン写像の場合の時空間パターンを示す. カオスニューロン写像の場合はロジスティック写像と異なり, l を増加させても全ユニットが同じ値に収束せず, ランダムなパターンと規則的なパターンが交互に得られた.

1次元相互結合

この実験では, $V_{iniB} = 2.35$ [V], $T_{th} = 1,856$ [ns] とした. 図 5.16 に, ロジスティック写像の場合の時空間パターンを示す. 1次元1方向結合の場合と異なり, $l \geq 3$ でも全てのユニットが同じ値に収束せず, 同じ値を取るユニット回路が直線, 斜線, 不規則な線で分離されているようなパターンが得られた ($l = 8$ の場合は除く). $l = 3$ では斜線がぶつかって消滅したり, 消滅せずにクロスしている. 一方では, $l = 4$ ではぶつかって斜線が消滅しているパターンが多い.

図 5.17 に, カオスニューロン写像の場合の時空間パターンを示す. $l \geq 5$ では全ユニットが周期的なパターンでかつ, 同じ値をとっている. $l = 1, 2$ ではランダムに見えるパターンであり, $l = 3, 4$ は周期的でかつ同じ値の集団を複雑な線が分離しているパターンが得られた.

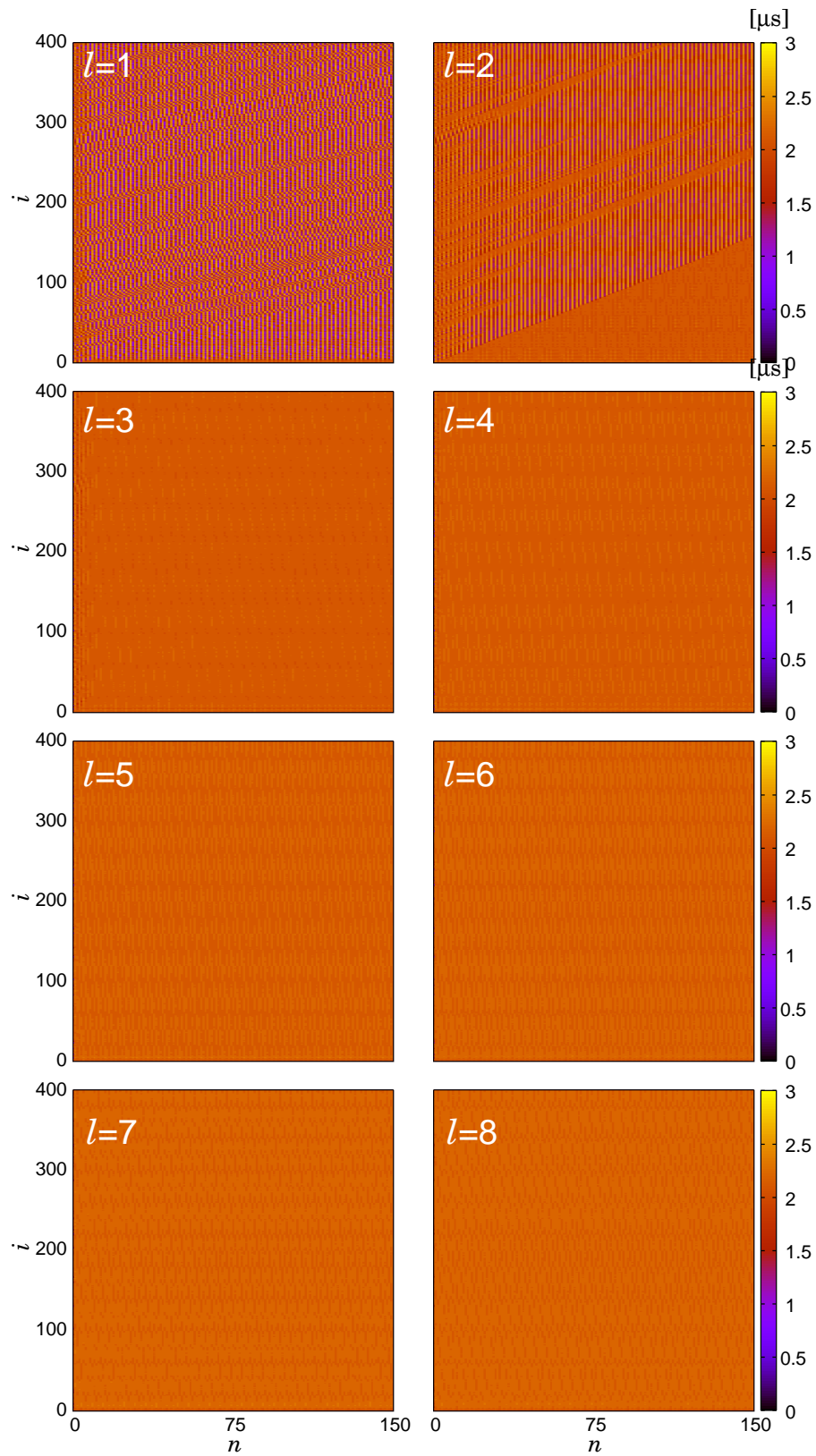


図 5.14 1次元1方向結合の時空間パターン (ロジスティック写像).

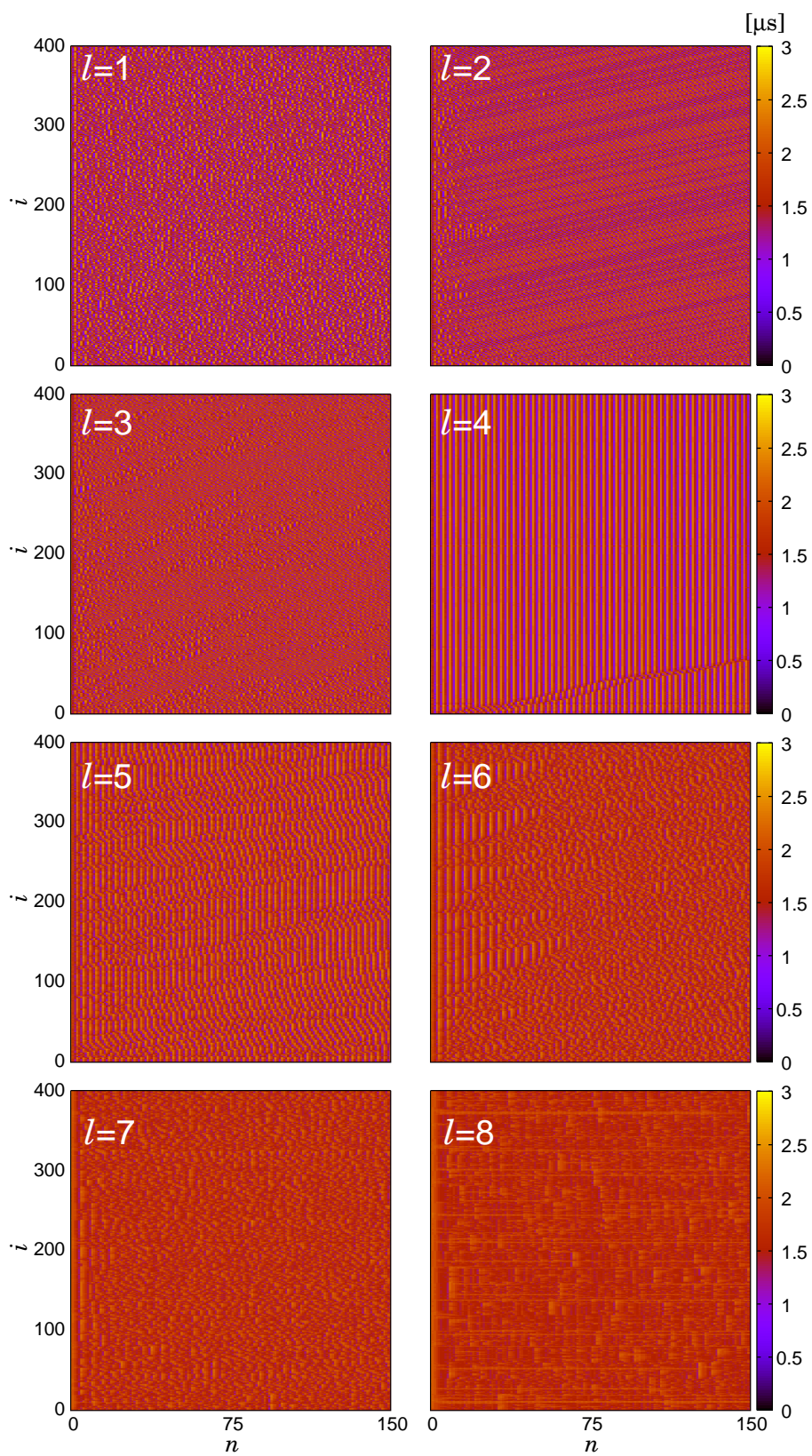


図 5.15 1次元1方向結合の時空間パターン (カオスニューロン写像).

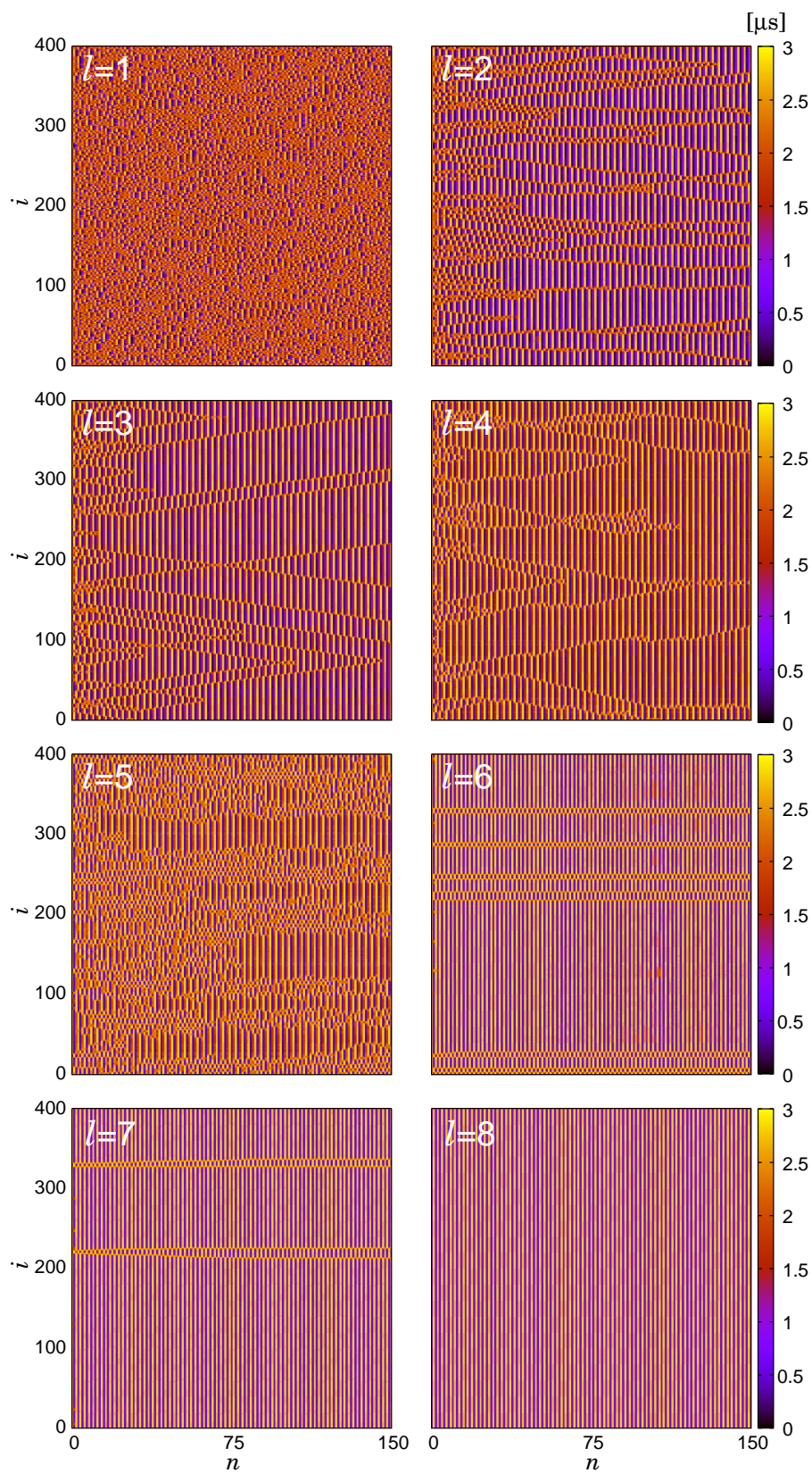


図 5.16 1次元相互結合の時空間パターン (ロジスティック写像).

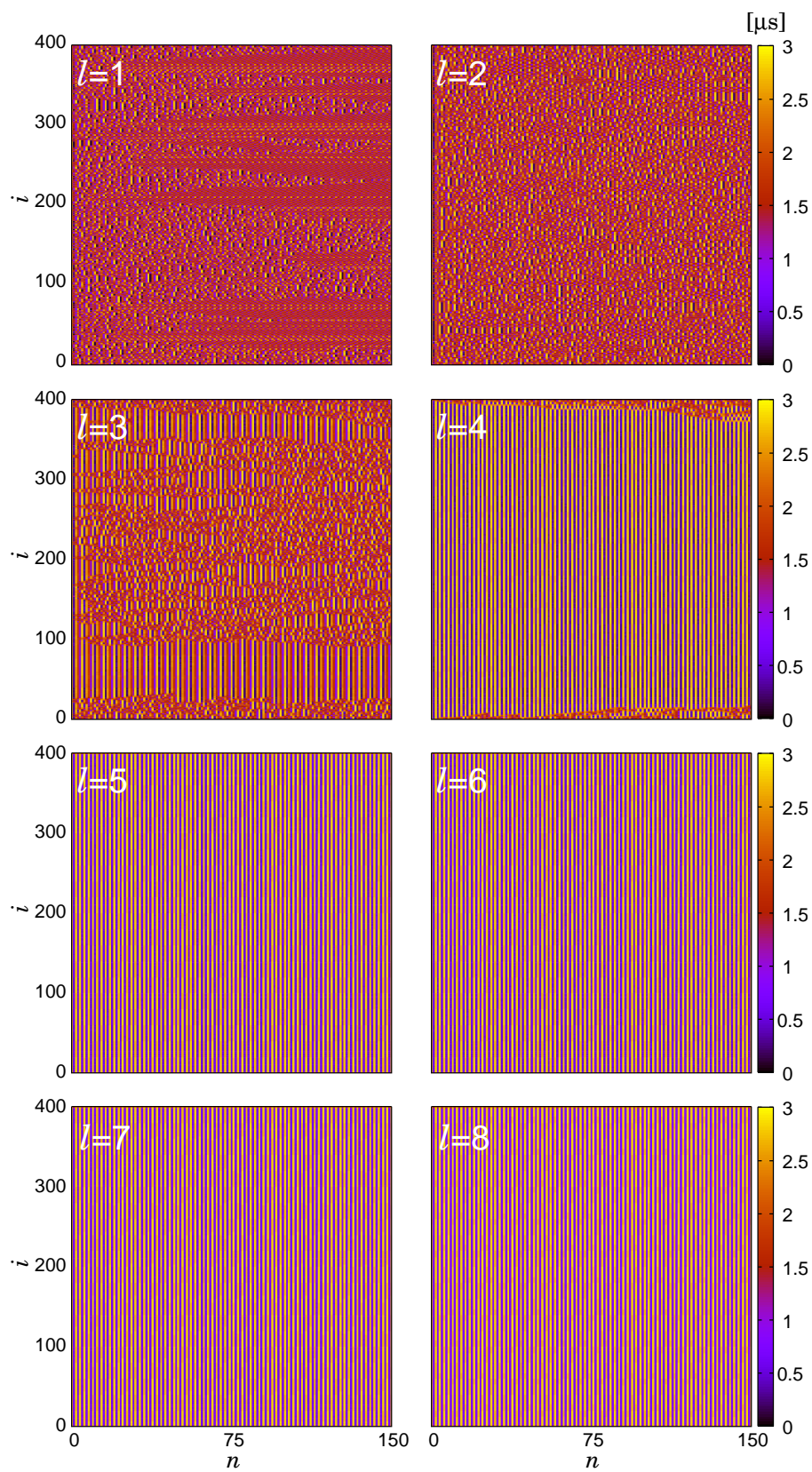


図 5.17 1次元相互結合の時空間パターン (カオスニューロン写像).

5.4.2 デジタル波形の場合 (1次元 CA)

第2章では、拡張しきい値結合写像モデルを用いて1次元 CA を実現できることを示した。ここでは、試作チップを用いて1次元 CA の Rule90 と Rule110 が実現できることを示す。 T_{out} の最大値 T_{max} は 2,650 ns に設定し、しきい値を表す PWM 信号 T_{th} のパルス幅は 1,308 ns とした。このとき、しきい値は $0.494 (\approx 1,308/2,650)$ に相当する。緩和処理の回数は1回とした。

Rule90

Rule90 では、結合強度 g_U と g_D を決める電流源のゲートバイアス電圧 V_{cc} を V_{iniB} に固定し、結合に用いる全ての電流源のゲートに 2.6 V を与えた。このとき、 g_U と g_D は共にゼロに相当する。使用したセルの数は 400 個、結合は相互結合とした。座標 (10,1) のセルにのみパルス幅 600 ns の PWM 信号で初期値を設定し、他のセルの初期値は $V_{non}(t)$ の基準電圧に設定した。測定では図 5.18 に示す電圧波形を Rule90 を実現する $V_{non}(t)$ として与えた。図 5.19 に数値シミュレーションと測定で得られた時空間パターンをそれぞれ示す。実験では図 5.19(a) の数値実験の結果と同様に、フラクタルな時空間パターンが得られた。

Rule110

試作したセル回路には、4近傍結合を実現するために4個の電流源が実装されている。Rule110 を実現するバイアス電圧の設定のために、4個の電流源のゲートバイアスの V_{cc} に、接続方向の情報を持たせた $V_{cc,U}$ と $V_{cc,D}$ を定義した。ここで、下付き文字の U と D は、それぞれ Up と Down の頭文字であり、接続方向を表す。

Rule110 を実現するためには、第2章で示したように、 g_U と g_D をそれぞれ異なる値に設定する必要がある。しかし試作した回路では、4近傍接続を実現する4個の電流源のゲート電圧は全て同じ V_{iniB} に初期化されるため、接続方向に応じた電流源毎に個別の電圧で初期化することは出来ない。そこで、CCC 回路を用いて $V_{cc,U}$ と $V_{cc,D}$ を異なる値に設定した。 $T_{\delta}=1,040$ ns, $V_{iniB} = 2.3$ V とし、 $V_{cc,U}$ と $V_{cc,D}$ それぞれに対して、100回補償動作を実行した。 $V_{cc,U}$ と $V_{cc,D}$ を更新する際に、目標パルス幅 T_{tgt} をそれぞれ 308 ns と 580 ns に設定した。このとき、結合強度は、それぞれ $g_U = 308/1040 \approx 0.296$, $g_D = 580/1040 \approx 0.558$ に

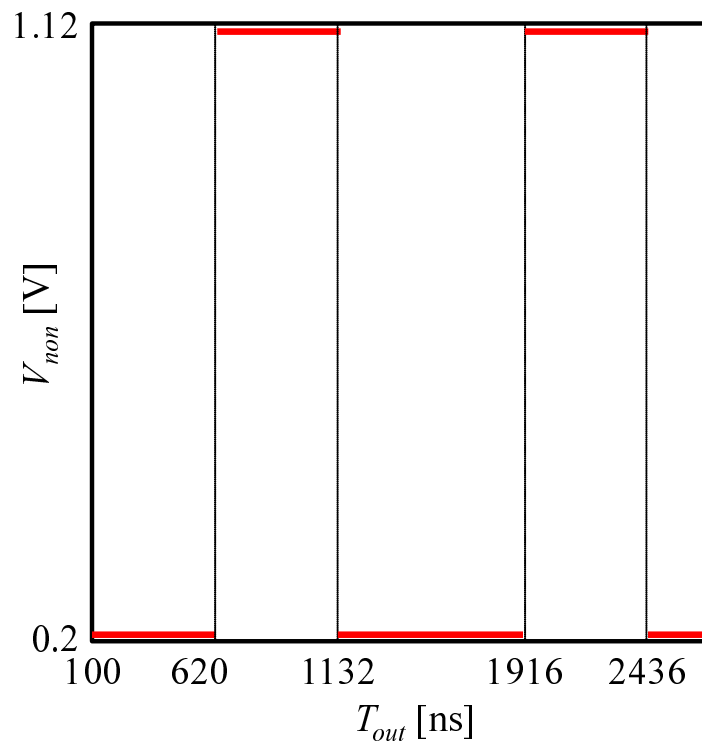


図 5.18 Rule90 を実現する非線形電圧波形.

相当する.

回路実験で使用したセルの数は 20 個, 結合は相互結合とした. また, 座標 (1,9) のセルにのみパルス幅 600 ns の PWM 信号で初期値を設定し, 他のセルの初期値は $V_{non}(t)$ の基準電圧に設定した. 測定では, 図 5.20 に示す電圧波形を Rule110 を実現する $V_{non}(t)$ として与えた. 図 5.21 に, 数値シミュレーションと測定で得られた時空間パターンを示す. 図に示すように, 数値シミュレーションとほぼ同じ時空間パターンが実験でも得られた.

次に, CCC 回路による $V_{cc,U}$ と $V_{cc,D}$ の設定の効果を検証するために, CCC 回路を動作させた場合とさせなかった場合で, それぞれ時空間パターンを測定した. 結果を図 5.22 に示す. 図 5.22 より, それぞれに対して異なる時空間パターンが得られており, CCC 回路を動作させることで結合強度を変更できていると考えられる.

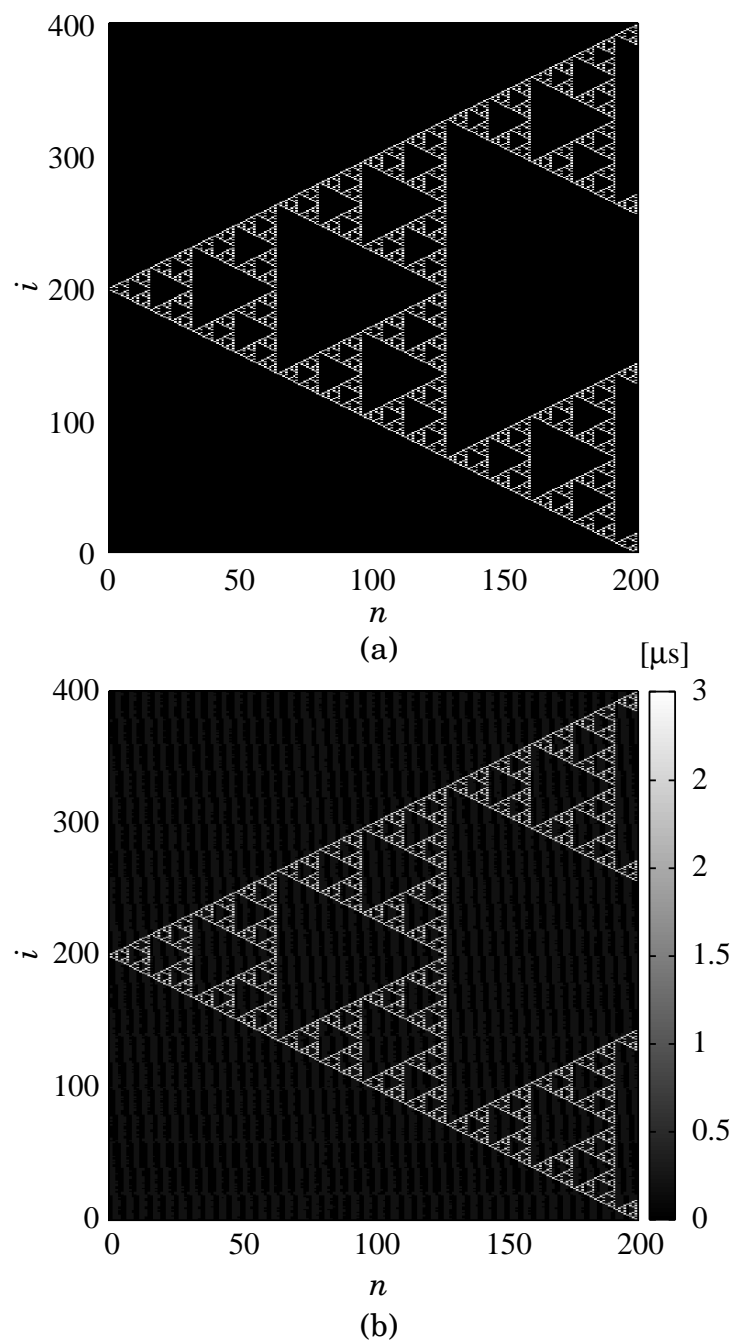


図 5.19 Rule90 の数値実験結果と回路実験結果の比較. (a) 数値実験, (b) 回路実験.

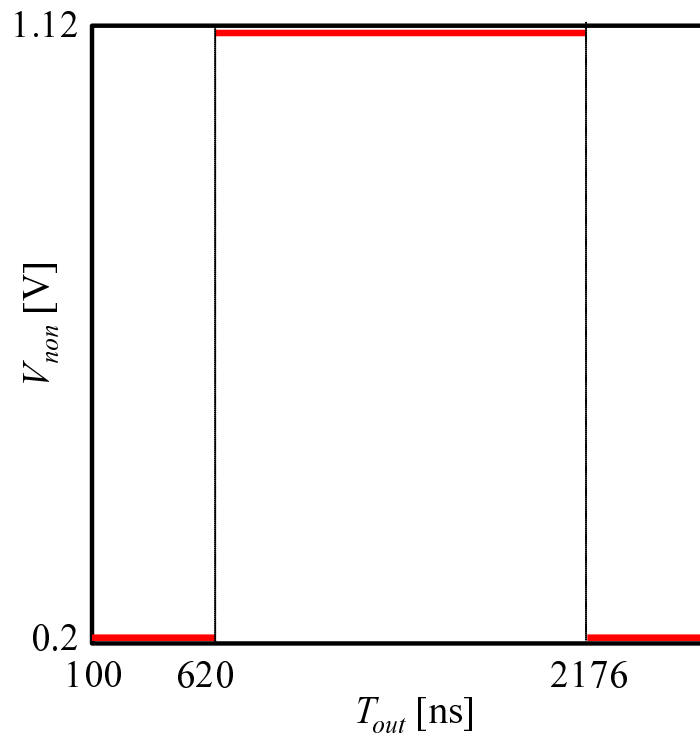


図 5.20 Rule110 を実現する非線形電圧波形.

5.5 まとめ

この章では、第4章で述べたセル回路を $20 \times 20 (= 400)$ の格子状に配置したアレイチップの構成と測定結果について述べた。電流値容量値バラツキ補償 (CCC) 回路の測定結果では、補償動作を実行することで、セル毎のバラツキの影響を 1/2 以下に低減できることを確認した。さらに、補償後の出力 PWM 信号のパルス幅の分布が、チップ上部と下部で異なることも明らかになった。この原因として補償動作の際に用いる目標 PWM 信号が各セルに適切に分配されておらず、立下りが鈍ったことが考えられる。そこで、入力位置に近い、チップ下部のみで補償動作後の出力 PWM 信号を統計処理した結果、補償動作を行わないときに比べて、バラツキは 1/3 以下になっていた。この結果から、CCC 回路は、目標 PWM 信号を各セルに適切に分配することでバラツキを 1/3 以下に低減できると期待される。

時空間パターンの測定では、非線形電圧波形にアナログ波形とデジタル波形を用いた場合に

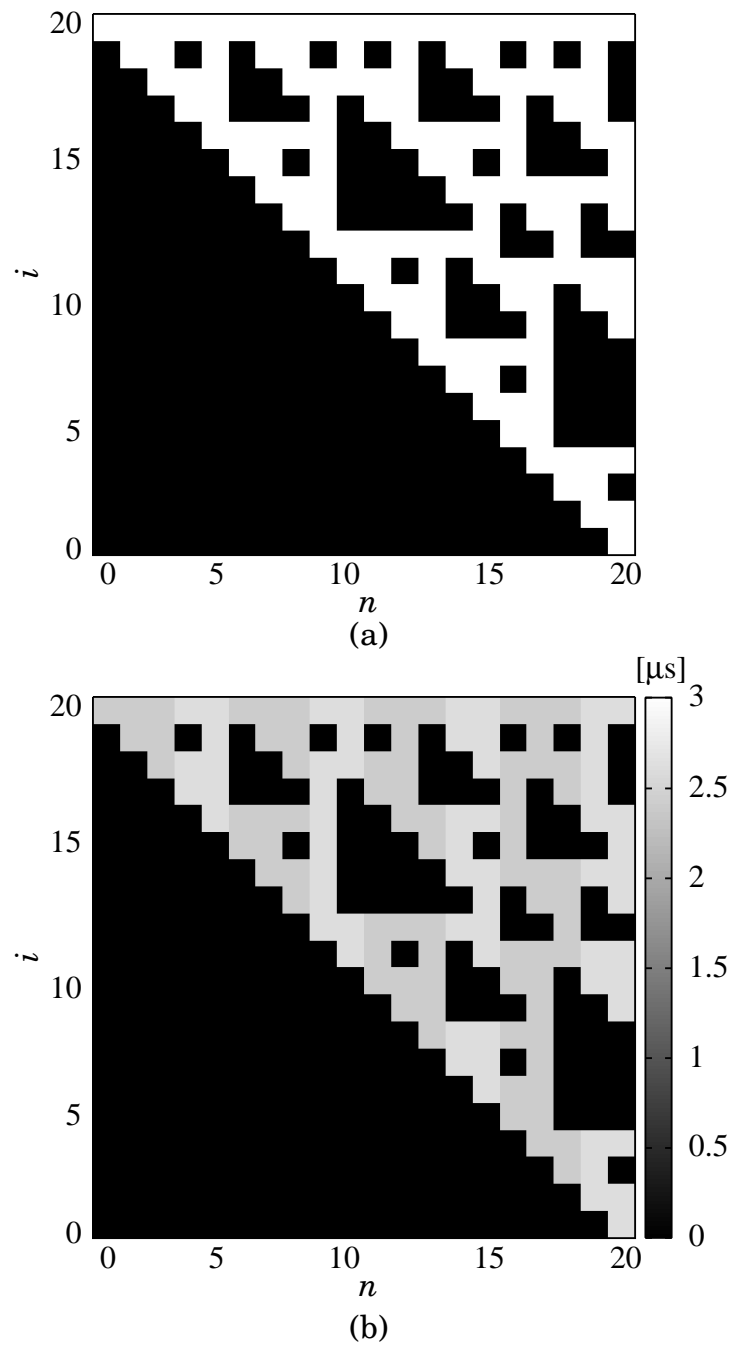


図 5.21 Rule110 の数値シミュレーションと試作チップの測定で得られた時空間パターンの比較. (a) 数値実験, (b) 回路実験.

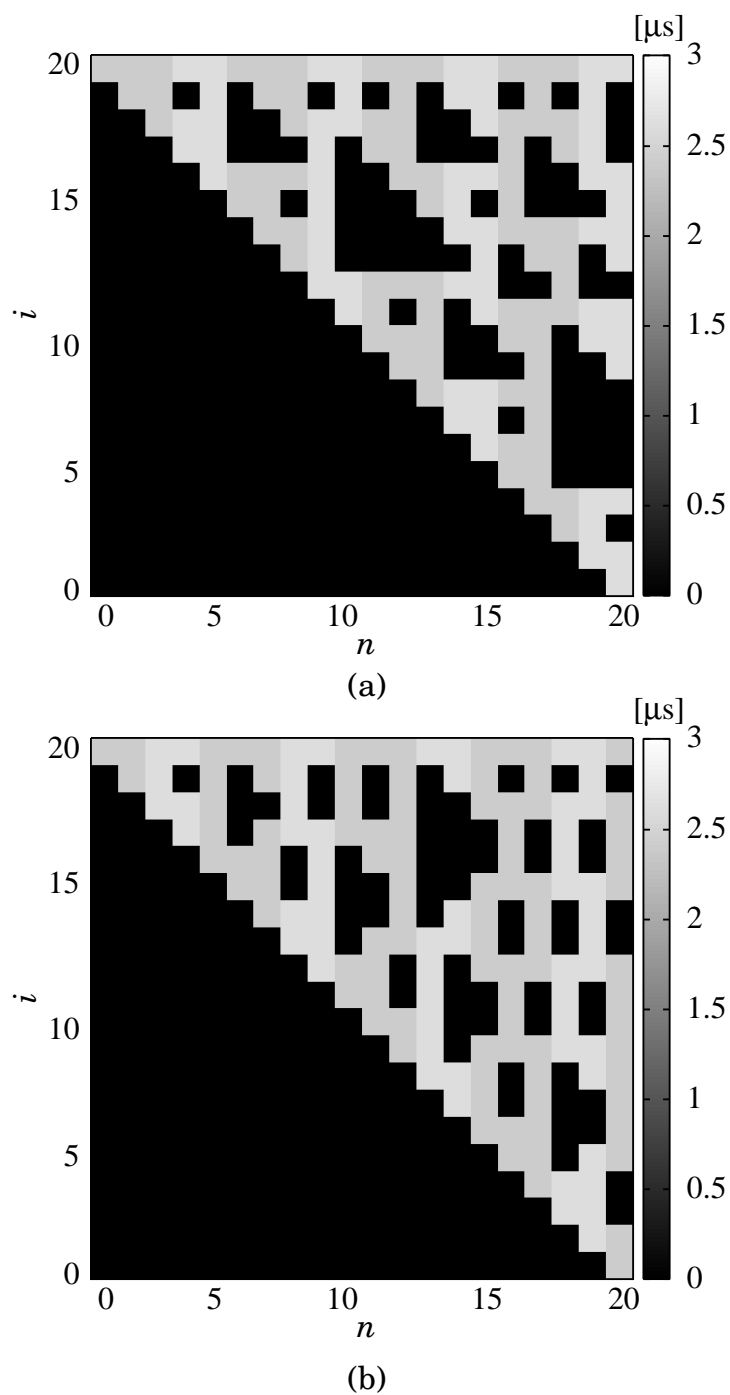


図 5.22 CCC 回路を動作させた場合とさせない場合の比較. (a) 動作有り, (b) 動作無し.

ついて実験を作った。アナログ電圧波形としては、ロジスティック写像とカオスニューロン写像を表す波形を用いた。両写像において、緩和処理の回数を増加すると全てのセルが同じ値に揃い、周期的なパターンに収束することを確認した。一方、デジタル波形を用いた実験では、1次元セルオートマトンの Rule90 と Rule110 を実現した。Rule110 の実現では4個ある電流源の内、2個のバイアス電圧を CCC 回路を用いてそれぞれ異なる値に設定した。Rule110 を実現できたことから、試作したアレイチップは万能チューリングマシンを実現できる。以上の結果より、試作した回路は、アナログ/デジタル波形の両方に対して特徴的な時空間パターンを生成できる。

第 6 章

考察

提案・設計・試作した容量値・電流値バラツキ補償 (CCC) 回路は、統計的な評価によって、セル毎のバラツキを 1/2 以下に低減できることを、第 5 章の解析により明らかにした。この解析では、補償動作実行後の出力 PWM 信号の空間分布がチップ上部と下部で異なることが判明した。これを考慮し、チップの上部と下部でそれぞれ分けて、新たに出力 PWM 信号のヒストグラムを計算したところ、入力パッドに近いチップ下部において、補償を行った場合の標準偏差は補償動作を行わない場合のその 1/3 以下であった。分布の違いは、補償の際に用いる外部入力 PWM 信号の各セルへの分配配線が不適切だったためと考えられる。これにより、目標とする PWM 信号の立下りが鈍ることでパルス幅が拡大し、入力パッドから距離が遠いセルほど、幅の広い PWM 信号を出力する結果になったと考えられる。以上の結果から、本研究で提案した補償回路は、分配配線を最適化することでより高い性能を引き出せる可能性がある。提案した補償回路は時間変動の無いバラツキを補償するものであったが、今後の課題として、時間遅れや揺らぎに頑健な、もしくは補償する回路の開発が考えられる。

本研究で提案した、しきい値結合写像に可変結合係数を導入した拡張モデルは、実数値をとる結合強度と、超過分との積の 0 と 1 の対応付け (非線形関数の形状) を変えることで、1 次元セルオートマトンのすべてのルールを実現できる。この実数値と 0/1 の対応付けによりルールを決める過程は一種のプログラミングと見なすことができる。実際のハードウェアでもこのプログラミングにより、同じハードウェアを用いて異なるルールを実現できたことの意義は大きい。また、提案した回路は、入出力信号がデジタル信号であるため、既存のデジタル回路と親和性がよい。このため、将来的には既存のコンピュータで演算した結果を提案回路に入力

し、得られた結果を再び既存のコンピュータにフィードバックして、演算を行うという利用方法も考えられる。また、今回試作したチップではキャパシタをアナログメモリとして用いたが、キャパシタに代わる小面積で不揮発なアナログメモリの適用により、設定可能なパラメータを増やすことでより高い汎用性の実現と複雑な処理の実行が可能になると考える。

第7章

結論

本論文では，製造バラツキに頑健な大規模非線形結合系を実現するための時間軸情報処理集積回路を提案・設計・試作・評価した．バラツキ補償機能を搭載し，結合強度と近傍セルとの結合が可変で，アナログ波形を用いた非線形現象から，デジタル波形を用いたセルオートマトンまで実現できる汎用性の高い集積回路は他に例がない．以下に本文で得られた結果をまとめる．

第2章では設計・試作した集積回路に実装したしきい値結合写像モデルを説明し，このモデルに任意の値に設定可能な結合強度を導入した拡張しきい値結合写像モデルを提案した．さらに，この拡張しきい値結合写像モデルは，非線関数と結合強度を調整することで，1次元セルオートマトンを実現できることを数値実験で示すとともに，その設計方法を示した．このモデルによれば，理論的には，256種類存在するセルの更新ルールのすべてを実現できる．実現したセルオートマトンのセルの更新ルールの中には万能チューリングマシンと等価なものも含まれている．このことから，拡張しきい値結合写像によって万能チューリングマシンが実現可能であると考えられる．

第3章では，先行研究で提案されている電圧サンプリング方式（VSM）と電流サンプリング方式（CSM）の，どちらがトランジスタのしきい値電圧バラツキと容量値バラツキの影響に対して頑健かを HSPICE シミュレーションで検証した．シミュレーションには，TSMC 0.25 μm CMOS プロセスパラメータを用いた．その結果，電圧サンプリング方式が，電流サンプリング方式に比べ，しきい値電圧バラツキと容量値バラツキの影響に対して頑健であることを明らかにした．さらに，電流サンプリング方式では，パルス位置変調信号生成回路が最もしきい値電

圧バラツキの影響を受けることも明らかにした。

第4章では、VSMのバラツキ補償機能付き非線形変換集積回路を提案し、TSMC 0.25 μm CMOS LSI技術で設計・試作した。VSMでは、非線形電圧波形と参照用ランプ電圧波形の基準電圧の差（DCオフセット電圧）のバラツキと、パルス幅変調（PWM）信号を電圧に変換する際に用いるキャパシタの容量値、および電流源の電流値バラツキが問題になる。本研究では、それらを補償するために、DCオフセット電圧バラツキに頑健なコンパレータ回路と、電流値・容量値バラツキ補償（CCC）回路を提案し、これらを試作LSIチップに実装した。さらに、CCC回路の補償可能条件も示した。試作チップの測定結果から、提案したコンパレータ回路は、DCオフセット電圧バラツキの影響をノイズ程度に最小化できることが明らかになった。また、CCC回路は電流源のバイアス電圧ばらつき、および補償に用いる電流源のバイアス電圧バラツキを補償できることがわかった。測定結果より、補償の精度は8 bits相当以上であった。さらに、補償の際に用いる外部入力のパWM信号の目標パルス幅を任意の値に設定することも測定から明らかにした。この機能は、電流値と容量値のバラツキの影響を補償すると同時に、結合強度を任意の値に設定するために利用できる。

第5章では、第4章で提案した回路を 20×20 （400個）の格子状に配置した結合アレイ集積回路を設計・試作した。試作したアレイ集積回路に搭載したCCC回路の測定結果の統計的な解析から、ユニット毎の電流値・容量値バラツキを約1/2以下に低減できることを示した。時空間パターンの測定実験では、結合パターンと緩和処理および非線形関数を変えることで、様々な時空間パターンを生成できることを示した。また、同回路で1次元セルオートマトンが実現できることも示した。実現したセルオートマトンの中には万能チューリングマシンであるRule110も含まれる。

以上の結果から、多彩な時空間パターンを得ることができる高い汎用性を持ち、製造バラツキの影響による演算の誤差を補償し、精度を確保した大規模非線形結合集積回路を実現できた。

参考文献

- [1] W. Thomson, “Mechanical integration of the linear differential equations of the second order with variable coefficients,” *Proceedings of the Royal Society of London*, vol.24, no.164, pp.269–271, 1875.
- [2] E.N. Lorenz, “Deterministic nonperiodic flow,” *J. Atmos. Sci.*, vol.20, no.2, pp.130–141, 1963.
- [3] Y. Kuramoto, “Self-entrainment of a population of coupled non-linear oscillators,” *Int. Symp. mathematical problems in theoretical physics*, pp.420–422, 1975.
- [4] H. Hayashi and S. Ishizuka, “Chaotic responses of the hippocampal CA3 region to a mossy fiber stimulation in vitro,” *Brain Res.*, vol.686, no.2, pp.194–206, 1995.
- [5] S. Kondo and R. Asai, “A reaction-diffusion wave on the skin of the marine angelfish *Pomacanthus*,” *Nature*, vol.376, no.6543, pp.765–768, 1995.
- [6] J.L. Kaplan and J.A. Yorke, “Chaotic behavior of multidimensional difference equations,” *Lect. Notes Math*, pp.204–227, 1979.
- [7] F. Ledrappier, “Some relations between dimension and lyapounov exponents,” *Commun. Math. Phys.*, vol.81, no.2, pp.229–238, 1981.
- [8] M. Ding, C. Grebogi, and E. Ott, “Dimensions of strange nonchaotic attractors,” *Phys.Lett. A*, vol.137, no.4, pp.167–172, 1989.
- [9] N. Marwan, M. Thiel, and N. Nowaczyk, “Cross recurrence plot based synchronization of time series,” *Nonlinear Processes Geophys.*, vol.9, pp.325–331, 2002.
- [10] N. Marwan and J. Kurths, “Nonlinear analysis of bivariate data with cross recurrence plots,” *Phys. Lett. A*, vol.302, no.5, pp.299–307, 2002.

- [11] E. Ngamga, A. Nandi, R. Ramaswamy, M. Romano, M. Thiel, and J. Kurths, "Recurrence analysis of strange nonchaotic dynamics," *Phys. Rev. E*, vol.75, no.3, pp.036222–1–8, 2007.
- [12] T. Mitsui and Y. Aizawa, "Intermittency route to strange nonchaotic attractors in a non-skew-product map," *Phys. Rev. E*, vol.81, no.4, pp.046210–1–8, 2010.
- [13] S. Uenohara, T. Mitsui, Y. Hirata, T. Morie, Y. Horio, and K. Aihara, "Experimental distinction between chaotic and strange nonchaotic attractors on the basis of consistency," *Chaos*, vol.23, no.2, pp.023110–1–9, 2013.
- [14] S. Sinha and D. Biswas, "Adaptive dynamics on a chaotic lattice," *Phys. Rev. Lett*, vol.71, no.13, pp.2010–2013, 1993.
- [15] S. Sinha, "Unidirectional adaptive dynamics," *Phys. Rev. E*, vol.49, no.6, pp.4832–4842, 1994.
- [16] K. Aihara, T. Takabe, and M. Toyoda, "Chaotic neural networks," *Phys. Lett. A*, vol.144, no.6, pp.333–340, 1990.
- [17] R. Ramaswamy, "Synchronization of strange nonchaotic attractors," *Phys. Rev. E*, vol.56, no.6, pp.7294–7296, 1997.
- [18] M. Hasegawa, T. Ikeguchi, and K. Aihara, "Exponential and chaotic neurodynamical tabu searches for quadratic assignment problems," *Control and Cybern.*, vol.29, pp.773–788, 2000.
- [19] T. Sunayama, M. Ikebe, T. Asai, and Y. Amemiya, "Cellular ν mos circuits performing edge detection with difference-of-gaussian filters," *Jpn. J. App. Phys.*, vol.39, no.4B, pp.2278–2286, 2000.
- [20] J. Nichols, S. Trickey, M. Todd, and L. Virgin, "Structural health monitoring through chaotic interrogation," *Meccanica*, vol.38, no.2, pp.239–250, 2003.
- [21] H. Tanaka, T. Morie, and K. Aihara, "A CMOS spiking neural network circuit with symmetric/asymmetric STDP function," *IEICE Trans. Fundamentals, Commun. and Comput. Sci.*, vol.92, no.7, pp.1690–1698, 2009.
- [22] H. Suzuki, J. Imura, Y. Horio, and K. Aihara, "Chaotic boltzmann machines," *Sci. Rep.*, vol.3, pp.1610–1–5, 2012.
- [23] K. Matsuzaka, H. Tanaka, S. Ohkubo, and T. Morie, "VLSI implementation of coupled

- MRF model using pulse-coupled phase oscillators,” *Electronics Lett.*, vol.51, no.1, pp.46–48, 2014.
- [24] Y. Horio, K. Aihara, and O. Yamamoto, “Neuron-synapse IC chip-set for large-scale chaotic neural networks,” *IEEE Trans. Neural Networks*, vol.14, no.5, pp.1393–1404, 2003.
- [25] T. Morie, K. Murakoshi, M. Nagata, and A. Iwata, “Pulse modulation techniques for nonlinear dynamical systems and a CMOS chaos circuit with arbitrary 1-D maps,” *IEICE Trans. Electron.*, vol.87, no.11, pp.1856–1862, 2004.
- [26] D. Atuti, T. Morie, and K. Aihara, “A current-sampling-mode arbitrary chaos generator circuit using pulse modulation approach driven by quantized nonlinear waveforms,” *IEEE Asia Pac. Conf. Circuits and Syst.(APCCAS)*, pp.1959–1963, 2006.
- [27] D. Atuti, T. Morie, and K. Aihara, “A current-sampling-mode CMOS arbitrary chaos generator circuit using pulse modulation approach,” *IEICE Trans. Fundamentals*, vol.92, no.5, pp.1308–1315, 2009.
- [28] T. Morie, D. Atuti, K. Ifuku, Y. Horio, and K. Aihara, “A CMOS nonlinear-map circuit array for threshold-coupled chaotic maps using pulse-modulation approach,” *Eur. Conf. Circuit Theory and Des. (ECCTD)*, pp.126–129, 2011.
- [29] S. Wolfram, “Statistical mechanics of cellular automata,” *Rev. Mod. Phys.*, vol.55, no.3, pp.601–644, 1983.
- [30] K. Kaneko, “Period-doubling of kink-antikink patterns, quasiperiodicity in anti-ferro-like structures and spatial intermittency in coupled logistic lattice,” *Prog. Theor. Phys.*, vol.72, no.3, pp.480–486, 1984.
- [31] K. Kaneko, “Spatiotemporal intermittency in coupled map lattices,” *Prog. Theor. Phys.*, vol.74, no.5, pp.1033–1044, 1985.
- [32] K. Kaneko, “Chaotic but regular posi-nega switch among coded attractors by cluster-size variation,” *Phys. Rev. Lett.*, vol.63, no.3, pp.219–223, 1989.
- [33] T. Yanagita and K. Kaneko, “Coupled map lattice model for convection,” *Phys. Lett. A*, vol.175, no.6, pp.415–420, 1993.
- [34] D. Huberman, E. Lumer, et al., “Dynamics of adaptive systems,” *IEEE Trans. Circuits and Syst.*, vol.37, no.4, pp.547–550, 1990.

- [35] S. Sinha, "Adaptive dynamics on circle maps," *Phys. Lett. A*, vol.199, no.5, pp.365–374, 1995.
- [36] A. Mondal and S. Sinha, "Spatiotemporal consequences of relaxation time scales in threshold-coupled systems," *Phys. Rev. E*, vol.73, no.2, pp.026215–1–8, 2006.
- [37] M.D. Shrimali, S. Sinha, and K. Aihara, "Asynchronous updating induces order in threshold coupled systems," *Phys. Rev. E*, vol.76, no.4, pp.046212–1–10, 2007.
- [38] J. Von Neumann and A.W. Burks, "Theory of self-reproducing automata," Technical report, University of Illinois Press, Champaign, IL, 1966.
- [39] M. Cook, "Universality in elementary cellular automata," *Complex Syst.*, vol.15, no.1, pp.1–40, 2004.
- [40] S. Uenohara, D. Atuti, K. Matsuzaka, H. Tamukoh, and T. Morie, "Robustness to CMOS device mismatches of time-domain voltage/current sampling circuits for implementing large-scale coupled nonlinear dynamical systems," *RISP Int. Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP)*, pp.93–96, 2014.
- [41] S. Uenohara, D. Atuti, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, "A PWM-mode CMOS threshold-coupled-map circuit robust to device mismatches,," *Abs. Collection of the 2013 Int. Symp. Nonlinear Theory and its Appl. (NOLTA2013)*, pp.503–506, 2013.
- [42] S. Uenohara, D. Atuti, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, "A CMOS circuit for pwm-mode nonlinear transformation robust to device mismatches to implement coupled map lattice models," *Nonlinear Theory and Its Applications, IEICE*, vol.6, no.4, pp.570–581, 2015.

研究業績

発表論文

1. **S. Uenohara**, D. Atuti, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, “A CMOS circuit for PWM-mode nonlinear transformation robust to device mismatches to implement coupled map lattice models,” *Nonlinear Theory and Its Applications*, IEICE, vol.6, no.4, pp.570–581, 2015.

国際会議発表論文

1. **S. Uenohara**, D. Atuti, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, “A PWM-mode CMOS Coupled Map Lattice Circuit Robust to Device Mismatches”, *The 3rd Int. Symp. on Innovative Mathematical Modelling (ISIMM)*, p.125, Tokyo, Nov., 2013.
2. **S. Uenohara**, D. Atuti, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, “A PWM-Mode CMOS Threshold-Coupled-Map Circuit Robust to Device Mismatches”, *Int. Symp. on Nonlinear Theory and its Applications (NOLTA2013)*, pp.503–506, Santa Fe, USA, Sept., 2013.
3. **S. Uenohara**, D. Atuti, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, “A CMOS Pulse-voltage Conversion Circuit with Device Mismatch Compensation for Massively Parallel Analog Computing Hardware”, *Proc. of the 14th POSTECH-KYUTECH Joint Workshop on Neuroinformatics*, pp.29–30, Kitakyushu, Aug., 2014.
4. **S. Uenohara**, D. Atuti, K. Matsuzaka, H. Tamukoh, and T. Morie, “Robustness to CMOS Device Mismatches of Time-domain Voltage/Current Sampling Circuits for Implementing Large-scale Coupled Nonlinear Dynamical Systems”, *Int. Workshop on Nonlinear Cir-*

cuits, Communications and Signal Processing (NCSP 2014), pp.93–96, Honolulu, Hawaii, USA, March, 2014.

5. **S. Uenohara**, D. Atuti, K. Matsuzaka, H. Tamukoh, T. Morie, and K. Aihara, “A Statistical Evaluation of a Device-mismatch Compensation Circuit for Brain-inspired LSIs”, The 3rd RIEC Int. Symp. on Brain Functions and Brain Computer, P-10, Sendai, Japan, Feb., 2015.

国内学会，研究発表論文

1. 上ノ原誠二，厚地泰輔，松坂建治，森江隆，合原一幸，『電圧・電流サンプリング方式によるしきい値結合 CMOS カオス回路の設計』，電子情報通信学会 NLP 研究会，vol.112，no.389，pp.105–110，北海道大学，1月25日，2013.
2. 上ノ原 誠二，森江 隆，『しきい値結合非線形写像モデルとばらつき補償機能付き CMOS 回路実装』，平成 26 年度東北大学電気通信研究所共同プロジェクト研究会 「知的ナノ集積システムの課題と展望」，12月4日，東北大（仙台），2014.
3. 上ノ原 誠二，厚地 泰輔，松坂 建治，田向 権，森江 隆，合原 一幸，『デバイスミスマッチに頑健な PWM 方式 CMOS 結合回路』，電気学会 電子回路研究会，ECT-14-011，pp.53–57，1月23日，しいのき迎賓館（金沢），2014.
4. 上ノ原 誠二，森江 隆，田向 権，合原 一幸，大規模非線形結合系のためのデバイスミスマッチ補償回路の評価，電子情報通信学会 基礎・境界ソサイエティ大会，A-2-16，p. 41，9月8日，東北大学（仙台），2015年.

本研究と関係の無い研究業績

発表論文

1. Takahito Mitsui, **Seiji Uenohara**, Takashi Morie, and Kazuyuki Aihara, “Torus-doubling process via strange nonchaotic attractors”, *Phys. Lett. A*, Elsevier, vol.376, pp.1907–1914, 2012.
2. **S. Uenohara**, T. Mitsui, Y. Hirata, T. Morie, Y. Horio, and K. Aihara, “Experimental Distinction between Chaotic and Strange Nonchaotic Attractors on the Basis of Consistency”, *Chaos*, vol.23, Issue 2, pp.023110-1–9, 2013.

国際会議発表論文

1. **S. Uenohara**, T. Mitsui, T. Morie, Y. Horio, and K. Aihara, “Strange non-chaotic attractors in a chaotic neuron integrated circuit model”, *The 11th KYUTECH-POSTECH Joint Workshop on Neuroinformatics*, pp.43–44, Korea, Aug. 2011.
2. **S. Uenohara**, Y. Horio, T. Mitsui, and K. Aihara, “Experimental observations of strange non-chaotic attractors from a chaotic neuron integrated circuit”, *International Symposium on Nonlinear Theory and its Applications*, pp.232–235, Japan, Sept. 2011.
3. T. Mitsui, **S. Uenohara**, T. Morie, Y. Horio, and K. Aihara, “Smooth and Nonsmooth Torus-doubling Phenomena in Quasiperiodically Forced Neural Systems”, *Kyoto Workshop on Nonlinear Theory and its Applications*, p.5, Japan, Nov. 14, 2011.
4. **S. Uenohara**, T. Mitsui, Y. Hirata, T. Morie, Y. Horio, and K. Aihara, “Experimental evaluation of synchronization in an SNA-chaos region”, *The 2nd International Symposium on Innovative Mathematical Modelling*, p.107, University of Tokyo, May 2012.
5. T. Mitsui, **S. Uenohara**, T. Morie, Y. Horio, and K. Aihara, “Torus-Doubling Bifurcation and Torus-Doubling Process via Strange Nonchaotic Attractors”, *The 2nd International Symposium on Innovative Mathematical Modelling*, p.55, University of Tokyo, May 2012.
6. T. Mitsui, **S. Uenohara**, Y. Horio, and K. Aihara, “Anomalous Diffusion Generated by Quasiperiodically Forced Maps with Strange Nonchaotic Attractors”, *Int. Symp. on Non-*

- linear Theory and Its Applications (NOLTA2013), pp.322–325, Santa Fe, USA, Sept., 2013
7. **S. Uenohara** and T. Morie, “A Chaotic Spiking Oscillator That Acts As a Filter of Spike Trains”, Int. Symp. on Nonlinear Theory and its Applications (NOLTA2014), pp.723–726, Luzern, Switzerland, Sept., 2014.
 8. M. Yamaguchi, **S. Uenohara**, T. Morie, H. Tamukoh, and K. Aihara, “Measurement and Analysis of a CMOS Chaotic Spiking Oscillator Circuit That Acts as a Filter of Spike Trains”, Int. Symp. on Nonlinear Theory and its Applications (NOLTA2015), pp.515–518, Hong Kong, China, Dec., 2015.

国内学会，研究発表論文

1. 上ノ原誠二，三ツ井孝仁，平田祥人，森江隆，堀尾喜彦，『カオスニューロン IC を用いた SNA の観測と SNA の同期の検証』，写像ニューロン研究会，東京大学，9月，2011.
2. 上ノ原誠二，三ツ井孝仁，平田祥人，『SNA-Chaos 遷移の実験観測』，FIRST 合原最先端数理モデルプロジェクト複雑系数理モデル学の工学応用に関する合宿研究会，東京，3月12，2012.
3. 山口 正登志，上ノ原 誠二，森江 隆，スパイク列フィルタとして動作するスパイクングカオス振動子回路，電子情報通信学会 NLP 研究会，vol.114，no.414，pp.77–82，1月26日，コンパルホール（大分），2015.

謝辞

本研究を遂行するに当たり，始終懇切なるご指導，ご鞭撻を賜りました九州工業大学大学院生命体工学研究科 森江隆教授に厚く御礼申し上げます。また，FIRST 合原最先端数理モデルプロジェクトから，本研究に至るまで，貴重な機会と御意見を与えて下さった，東京大学生産技術研究所 合原一幸教授，並びに東京電機大学工学部電気電子工学科 堀尾喜彦教授にも厚く御礼申し上げます。

集積回路を設計する上で守るべきルール，大規模結合系を実装する際のノウハウを懇切丁寧に指導していただいた松坂建治氏，回路の測定データの提供，研究室のルールを教えていただいた梁海超氏，普段の学校生活において，健康面を常に気遣っていただいた阿武由美氏に感謝致します。そして，共に研究生活を送った研究室のメンバー全員に感謝致します。最後に私の健康面，精神面をいつも気遣ってくれた両親に感謝致します。

本研究の一部は，科研費(23650118, 22300081)の支援を受けました。また，総合科学技術会議により制度設計された最先端研究開発支援プログラム（FIRST 合原最先端数理モデルプロジェクト）により，日本学術振興会を通して助成を受けました。LSI 設計は東京大学大規模集積システム設計教育研究センターを通し，シノプシス株式会社，日本ケイデンス株式会社，メインター株式会社の協力で行われました。