

氏名	小原 祐輔		
学位の種類	博士 (情報工学)		
学位記番号	情工博甲第321号		
学位授与の日付	平成29年3月24日		
学位授与の条件	学位規則第4条第1項該当		
学位論文題目	LSIの超低電圧動作に対応した発振回路および電源技術に関する研究		
論文審査委員	主査	教授	中村 和之
		〃	梶原 誠司
		〃	温 暁青
		准教授	馬場 昭好

学位論文内容の要旨

集積回路における MOS-FET の実装個数はムーアの法則に従い、プロセスノードの開発が進められている。それに伴う電源電圧の低下に対応するための技術は非常に重要である。本研究は低電圧化技術に関する研究成果に関して、まとめられたものである。

第1章では、本研究の背景と目的が述べられている。本研究では、課題として挙げられる低電圧化技術に対応するため、リングオシレータと電源スタック回路構造に着目しているが、それらの基本的な概念が述べられている。

第2章では、偶数段構成の CMOS リングオシレータに関して述べられている。CMOS 偶数段リングオシレータは、偶数段の周回インバータチェーンにラッチを挿入することで、発振を実現する回路構造である。偶数段構成の回路においても、発振信号は確認されているが、発振動作は設計パラメータに大きく依存し、非常に不安定であるため、安定発振条件解析のためのモデル化が行われている。本研究では、偶数段リングオシレータの挿入したラッチ部分の構造が SRAM メモリセルに酷似していることから、SRAM の安定動作解析に使用される SNM(Static Noise Margin)による安定発振条件の解析手法が提案されている。偶数段リングオシレータは、本論文内で定義された WSNM、RSNM_H、RSNM_L と呼ばれる 3つの SNM を満たすことが発振条件であると示されている。しかし、この条件を満たす設計条件は非常に厳しく、パラメータの選択性が非常に狭いため、より安定した発振を可能にするため、複数のラッチを挿入したリングオシレータの検討もなされている。提案回路の安定性に関して、SNM を用いて解析した結果、挿入するラッチは CMOS ラッチではなく、片チャンネルラッチでも構成することが可能であり、さらには、最適なラッチの配置位置、マルチチャンネル位相シフト波形を得るための最適回路の検討がなされている。

第3章では、サポートレギュレータを必要としない電源スタック回路構造の研究について論じている。そのための手段として、I/Oスイッチングバッファが消費する電流量を均一にすることを目標としたコーディング法の開発が行われている。本コーディング法の実現のためには、上段と下段の回路ブロックのスイッチング遷移数を等しくする必要があり、初めに、8B10Bコーディング、Bus-invertコーディングと呼ばれる2つの従来技術を用いたコーディング法に関する検討が行われているが、これらの技術では、上下間の回路ブロックのスイッチング遷移数を等しくすることはできておらず、不十分であった。そこで、従来の技術を応用した8B/10B+トグル変換コーディング法とDCバランスBus-invertコーディング法と呼ばれる2つのコーディング法が提案されている。これらのコーディング法では、スイッチング遷移数を同等にすることが可能であり、安定した動作が可能であることが示されている。また、提案されたコーディング法、および従来手法を検討するためのチップ開発も行われており、それらの測定を行うことによって、提案されたコーディング法が有益な技術であることが検証されている。

第4章では本研究のまとめ、今後の課題、本論文の結論が示されている。本研究の成果として、1つ目の研究の偶数段リングオシレータでは、SNMを用いた解析により、ラッチを増設することで、低電圧動作においても十分なマージンを持つ回路であることが述べられている。また、2つ目の電源スタック回路構造の研究では、それぞれのメリットを有する2つのコーディング法を提案し、安定したIPLの挙動を実チップの測定により確認した内容がまとめられている。

学位論文審査の結果の要旨

本論文は、集積回路の進化によって伴う電源電圧の低下に対応した技術に関してまとめたものである。まず、安定した発振動作が困難であるCMOS偶数段リングオシレータについて、SRAMの評価指標として用いられるSNMを用いた解析により、設計パラメータのモデル化が行われている。さらには、SNM解析を行った結果を応用し動作マージンの広い改良型の回路が提案されている。さらには、レギュレータやサポートレギュレータを付加する必要のない電源スタック回路構造に関する研究が行われている。こちらの研究では、各回路ブロックでのスイッチング遷移数を等しくするための各種コーディング法の検討がなされている。提案された2つのコーディング法を適用することにより、各回路ブロック間のスイッチング遷移数の差を少なくすることに成功している。また、各種コーディング法の実証のため、実チップを作成し、実測データから提案された理論の検証も行われている。本論文で検討された技術は、集積回路において、今後も重要課題として挙げられる微細化、低電圧化、素子ばらつき、電源ばらつき等への対策として、有用な知見を与えていくものである。

本論文に関し、公聴会において、調査委員、および一般参加者から、偶数段リングオ

シレータに関して、シミュレーション結果と測定結果のコリレーション、RSNM の pMOS と nMOS のバランス関係、片チャンネルラッチ構成のメリット、本研究の着地点、および電源スタック構成に関して、上段ブロックと下段ブロックの動作タイミング、入力 bit 数が変化した時の動作に関する質問がなされたが、いずれも著者から満足(明確)な回答が得られ、質問者の理解が得られた。

以上により、論文調査及び最終試験の結果に基づき、審査委員会において慎重に審査した結果、本論文が、博士(情報工学)の学位に十分値するものであると判断した。