

博士論文

時間軸積和演算のための
Si ナノディスクアレイ-FinFET
ニューロンデバイスの研究

九州工業大学

大学院生命体工学研究科 脳情報専攻

脳型集積システム研究室

13898008 東原 敬

2015 年度

目次

第 1 章	序論	1
1.1	研究の主旨	1
1.2	研究背景・目的	2
1.3	論文構成	3
第 2 章	積和演算モデル	5
2.1	積分発火型スパイクニューロンモデル	5
2.2	時間軸積和演算モデル	7
第 3 章	NDA-FinFET 結合型デバイスの製造技術	11
3.1	先行研究	11
3.1.1	Si ナノディスクアレイ構造	11
3.1.2	NDA-FinFET デバイス構造	12
3.1.3	単電子回路シミュレーション	15
3.2	FinFET 作製	20
3.2.1	FinFET 作製プロセスフロー	20
3.2.2	FinFET 作製結果	21
3.3	CMP 平坦化処理	27
3.3.1	CMP 平坦化処理プロセスフロー	27
3.3.2	CMP 平坦化処理結果	28
3.4	ナノディスクアレイ (NDA) 作製工程	30
3.4.1	NDA 作製工程	30

3.4.2	NDA 作製結果	30
3.5	NDA 加工工程	32
3.5.1	NDA 加工工程	32
3.5.2	NDA 加工結果	33
3.6	配線加工工程	35
3.6.1	配線加工工程	35
3.6.2	配線加工結果	35
第 4 章	試作デバイスの評価	39
4.1	単体素子・回路の DC 特性評価	39
4.2	2 段インバータ回路を用いた過渡特性評価	48
4.2.1	単一入力過渡特性	48
4.2.2	複数入力過渡特性	49
4.3	積和演算評価	55
4.3.1	評価方法	55
4.3.2	3 入力積和演算精度評価	57
第 5 章	考察・課題	63
5.1	応答波形の振幅バラツキ	63
5.2	ゆらぎ生成と制御	64
5.3	多入力積和演算のための NDA-FinFET 構造	68
第 6 章	結論	69
参考文献	71

第 1 章

序論

1.1 研究の主旨

本論文は時間軸上で積和演算を実現するためのスパイキングニューラルネットワークモデルと、そのモデルを実現するためのシリコンナノディスクアレイ-FinFET 結合型デバイス (NDA-FinFET) のプロセス技術とそのデバイス特性に関するものである。スパイキングニューロンモデルについて、シナプス後電位: post-synaptic potential (PSP) の傾きとスパイクの入力タイミングを規格化し、規格化した傾きとタイミングの積和演算結果をニューロンの発火タイミングで表現できる単純化モデルを構築した。このモデルを実現するナノデバイスとして NDA-FinFET 構造を提案した。シリコンナノディスクアレイ (NDA) は分子の自己組織化機能を利用したバイオナノテンプレートと中性イオンビームエッチング技術により作製し、数 $G\Omega$ の抵抗値を有する。NDA-FinFET は FinFET のゲートに NDA を接続した構造のデバイスで、NDA に入力されるスパイクパルスから PSP に相当する波形を生成し、その波形の立ち上がり部分を用いて時間軸積和演算機能を実現する。NDA-FinFET デバイスを実現するための試作プロセス技術を開発し、デバイスを試作した。試作したデバイスについて、複数の入力を与え、入力電圧と入力タイミングの積和演算機能を実現したことをデバイスの測定によって確認した。NDA-FinFET では、トランジスタ 1 個のゲート容量を 1 度充電するエネルギー (1fJ 程度) で積和演算を実行できる。これは現行のデジタルプロセッサの消費エネルギーよりも桁違いに小さく、省面積・低消費電力でニューラルネットワークモデルを実現するために有用である。

1.2 研究背景・目的

Deep learning などのニューラルネットワーク (NN) が機械学習の分野で注目を浴びている。NN のモデルとして、スパイクと呼ばれる幅の狭いパルスの発生タイミングを情報表現とする「スパイクニューロン」モデルが 2000 年頃より盛んに研究されている。NN の計算には膨大な回数の演算とメモリが必要であり、デバイスや材料レベルで NN の機能を実現する研究が行われ、さまざまな算術演算機能を実装する専用デバイス [1–14] や、抵抗変化型メモリなどのアナログメモリ機能を実現するメモリデバイスが提案されている [15–26]。従来のデジタル計算では、ハードウェアで用意されたビット数に応じた計算精度で論理回路を多数用意し、厳密な計算を行うが、それにより消費電力の増大を伴う。しかし、NN の超並列性により実際にはそれほど演算精度が必要でない場合も多い。NN の計算において重要で負荷の重い演算が積和演算であり、それほど高精度ではないものの、積和演算処理を省面積かつ低消費電力で実装できるデバイスは有用である。

スパイクニューロンモデルでは、結合重みを実現するシナプス部を介してスパイクがニューロンに到達した直後に一時的に発生する電位変化（シナプス後電位；PSP）の生成が重要である。PSP の立上がりを利用して積和演算をパルスタイミングにより時間軸で実行する方法が提案されている [27]。そのために、超分子の自己集成機能を利用して形成したナノディスクアレイ構造を用いることが提案されている [28, 29]。

本研究では、脳型情報処理に基づくスパイクニューラルネットワークモデルを実現するための多入力ナノ構造デバイスの開発を目的とする。まず、時間軸上で積和演算を実現するためのスパイクニューラルネットワークモデルの改良を提案する。スパイクニューロンモデルについて、結合している他のニューロンからのスパイクタイミングを規格化したものと、スパイクによって生成される PSP 波形の傾きを規格化したものの積和演算結果を、ニューロンのスパイクの発火タイミングによって表現できるようにモデルを改良する。次に、そのモデルを実現するためのシリコンナノディスクアレイ-FinFET 結合型デバイス (NDA-FinFET) の構造を開発する。このデバイスは、上記の分子の自己組織化機能を利用したシリコンナノディスクアレイ構造デバイスを、FinFET のゲートに接続した構造である。また、このデバイスについて構造シミュレーションを行い各素子間の容量を抽出し、単電子シミュレーションを

実行してデバイスの挙動を調べる．また，NDA-FinFET を試作するためのプロセス技術を考案し，試作したデバイスの特性を示す．複数のスパイクを入力したときの応答波形から，試作したデバイスの積和演算性能を評価し，ニューラルネットワークモデルを実現するデバイスとして有用であることを示す．

1.3 論文構成

本論文の構成を以下に示す．まず，第 2 章では積和演算モデルについて述べ，ニューロンの発火タイミングで規格化したスパイクの入力タイミングと PSP 波形の傾きの積和演算を表現できることを示す．次に第 3 章では，NDA-FinFET デバイスの構造，構造シミュレーション結果および単電子回路シミュレーション結果を示す．また，デバイスの試作プロセスフローと試作結果について述べる．第 4 章では NDA-FinFET および NDA-FinFET を含む 2 段インバータ構成回路の DC・過渡特性の測定結果，および積和演算精度の評価結果を示す．第 5 章では測定結果の考察および課題を述べる．最後に第 6 章において研究の結論を述べる．

第 2 章

積和演算モデル

2.1 積分発火型スパイキングニューロンモデル

スパイキングニューロンモデルの一つとして積分発火型ニューロンモデルがある．図 2.1 にモデルの模式図を示す．ニューロンは，結合している他のニューロンからのスパイク信号 i_i をシナプスを経て受け取ると，シナプスの結合荷重値に応じた傾きを有するシナプス後電位（Post-Synaptic-Potential:PSP） $P_i(t)$ を生成する．PSP には興奮性 PSP（Excitatory PSP:EPSP）と抑制性 PSP（Inhibitory PSP:IPSP）の 2 種類があり，シナプス荷重値の符号によって決定される．EPSP はニューロンの発火を促し，逆に IPSP はニューロンの発火を抑制するように作用する．このモデルでは，他のニューロンからの入力によって生成した PSP の時空間加算結果によって，ニューロンの内部電位 I_n が決定される．時間加算は，PSP が減衰する前に他の PSP が生成されると，電位変化に加えられて内部電位の変化が起こることである．一方，空間加算はニューロンが複数のニューロンとシナプスで繋がっており，他のニューロンからのスパイクによって生じる PSP の総和によって内部電位の変化が決定されることである．内部電位 I_n がしきい値 th を超えたとき，ニューロンは発火し，結合している他のニューロンへスパイク信号を出力する．ニューロンは発火すると，内部電位がリセットされ，一定期間，スパイクを受け取っても内部電位が変化しない不応期に入る．

複数のパルス入力に対する線形応答を利用して，振幅（すなわち、線形応答の傾き）を「重み」，時間タイミングを「入力値」として，時間領域で重み付き加算を実行するスパイキングニューロンモデルの計算手法が提案されている [27]．式 (2.1) に示すように，各 PSP 波形の傾

き W と時間 T の積について、内部電位 I がそれらの総和によって表現されている。

$$I_n(t_0) = \sum_{j=1}^N W_{nj} T_j \quad (2.1)$$

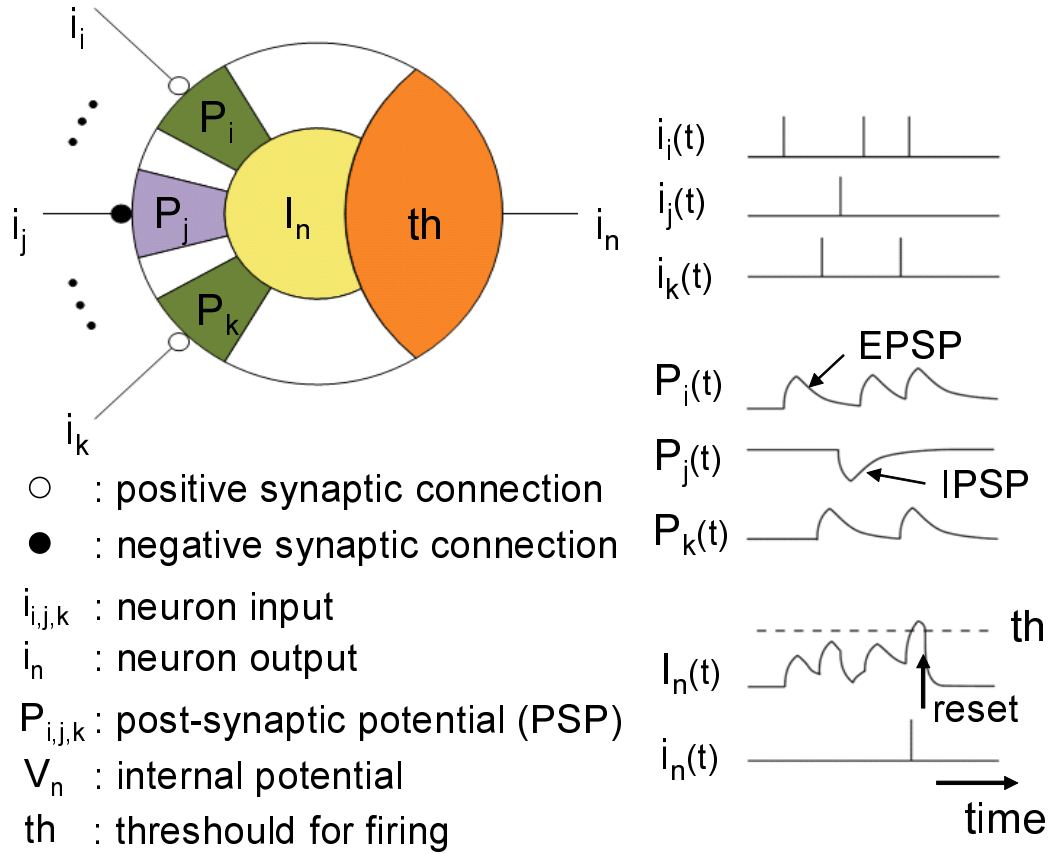


図 2.1 積分発火型スパイクニューロンモデル.

2.2 時間軸積和演算モデル

2.1 節で述べたモデルをハードウェアに実装する場合、積和演算の結果を内部電位で表現して観測するのは非効率である。そこで、スパイク発火（内部電位がしきい値に達した）タイミングで積和演算結果を表現できるように、変数を規格化し、新しい変数を設けてモデルを再定義した。再定義したモデルの模式図を図 2.2 に示す。図 2.2 において、 i_i は結合している他のニューロンからの入力を示し、各入力信号の入力タイミングを t_i 等とする。 i_i によって生成される PSP 波形が P_i であり、それぞれの PSP 波形の傾きを k_i とする。 t_v は内部状態 V_n がしきい値 θ に達したタイミングである。ニューロンのスパイクタイミングで積和演算結果を表現するために、各 PSP の傾き k_i と他のニューロンからの各入力タイミング t_i を規格化する必要がある。そこで、傾きを規格化するための定数 λ 、入力タイミングを規格化するための定数 T_{in} および T_{out} を定める。 T_{in} は入力タイミングの時間範囲であり、 $t_i < T_{in}$ を満たす任意の定数である。 T_{out} は式 (2.2) に表すように、傾き λ の線形波形がしきい値 θ に達するまでの時間定数である。 λ は各 PSP 波形の傾き k_i の総和 $\sum k_i$ である。

$$T_{out} = \frac{\theta}{\lambda} \quad (2.2)$$

図 2.2 からわかるように、各 PSP 波形の傾き k_i と各入力タイミング t_i 、発火タイミング t_v としきい値 θ の関係は式 (2.3) で表される。

$$\theta = \sum_{i=0}^n k_i(t_v - t_i) \quad (2.3)$$

前述したように積和演算結果をニューロンの発火タイミングで表現するために、式 (2.3) に PSP の傾き k_i を規格化した a_i 、入力タイミング t_i を規格化した x_i を代入する。 a_i はニューロンの結合荷重値を意味しており、式 (2.4) に示すように各 PSP の傾きの割合として表現し、 $\sum a_i = 1$ となる変数である。 x_i は他のニューロンからのスパイク入力タイミングを $(0 \leq x_i \leq 1)$ を満たすように規格化した変数で、式 (2.5) に示す T_{in} 内の入力タイミング t_i として表現する。

$$a_i = \frac{k_i}{\lambda} \quad (2.4)$$

$$t_i = T_{in}(1 - x_i) \quad (2.5)$$

ここまでで定義した定数および変数を式 (2.3) に代入し整理する。まず、式 (2.4) より

$$\theta = \sum_{i=0}^n a_i \lambda(t_v - t_i) \quad (2.6)$$

となる。さらに式 (2.2), 式 (2.5) および $\sum a_i = 1$ より

$$T_{out} = t_v - \sum_{i=0}^n (a_i(1 - x_i)T_{in}) \quad (2.7)$$

となる。これを展開して整理すると、積和演算結果をスパイクの発火タイミングで表現した式 (2.8) が導出される。

$$\sum_{i=0}^n a_i x_i = \frac{T_{in} + T_{out} - t_v}{T_{in}} \quad (2.8)$$

式 (2.8) 右辺の T_{in} , T_{out} は既知であることから、ニューロンの内部状態がしきい値に達したタイミング、すなわちスパイクの発火タイミング t_v によって、式 (2.8) 左辺に示す規格化した傾き a_i と規格化した入力タイミング x_i の積和を表現できる。

図 2.3 (a) に積和演算を実現するための回路図を示す。この回路は FET のゲートに抵抗を接続した構造で、FET のゲート容量と抵抗の RC 回路によって、図 2.3 (b) に示すようにステップ電圧 V_{in} の入力タイミングから立ち上がりがほぼ線形な波形を生成する。回路が出力する情報は応答波形をしきい値処理した後の発火タイミングであり、回路の出力結果 t_v から式 (2.8) の右辺を計算することにより、左辺が求められる。回路から計算する積和演算の精度については、理論値と測定値の相対誤差を用いて評価する。発火タイミングが理想値よりも早ければ右辺値が左辺値よりも大きくなり、相対誤差の値は正となる。逆に、発火タイミングが理想値よりも遅ければ、相対誤差の値は負となる。この誤差の要因の一つは、回路が実現する PSP が完全な線形波形ではないために、スパイクの発火タイミングが理想のタイミングと異なることである。ここで、誤差要因であるスパイクの発火タイミングと理想的な発火タイミングとのズレを Δt_v とする。この場合誤差は $\Delta t_v / T_{in}$ で決まる。任意の定数 T_{in} については、 $t_i < T_{in}$ を満たす必要があるが、 T_{in} の上限に制限はない。 T_{in} を t_v に対して非常に大きな値に設定した場合、発火タイミングのズレによる理論値と測定値の誤差は相対的に小さくなる。ただし、 T_{in} の値を極端に大きな値にすると積和演算そのものの精度が低くなるため、 t_i の最大値よりも少し大きな T_{in} を設定することが適切である。

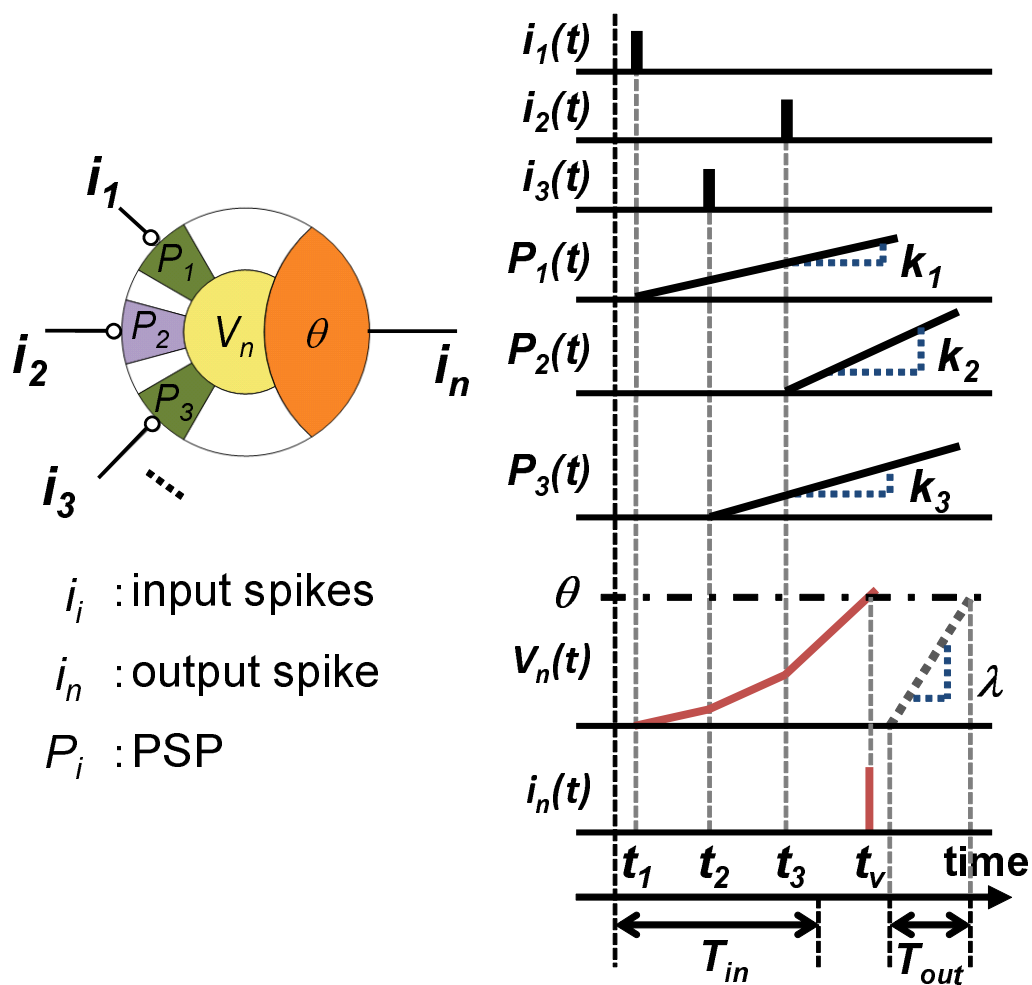


図 2.2 時間軸積和演算モデル.

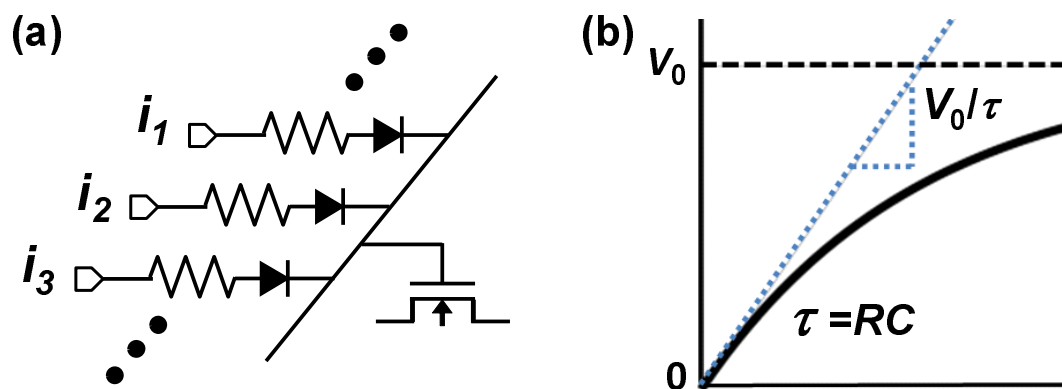


図 2.3 積和演算のための FET-抵抗接続回路 : (a) 回路図, (b) 回路の時間応答.

第 3 章

NDA-FinFET 結合型デバイスの製造技術

本章ではまず、既に提案されている Si ナノディスクアレイ構造について述べる。また、本研究で実現する、FinFET ゲート Si ナノディスクアレイを接続した NDA-FinFET 結合型デバイスの構造について説明する。その後、NDA-FinFET の構造について各素子間の容量を電磁界シミュレーションによって抽出し、単電子回路シミュレーションによって求めたデバイス応答特性を示す。

次に、NDA-FinFET の製造プロセスフローと試作結果を示す。ナノディスクアレイ-FinFET 結合型デバイス（NDA-FinFET）を実現するための製造工程は、FinFET 作製、CMP 平坦化処理、NDA 作製、NDA 加工、および配線工程から成る。すなわち、FinFET を作製した試料の表面を CMP 処理によって平坦化し、平坦化した試料表面に NDA を作製する。その後、試料全面の NDA を任意の形状にパターンニングし、配線加工を行う。

3.1 先行研究

3.1.1 Si ナノディスクアレイ構造

第 2 章で述べた PSP 波形を生成するためのデバイスとして、Si で形成されるナノディスクアレイ（NDA）構造 [30,31] に着目した。図 3.1 に NDA 構造を示す。ナノディスクは、フェリチン溶液の自己組織化機能を利用し、等間隔に配置される。ナノディスク同士の間隔は約

3nm で周囲は絶縁膜 SiO_2 によって覆われており、NDA は絶縁膜を電極としてのナノディスク同士で挟んだキャパシタ構造である。絶縁体は導体中の電子の全エネルギーよりも高いエネルギー障壁を有しているが、電極間隔がナノメートルオーダの領域になると電子の波動性が顕著になり、電極内の電子の波動関数が障壁の反対側の電極へと浸み出すため、電子は障壁を確率的にトンネリングすることができるようになる。この現象はトンネル効果と呼ばれ、トンネル障壁が電極間に存在する構造はトンネル接合と呼ばれる。トンネル接合同士が接合された構造では、クーロンブロッケードと呼ばれるクーロン反発力により電子がトンネルできないという現象を利用できる。これによって電子を 1 個ずつ制御でき、低消費電力動作を期待できる。NDA デバイスの利点としては、超高抵抗素子として作用し低消費電力動作を実現できると、実装面積が非常に小さいことがある。図 3.1 に示すように、入力ノードに正の電圧を印加すれば、トンネル効果により出力ノードから電子がナノディスク間を確率的にホッピング伝導する。この確率的な電子のホッピング伝導機構を利用してスパイクニューロンの PSP 波形を実現する。共同研究者である東北大学流体科学研究所グループが作製した 2 次元 NDA デバイスにおいて、パルス電圧を印加したときの電流特性測定結果を図 3.2 に示す [33]。図 3.2 (a) では、スパイクに相当するパルス電圧を 1 個入力すると、出力電極から入力電極へ電子がホッピング移動する。入力電極に電圧が印加されている間、PSP 波形に相当する電流上昇波形が生成される。電圧入力終了すると、電子は出力電極側へホッピング移動するため、電流下降波形が生成される。図 3.2 (b) に示すように、連続して 2 個のパルス電圧を印加した場合、1 個目のパルスが立ち下がって電流が減少しきる前に 2 個目のパルスが入力されると、電流はその時点から加算される特性を示す。NDA デバイスのもつこれらの特性を利用して、積分発火型スパイクニューロンモデルを実現するデバイスを構成することができる。その構造を次節で述べる。

3.1.2 NDA-FinFET デバイス構造

NDA-FinFET デバイス構造の俯瞰図を図 3.3 に、また、NDA-FinFET について FinFET のゲート方向の断面模式図と概略寸法を図 3.4 に示す。図 3.3 に示すように、このデバイスは FinFET のゲート上部に NDA を接続した構造である。FinFET は 3 次元構造の MOS トランジスタで、図 3.4 に示すように、ソース・ドレインをゲートが跨いでおり、ソース・ドレインの両側面にチャネルを形成するダブルゲート構造の FET である [32]。スパイクニューロン

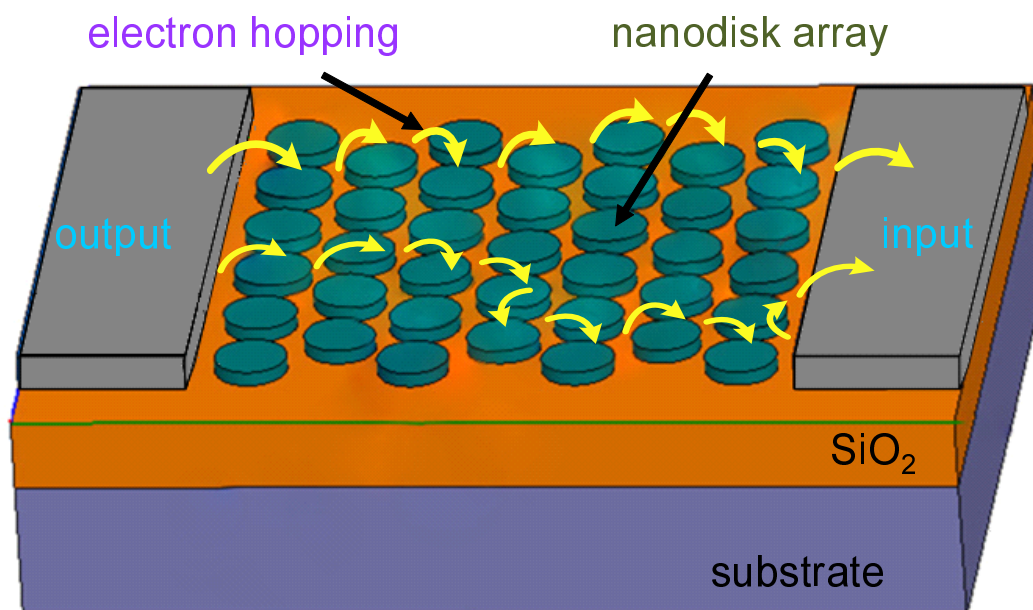


図 3.1 NDA 構造.

デバイスを実装するデバイスとして FinFET を採用する理由は、FinFET がこれまでのプレーナ型トランジスタに比べて微細化が有利であるため高集積化が実現でき、ゲート容量が相対的に小さいことから低消費電力化が期待できるからである。FinFET のゲート容量は非常に小さく、NDA のもつ数 $G \Omega$ オーダの高抵抗特性と組み合わせることで、緩やかな時定数の応答波形，すなわちスパイクニューロンの PSP 波形を生成する。さらに、FinFET を用いるもう一つの理由として、NDA 接続面積とゲート容量の分離がある。プレーナ型では、ゲートに NDA を直接接続させた場合、大規模化に伴って NDA の結合数を増やせば、NDA との接続面積が増加することで、直接その効果がゲート面積に影響し、ゲート容量を増大させてしてしまう。一方で FinFET では、図 3.4 に示すように、ゲート容量は Fin の高さでゲートの幅で決定され、NDA と FinFET の接続面積は Fin の幅を大きくすることで拡大することができるため、ゲート容量に影響を与えずに NDA との接続面積を拡大することができる。これらの理由から、多入力を想定したスパイクニューロンデバイスの実装において FinFET が有利と考えられる。

この NDA-FinFET 構造デバイスについて、NDA はスパイクニューロンモデルにおけるシナプス部として用い、FinFET をニューロン部として用いる。つまり、入力電極 (Input

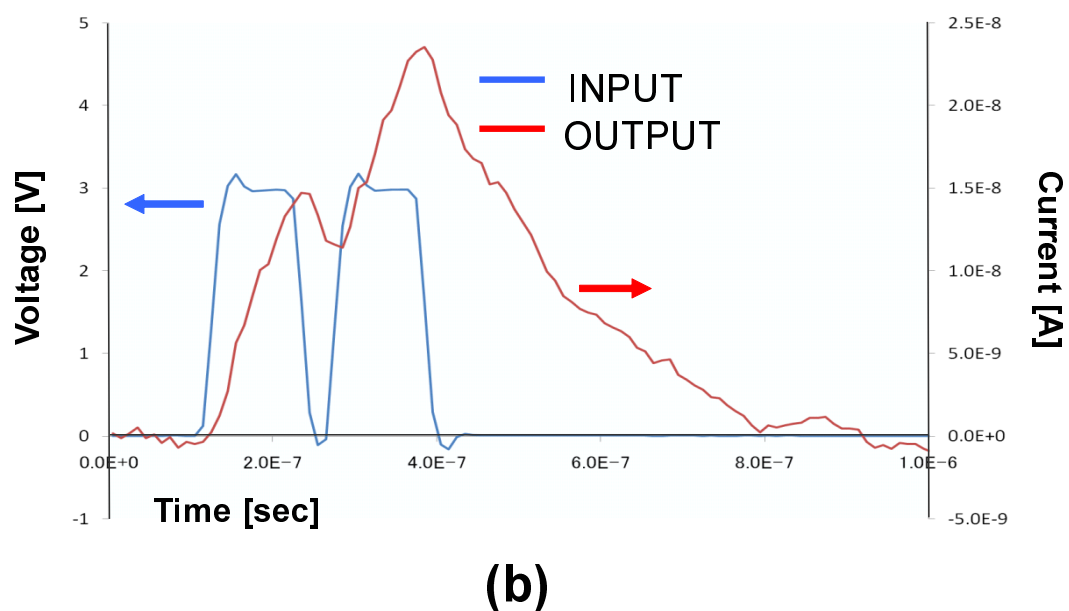
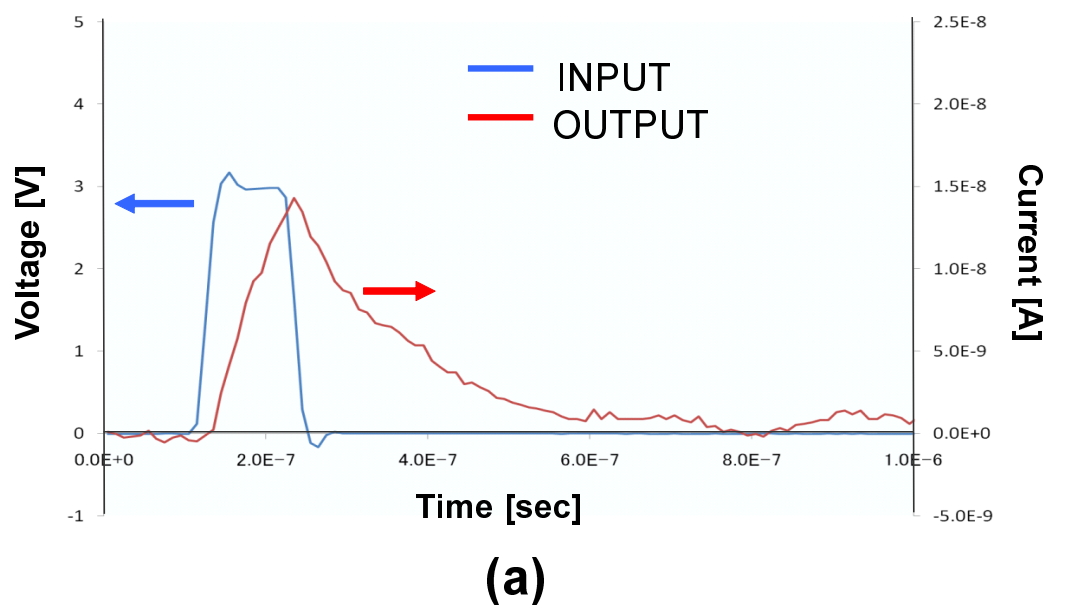


図 3.2 パルス電圧を入力したときの NDA 電流特性.

electrode) にパルス電圧が入力されると、NDA はその入力を PSP 波形として FinFET のゲートへ伝搬してゲートを充電する。そして、FinFET のしきい値に達したところでニューロンが発火したとみなし、FinFET のソース・ドレイン間に電流が流れるという動作を示す。制御電極 (Control electrode) は、NDA 上に数十 nm 程度の SiO_2 絶縁膜を介して配置した電極である。この電極に電圧を印加することで電界を変化させて、ナノディスク間をホッピング伝導する電子の挙動を制御することを想定している。つまり、この制御電極に外部から電圧を加えることで、ホッピング伝導を促進または抑制し、シナプスの結合荷重を制御するための機構である。

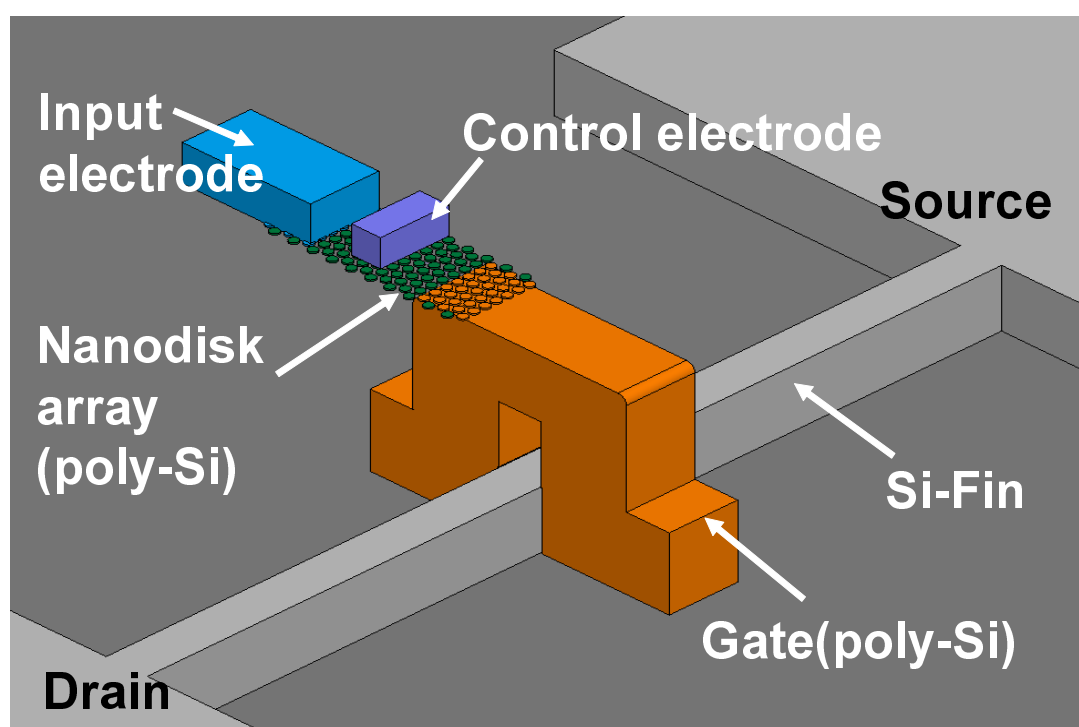


図 3.3 NDA-FinFET デバイス俯瞰図。

3.1.3 単電子回路シミュレーション

単電子回路シミュレーションでは、モンテカルロ法に基づいて、乱数を用いた確率計算を行う。単電子回路シミュレータの計算手順は以下の通り。まず、作成した等価回路の各ノードに電荷がある状態を任意に設定して、その状態の全静電エネルギーを計算する。次に、電子一個

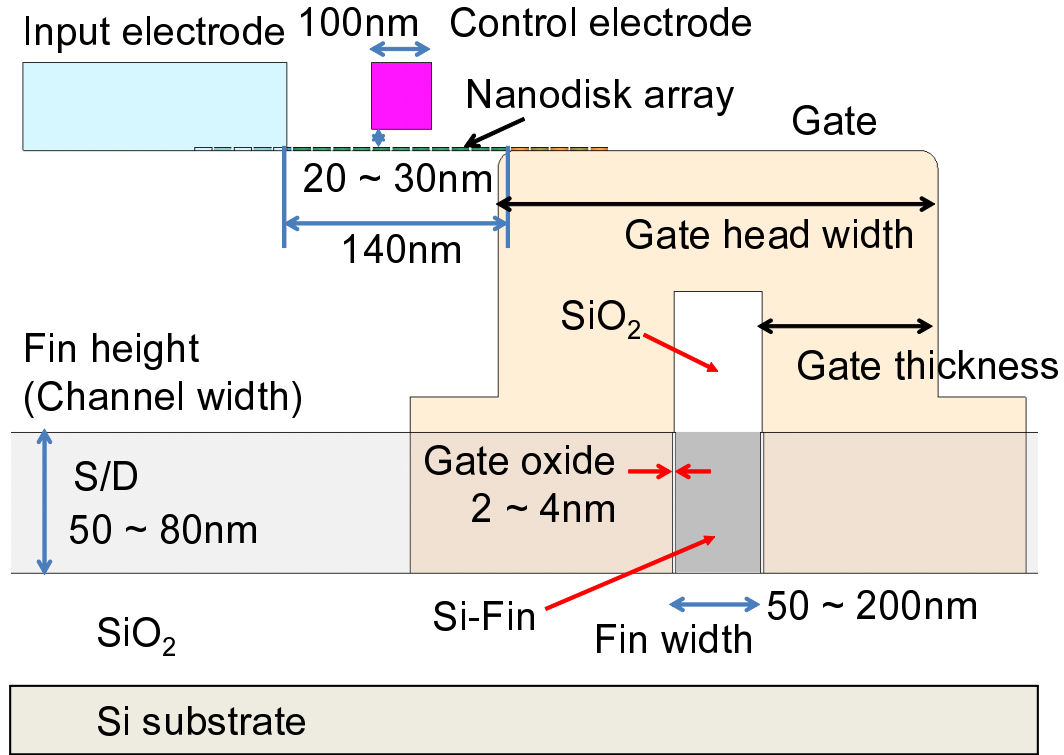


図 3.4 NDA-FinFET 断面模式図.

がトンネルできるすべての経路において、電子一個のトンネル前後の全静電エネルギーの変化量 ΔE_i を計算する．得られた ΔE_i を以下に示す式 (3.1) に代入し、電子がトンネルする確率 Γ_i を求める．電子がトンネルできる各経路において、式 (3.2) で電子がトンネルするまでの待ち時間を τ 計算する．

$$\Gamma_i = \frac{\Delta E_i}{e^2 R_T (1 - \exp(-\Delta E_i / k_B T))} \quad (3.1)$$

$$\tau_i = \frac{1}{\Gamma_i} \ln \frac{1}{\gamma} \quad (3.2)$$

ここで、 γ は一様乱数 ($0 < \gamma < 1$)、 e は電気素量、 R_T はトンネル抵抗、 k_B はボルツマン定数、 T は温度である．得られた組み合わせの中で電子が最短時間でトンネルする経路に移動させる．全体の回路に対して繰り返し、電子一個一個について計算し、各ノードに蓄積される電子の数によって電荷量 Q が得られる．抽出した容量 C を入れて、 $V = Q/C$ によって電圧値 V を算出する．

表 3.1 単電子シミュレーション評価結果.

$V_{in}(V)$	標準偏差 (mV)	平均値 (mV)	ゆらぎ度=標準偏差/平均値× 100(%)
0.3	1.35	6.65	20.34
0.6	1.6	9.57	16.72
0.9	1.72	13.86	12.38

単電子回路シミュレーションを実行する構造を図 3.5(a) に示す. この構造では, 入出力電極間にシリコンナノディスクを 9 個直列に並べており, 出力電極は NDA-FinFET のゲートに相当する. 図 3.5(b) に入力電圧を示す. V_{in} は入力電極に与える電圧であり, V_c は制御電極に与える電圧である. 図 3.6 に単電子シミュレーション結果を示す. 入力電圧の立ち上がりのタイミングで FinFET のゲート電圧に相当する出力電圧が立ち上がり, 入力電圧の立ち下がりタイミングから出力電圧の傾きが小さくなっていることがわかる. また, 電子の確率的なホッピングによる応答の違いについて, 100 個の応答波形を重ね書きしている. 図 3.6 より, 応答波形の傾きを V_{in} によって制御できることがわかる. さらに, 振幅に対する標準偏差の大きさをゆらぎ度として定義したときに, V_{in} によってゆらぎ度を制御できることも確認した. 応答波形の評価結果を表 3.1 に示す.

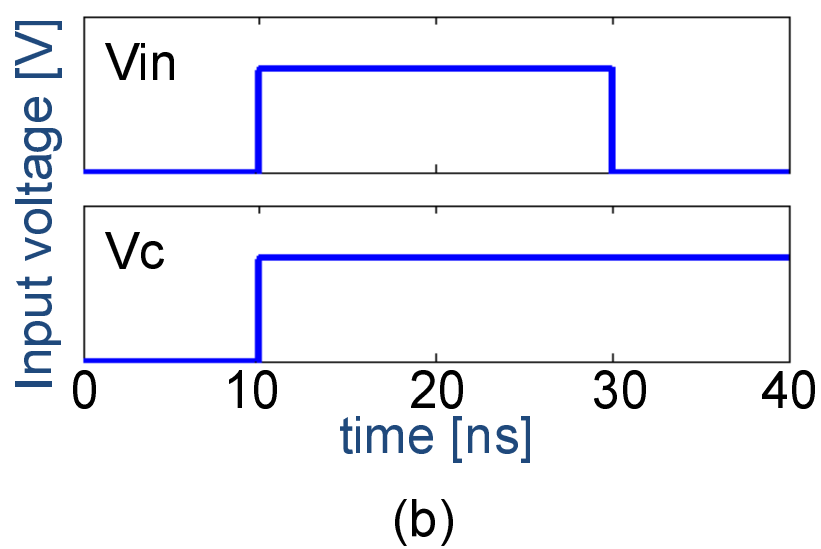
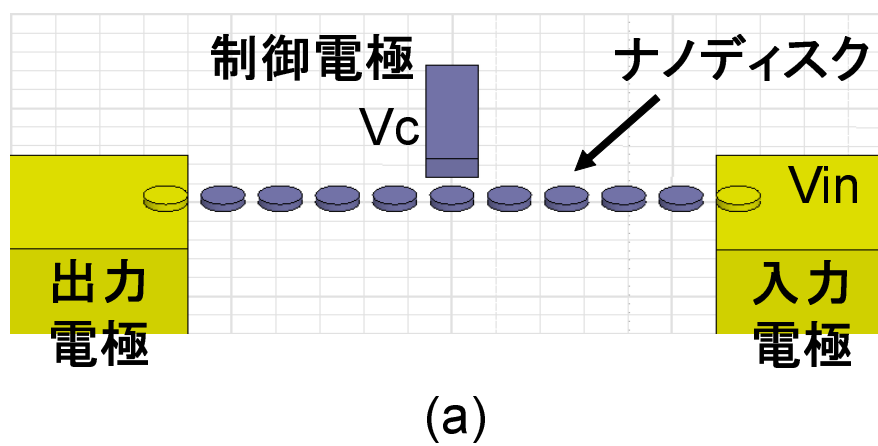


図 3.5 単電子シミュレーション条件：(a) 構造図，(b) 入力電圧条件.

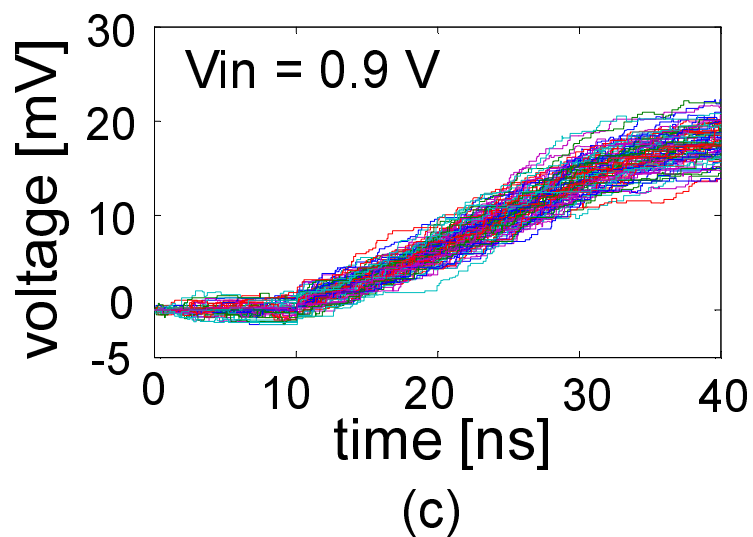
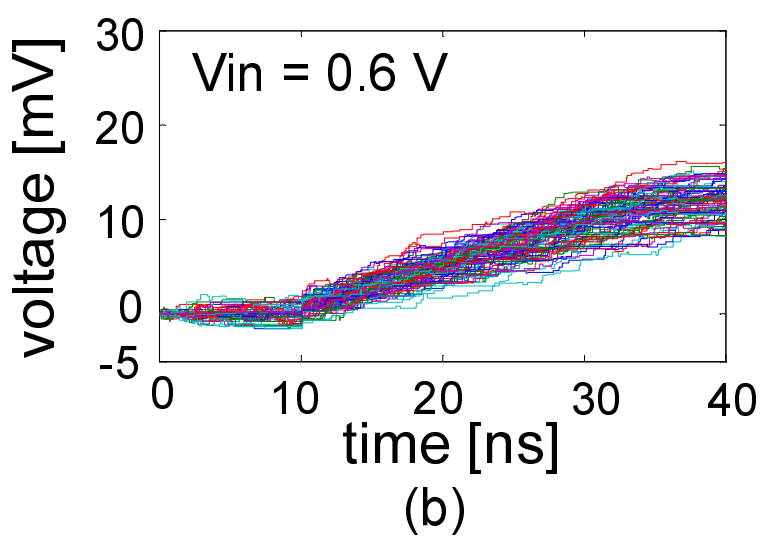
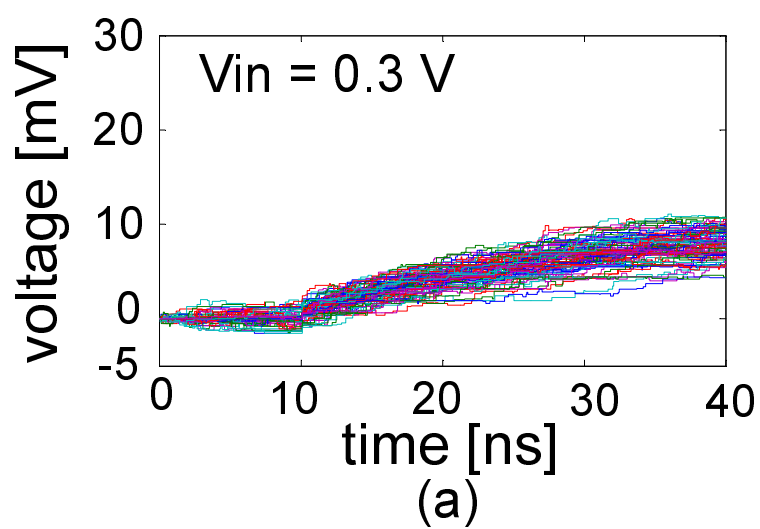
図 3.6 単電子シミュレーション結果 : (a) $V_{in}=3\text{V}$, (b) $V_{in}=6\text{V}$, (c) $V_{in}=9\text{V}$.

表 3.2 本研究で使⽤した SOI ウェハ仕様.

	⾯方位	タイプ	抵抗	膜厚
TOP	SOI(100)	P-type	p=14 18.9Ω/cm	145nm
BOX				400nm
SUB	Si(100)	P-type	p=14 18.9Ω/cm	

3.2 FinFET 作製

3.2.1 FinFET 作製プロセスフロー

使⽤した SOI ウェハの仕様を表 3.2 に示す.

Fin 加工

はじめに, Fin パターンを加工する. まず, フィールド酸化を⾏う. ここでは, Fin の⾼さに相当する Si 膜厚を決定する. 本研究ではダブルゲートの FinFET を採⽤し, Fin とゲートの間には 80nm の酸化膜を介するようにフィールド酸化膜をフッ酸を⽤いてエッチバックする. その後, EB 描画装置によって Fin パターンを露光し, 目標の Fin 幅となるように, アッシングによるスリミングを⾏う. 最後に, フィールド酸化膜をハードマスクとして, Fin をドライエッチングし, レジストを除去する.

ゲート加工

次に, ゲートパターンを加工する. Fin 工程後の試料を洗浄し, 自然酸化膜を除去した後, ゲート酸化膜厚に相当する 4nm のゲート酸化を⾏う. 直後に 100nm の poly-Si を堆積し, ハードマスクとなる 50nm の TEOS-SiO₂ を表⾯に成膜する. その後, EB 描画装置によってゲートパターンを露光し, 目標のゲート幅となるようにアッシングによるスリミングを⾏う. 最後に, ハードマスクとゲート poly-Si をドライエッチングし, レジストを除去する.

NDA-FinFET デバイスにおいて, NDA と FinFET がコンタクトする箇所は, FinFET の Fin とゲートが交差する部分である. ND 間をホッピングする僅かな電⼦を収集して動作する

表 3.3 フィールド酸化膜作製条件と目標膜厚および膜厚測定結果.

炉温度	酸化時間	目標膜厚	膜厚測定結果	Fin 高さ
1050 °C	34min	190nm	189nm	50nm
950 °C	25min	130nm	136nm	77nm

NDA-FinFET において、大きな面積を占めるゲート電極パターンによる寄生容量を抑える必要がある。そのため、NDA-FinFET のゲートパターンは、FinFET の Fin とゲートの交差点付近のみとし、通常のゲート電極配線を引き出すパターンを設けない。

イオン注入

ゲート加工後、イオン注入を行う。その後、TEOS-SiO₂ を成膜し、ドライエッチングすることでサイドウォールを作製する。最後に S/D 形成用のリンイオンを注入する。

3.2.2 FinFET 作製結果

Fin 加工

フィールド酸化によって表面の SOI を酸化し、トランジスタのゲート幅に相当する Fin の高さを決定した。フィールド酸化膜作製条件と目標膜厚および膜厚測定結果を表 3.3 に示す。その後、フッ酸処理によって、表面のフィールド酸化膜を 80nm までエッチバックした。次にウエハ表面にレジスト (SAL601H) をスピコートし、EB 装置で露光し、現像液 (MF319) で現像した。このときのプロセス条件を表 3.4 に示す。また、現像後のパターンを SEM 観測した結果を図 3.7 に示す。その後、酸素雰囲気中アッシングにより Fin 幅をスリミングし、所望の Fin 幅までパターンを狭めた。スリミング後の SEM 観測結果を図 3.8 に示す。その後、フィールド酸化膜を RIE でエッチングし、レジストを除去した。RIE による酸化膜エッチング条件を表 3.5 に示す。その後、酸素雰囲気中で 500W, 15min のアッシングを行い、15min の硫酸過水洗浄でレジストを除去した。最後に、エッチングしたフィールド酸化膜をハードマスクとして、ICP-RIE で Si をエッチングした。Si エッチング条件を表 3.6 に示す。また、Si エッチング後のパターンの SEM 観測結果を図 3.9 に示す。Fin 形状をパターンニングできていることを確認した。

表 3.4 Fin パターン作製のための EB リソグラフィ条件.

	条件
ドライベーク	140 °C 5min
スピコート	500rpm 5sec + 7000rpm 25sec
プリベーク	120 °C 1min
EB 露光	dose 量: $50\mu\text{C}/\text{cm}^2$
ポストベーク	100 °C 1min
現像液	3min
水洗	1min

表 3.5 RIE による Fin SiO_2 エッチング条件.

CHF ₃ ガス流量	80 sccm
圧力	5 Pa
RF	80 W
エッチング時間	153 sec
目標エッチング量	107 nm

ゲート加工

RCA 洗浄を行い、ゲート酸化膜を形成した。ゲート酸化膜形成条件と膜厚測定結果を表 3.7 に示す。その後、ゲート poly-Si を成膜し、ゲートパターン作製時のハードマスクとなる SiO_2 を 52nm 成膜した。次にウエハ表面にレジスト (SAL601H) をスピコートし、EB 装置で露光し、現像液 (MF319) で現像した。このときのレシピを表 3.8 に示す。また、現像後のパターンを SEM 観測した結果を図 3.10 に示す。その後、酸素雰囲気中アッシングによりゲート幅をスリミングし、所望のゲート幅までパターンを狭めた。スリミング後の SEM 観測結果を図 3.11 に示す。その後、ハードマスクであるゲート poly-Si 上の SiO_2 をエッチングし、アッシング後、硫酸過水洗浄によってレジストを除去した。最後にゲート poly-Si を RIE でエッチ

表 3.6 ICP-RIE による FinSi エッチング条件.

HB _r ガス流量	100 sccm
A _r ガス流量	50 sccm
O ₂ ガス流量	1 sccm
圧力	4 Pa
ICP	150 W
基板バイアス	200 sccm
エッチング時間	30/70 sec
目標エッチング量	50/80 nm

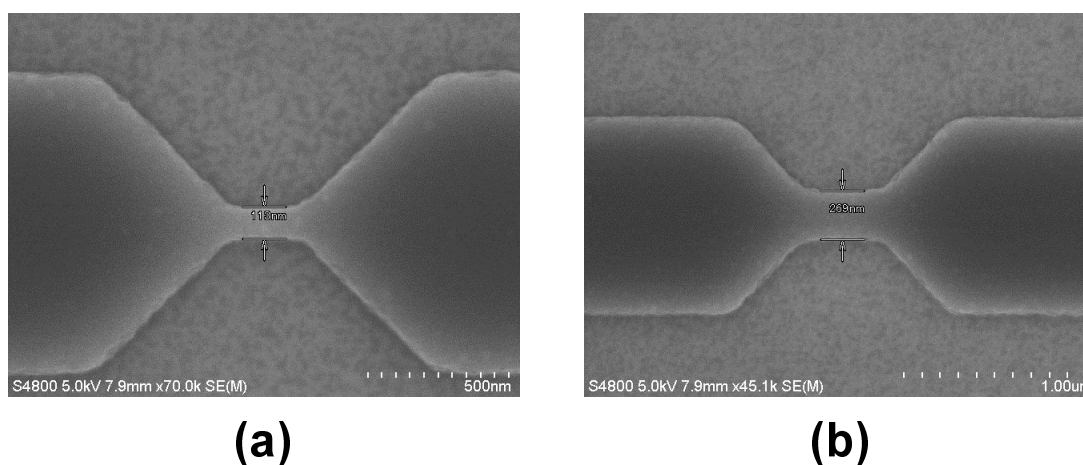


図 3.7 EB 露光後 Fin パターンの SEM 観測結果 : (a) 設計値 50nm, (b) 設計値 200nm.

ングした. poly-Si エッチング後の SEM 観測結果を図 3.12 に示す. ゲート形状をパターンニングできていることを確認した.

S/D イオン注入

イオン注入を行い, その後 RTA によって不純物拡散のための熱処理を施した. EXT ヒ素と S/D リンのドーズ量を表 3.9 に示す.

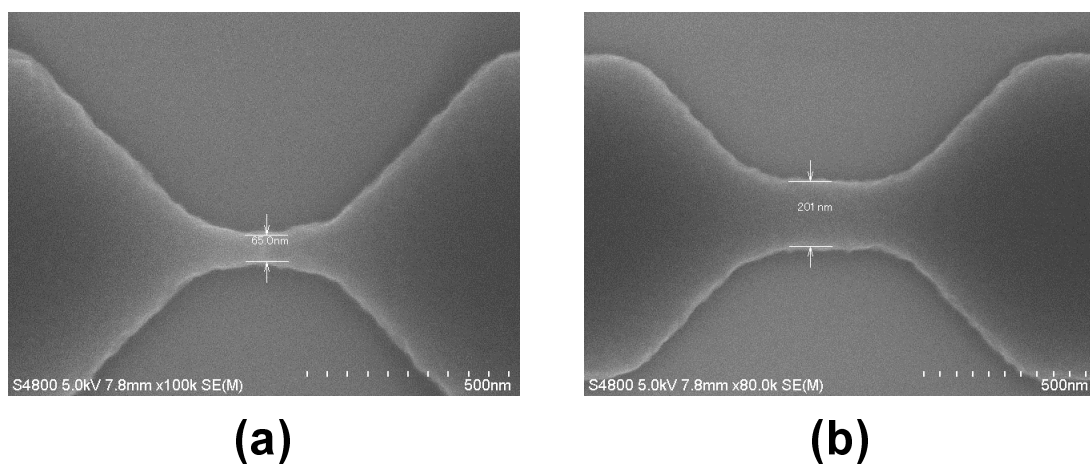


図 3.8 スリミング 2min 後 Fin パターンの SEM 観測結果：(a) 設計値 50nm，(b) 設計値 200nm.

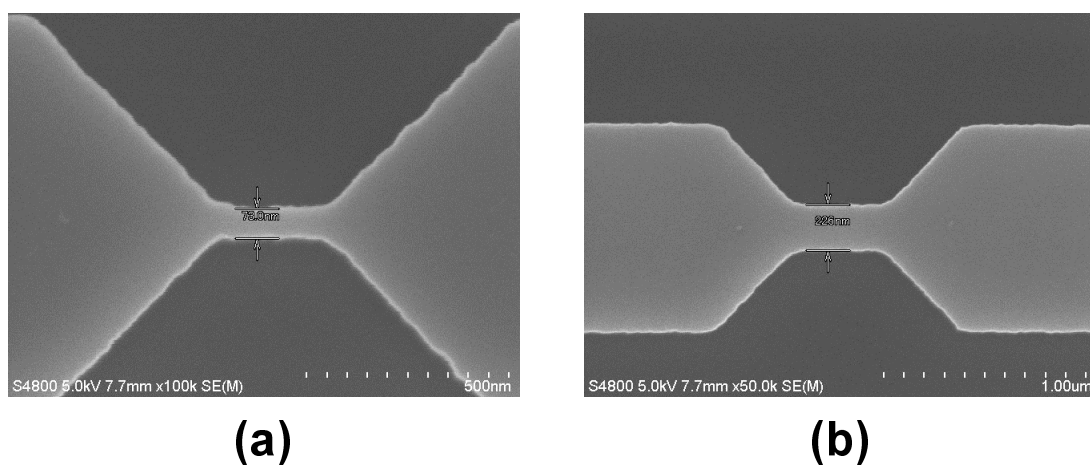


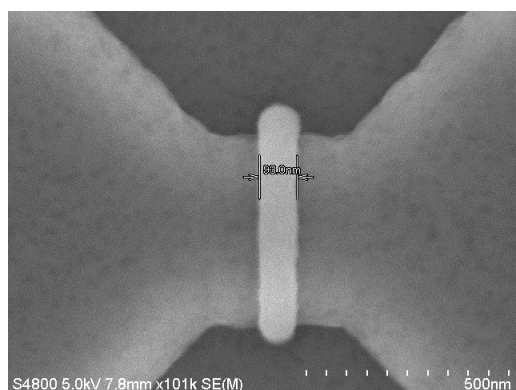
図 3.9 Fin Si エッチング後の SEM 観測結果：(a) 設計値 50nm，(b) 設計値 200nm.

表 3.7 ゲート酸化膜作製条件と目標膜厚および膜厚測定結果.

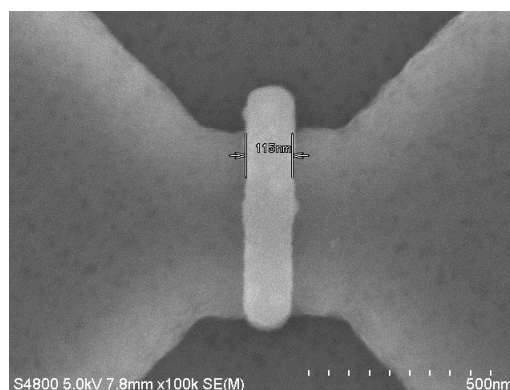
炉温度	酸化時間	目標膜厚	膜厚測定結果
850 °C	25min	4nm	4.4nm

表 3.8 ゲートパターン作製のための EB リソグラフィ条件.

	条件
ドライベーク	140 °C 5min
スピコート	500rpm 5sec + 3000rpm 25sec
プリベーク	120 °C 1min
EB 露光	dose 量: $50\mu\text{C}/\text{cm}^2$
ポストベーク	100 °C 1min
現像液	3min
水洗	1min



(a)



(b)

図 3.10 EB 露光後ゲートパターンの SEM 観測結果 : (a) 設計値 50nm, (b) 設計値 80nm.

表 3.9 イオン注入のドーズ量.

EXT ヒ素	$2 \times 10^{14} \mu\text{C}/\text{cm}^2$ (2 回で $4 \times 10^{14} \mu\text{C}/\text{cm}^2$)
SD リン	$1.5 \times 10^{15} \mu\text{C}/\text{cm}^2$

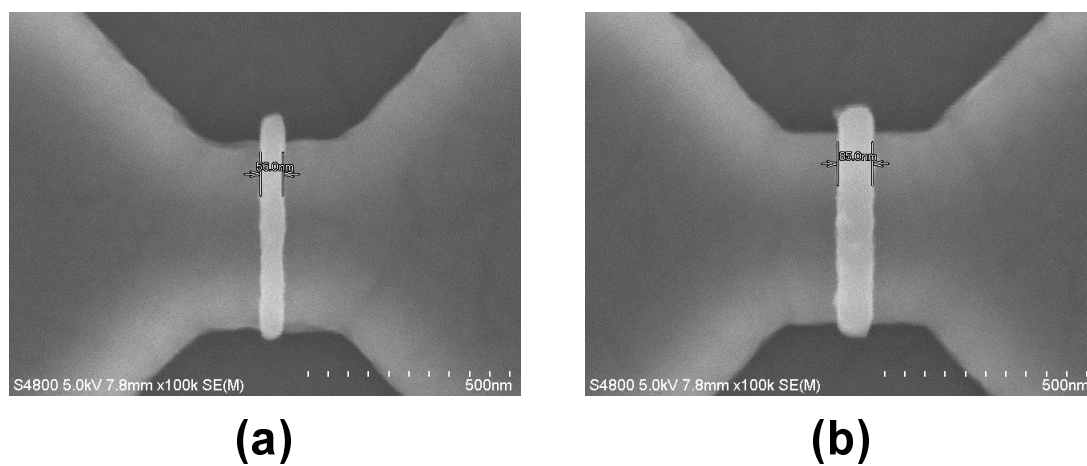


図 3.11 スリミング後ゲートパターンの SEM 観測結果 : (a) 設計値 50nm, (b) 設計値 80nm.

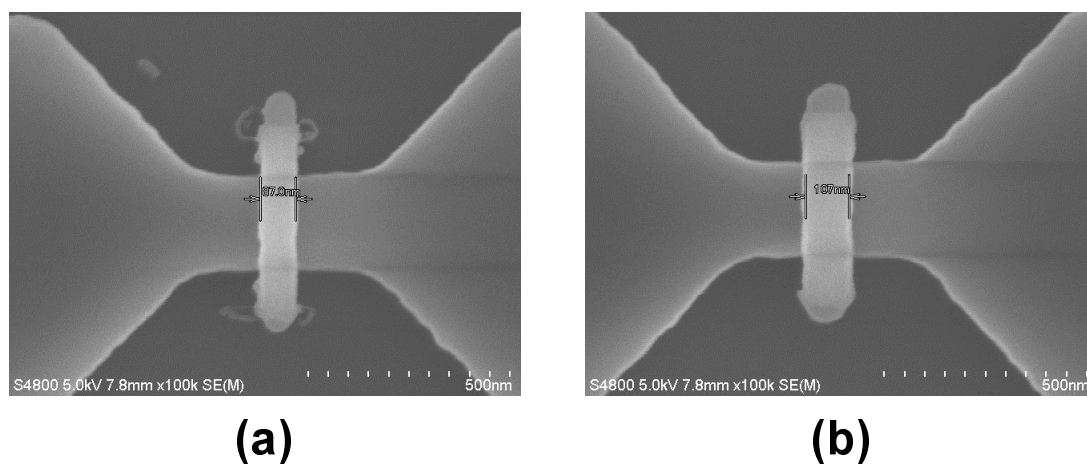


図 3.12 ゲート poly-Si エッチング後の SEM 観測結果 : (a) 設計値 50nm, (b) 設計値 80nm.

3.3 CMP 平坦化処理

ND 作製の条件として、ND を作製する試料の表面が平坦である必要がある。そのため、CMP 平坦化処理では、FinFET 作製後の試料表面の層間絶縁膜を化学的・機械的に研磨し、試料表面を平坦化する。本研究で扱う NDA-FinFET 構造デバイスでは、FinFET のゲートに NDA を直接接続する構造を採用するため、CMP 平坦化処理では、FinFET のゲートが表面に露出する程度まで試料表面を研磨する必要がある。さらに、研磨がゲート下の SiO_2 まで及んだ場合、ダブルゲート FinFET のゲートが分断されてしまい、NDA と接続できるゲート面積が減少してしまう。つまり、この平坦化処理では、ゲートを表面に露出させ、かつゲートの途中で研磨を終了しなければならない。しかし、ゲートが表面に露出したかどうかを確認することは、ゲート上面が数十 nm 角という極小であるため極めて難しい。顕微鏡によるサンプルの表面観察によるとしても、研磨状態を観測するために、電子顕微鏡の高倍率観測と研磨処理を何度も反復しなければならず、非常に効率が悪い。そのため、研磨処理を施しながら、光学顕微鏡などの低倍率観測で確認できることが望ましい。

そこで、CMP 平坦化処理の終点検出を行うためのパターンを導入する手法を考案した。図 3.13 に示すようなパターンを FinFET 付近に導入する。このパターンは、FinFET と同じ高さの大面积のダミーパターンであり、その上の層間絶縁膜をエッチングし、poly-Si 上まで穴をあけた構造である。したがって穴の底は FinFET のゲート上部と同じ高さである。この構造を導入して CMP 平坦化処理を施した場合、FinFET ゲート上部に研磨が達したところで、穴の底と試料上面が一致することになる。つまり、終点検出パターン領域とそれ以外の領域のエッジがぼやけていく様子や終点検出パターンの角が平滑化されていく様子を光学顕微鏡で観測することで、CMP 平坦化処理の終点を検出することができる。

3.3.1 CMP 平坦化処理プロセスフロー

CMP 平坦化処理のプロセスフローを図に示す。CMP 平坦化処理の終点検出を行うために、FinFET 作製と並行して、FinFET と同じ高さの $80\mu\text{m}$ 角の大きな面積のパターンを作製した。FinFET 作製プロセスが完了した試料に層間絶縁膜 TEOS- SiO_2 を成膜する。その後、EB 描画装置によって $80\mu\text{m}$ 角のパターン中に 9 つの $10\mu\text{m}$ 角パターンを描画し、描画した部分をエッ

チングし，poly-Si（FinFET のゲート上部と同じ高さ）までエッチングする．その後，レジストを除去し，RTA 処理を施す．CMP 処理はクリスタル光学に外注した．CMP 研磨剤として，粒径 70nm～100nm のシリカスラリーを使用した．研磨時間はおよそ 100 分程度である．

3.3.2 CMP 平坦化処理結果

図 3.14 に CMP 処理前後の光学顕微鏡による観測結果を示す．ダミーパターンの中央に円形のパターンを確認できることから，CMP 処理がゲート上部まで達したと判断できる．CMP 処理後の TEM 断面図を図 3.15 に示す．Fin とゲートが交差する点について，ゲートをサンプル表面に露出させ，平坦化処理ができていることを確認した．

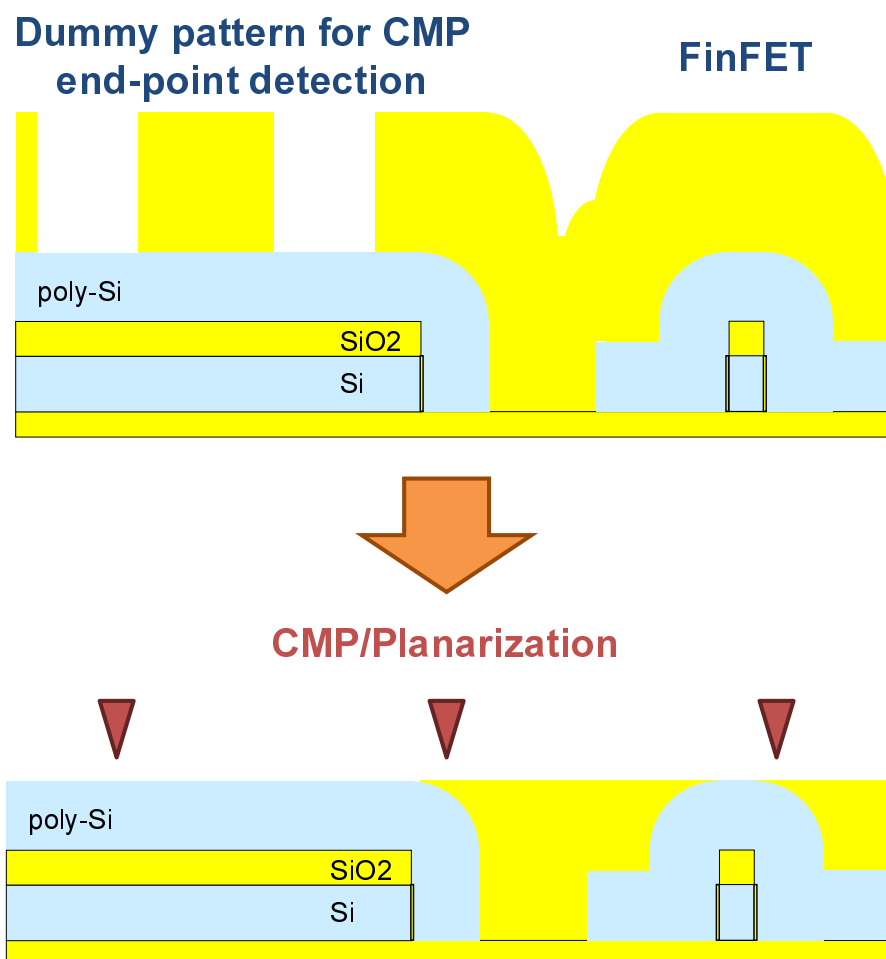


図 3.13 CMP のためのダミーパターンの導入．

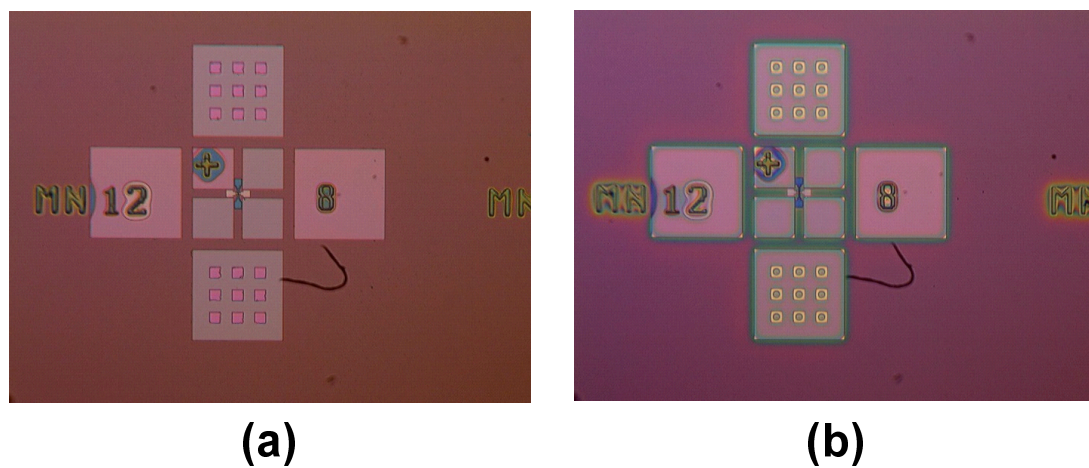


図 3.14 CMP 処理前後の光学顕微鏡観測結果：(a) CMP 処理前，(b) CMP 処理 109 分後.

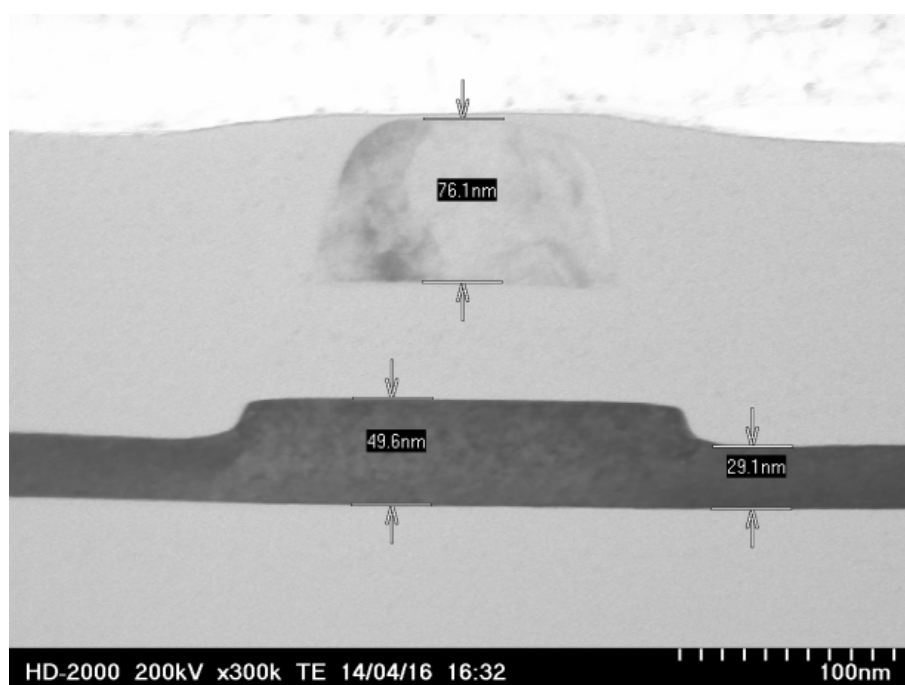


図 3.15 CMP 処理後の断面 TEM 写真.

表 3.10 ND の目標水準.

直径	厚さ	ND 間隔
10nm	4nm	3nm

3.4 ナノディスクアレイ（NDA）作製工程

3.4.1 NDA 作製工程

NDA 作製では、バイオ・ナノプロセスを利用する。すなわち、鉄コアをタンパク質で内包したフェリチン分子の自己組織化機能を利用する。NDA 作製プロセスフローを図 3.16 に示す。(1) はじめにシリコン基板上に形成した熱酸化膜上にアモルファスシリコン膜を形成し、窒素雰囲気中でアニールすることで多結晶化する。ナノディスクの厚さはこの poly-Si の膜厚に相当する。次に、500℃での中性イオンビーム酸化（NBO）プロセスによって、ハードマスクとなる酸化膜を形成する。(2) この酸化膜上にフェリチン溶液を液体塗布し、スピコートする。(3) フェリチン分子同士が自己組織化的に 2 次元配列される。(4) 酸素雰囲気中での熱処理によってフェリチンのタンパク質のみを除去する。このとき残った直径 7nm の鉄コアの配列をエッチングマスクとして利用する。(5) NF_3 ガスと水素ラジカルを組み合わせた中性的イオンビームエッチングで、鉄コアをマスクとして、NBO 酸化膜と poly-Si をエッチング除去する。(6) 最後に、HCl で鉄コアを除去すると、直径 10nm のシリコンナノディスクアレイが基板全面に形成される。本試作で目標とする ND 配列の水準を表 3.10 に示す。

3.4.2 NDA 作製結果

表面に鉄コアを残した状態のサンプルについて SEM 観測した結果を図 3.17 に示す。サンプル表面に均一に鉄コアを配列できていることを確認した。

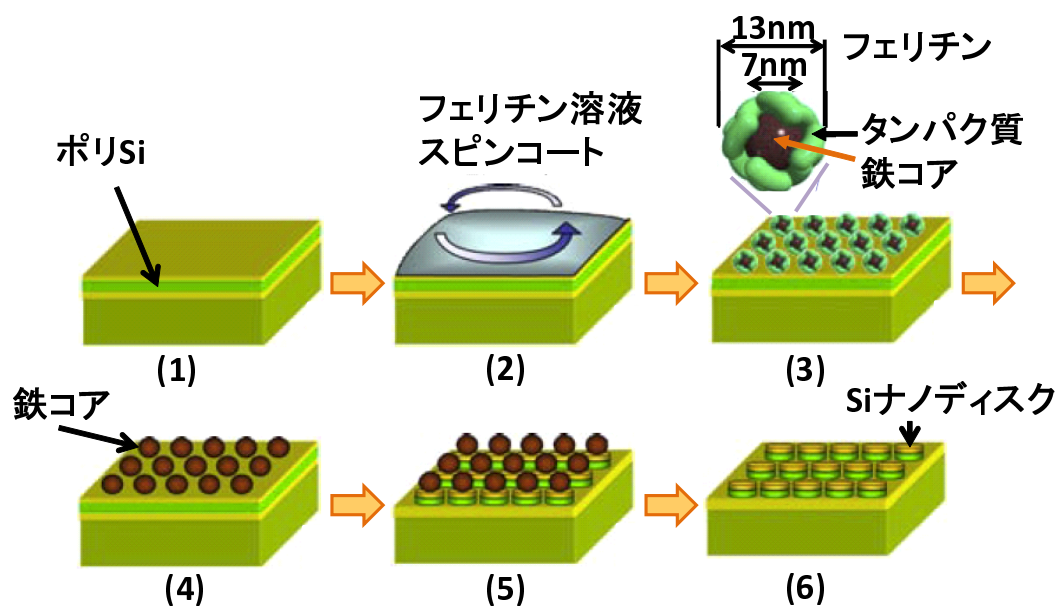


図 3.16 NDA 作製プロセスフロー.

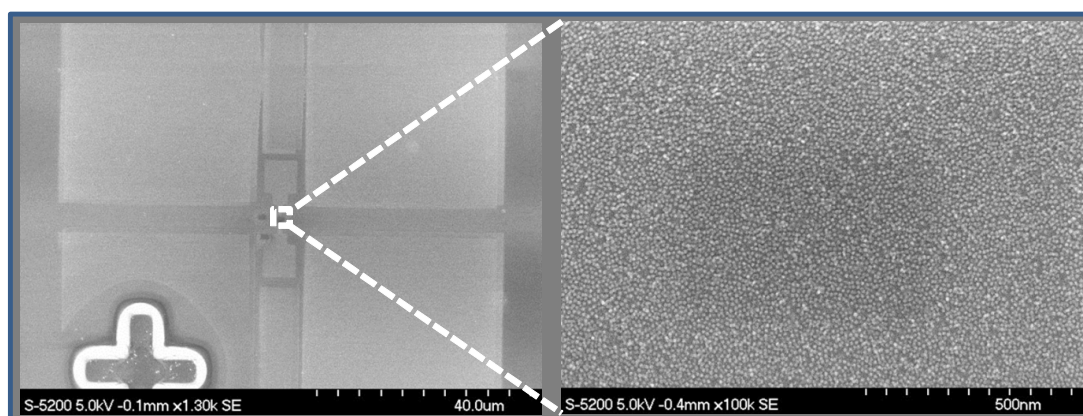


図 3.17 鉄コア配列 SEM 観測結果.

3.5 NDA 加工工程

3.5.1 NDA 加工工程

はじめに、NDA 作製後のサンプル表面に 30nm 程度の TEOS-SiO₂ を成膜する。この酸化膜は、NDA パターニング後の形状確認に用いると共に、配線工程における Al ドライエッチングによる NDA へのダメージを防ぐ役割をもつ。

1) まず第一に、ND 形状は直径 10nm、高さ 4nm と非常に小さいため、電子顕微鏡でも NDA を観測することが難しい。そのため、所望の NDA パターンのレジストを除去した後では、NDA パターンを観測することができない。第二に、NDA-FinFET 構造デバイスでは、NDA 上に薄い酸化膜を介して電極を設けて、その電極に電圧を印加することで ND 間をホッピングする電子の挙動を制御する機能を実現する。そのため、層間膜として通常用いるような厚い酸化膜を NDA 上に成膜することができない。上記二つの理由から、サンプル表面 (NDA 上) に薄い 30nm 程度の酸化膜を成膜する。この酸化膜によって、NDA パターンとそれ以外の領域にはこの酸化膜厚だけの段差を生じるため、NDA パターンのレジストを除去した後でも NDA パターンを電子顕微鏡で観測することができる。

2) 配線工程における Al ドライエッチングでは、Al, SiO₂, poly-Si の選択比が小さい。そのため、Al エッチング時のオーバーエッチングを考慮した場合、Al 層直下の SiO₂ および poly-Si (ND) がエッチング除去されてしまう可能性が高い。NDA 上に 30nm 程度の酸化膜を成膜することで、その酸化膜が NDA パターンの保護膜となり、Al エッチング時に残したい ND がエッチング除去されてしまうのを防ぐ。

次に、EB リソグラフィによって所望のレジストパターンを形成し、表面 SiO₂ および NDA をエッチング除去する。NDA エッチング工程では、a) ドライエッチングによる NDA 加工、b) ドライエッチングとウェットエッチングによる NDA 加工の 2 通りの手法を提案する。プロセスフローを図 3.18 に示す。a) はじめに NDA 作製後の表面に 30nm 程度の SiO₂ を成膜する。その後、レジストを塗布し、EB 露光・現像を行う。エッチングでは、まず試料表面にある SiO₂ を CHF₃ ガスでドライエッチングし、大気解放せずに、続けて SF₆ による NDA (poly-Si) エッチングを行う。b) 1) と同様に試料表面の SiO₂ をドライエッチングする。その後、フッ酸によるウェットエッチングによって、ND 下の SiO₂ を除去することで ND を同時

にエッチングする。

最後にレジストをアッシングと有機リムーバによって除去する。

3.5.2 NDA 加工結果

ドライエッチングによる NDA 加工後の SEM 観測結果を図 3.19 に示す。また、ドライエッチングとウェットエッチングの組み合わせによる NDA 加工後の SEM 観測結果を図 3.20 に示す。両図はレジスト除去後の SEM 観測結果であり、NDA を所望通りにパターニングできていることがわかる。

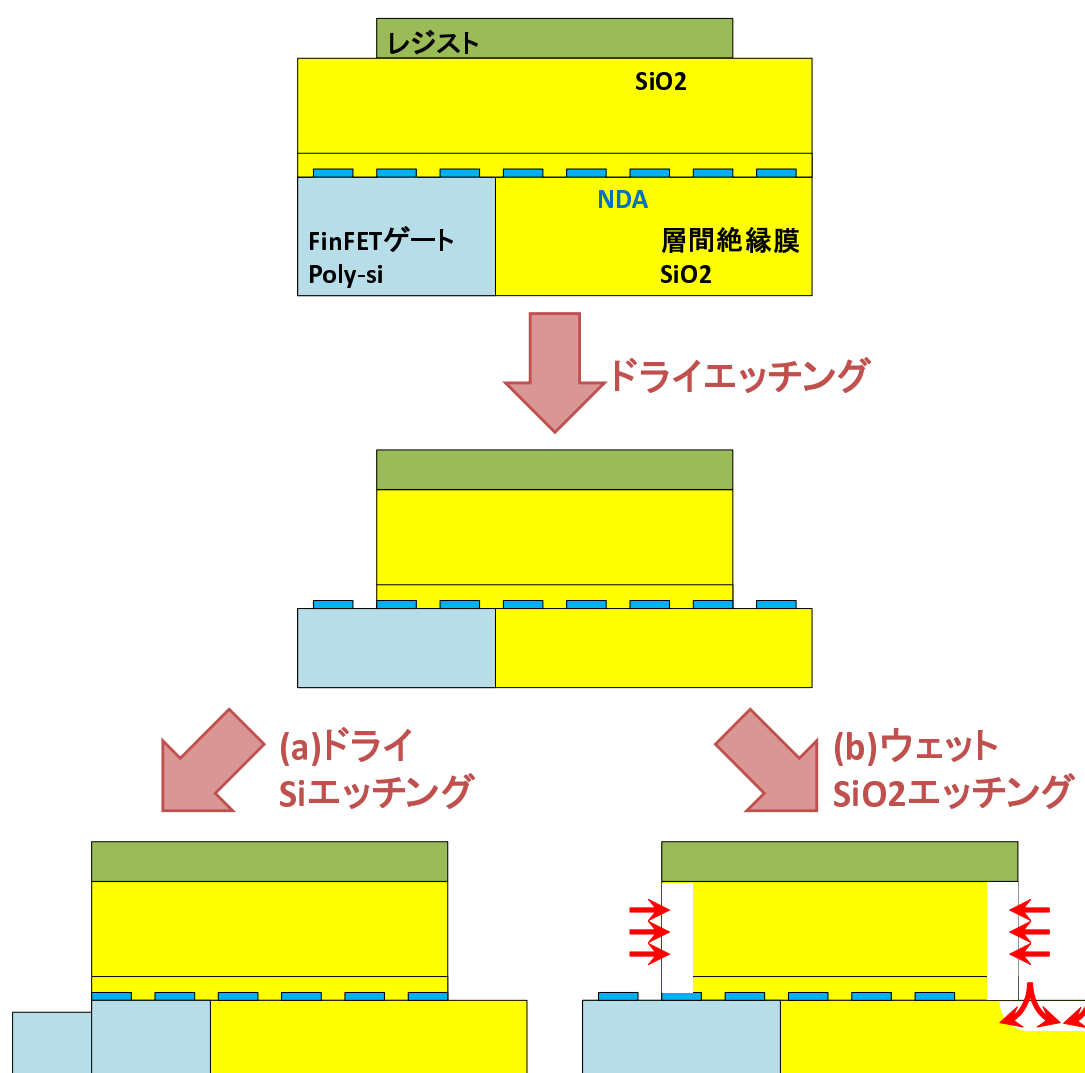


図 3.18 NDA エッチング工程のプロセスフロー。



図 3.19 NDA ドライエッチング後 SEM 観測結果.

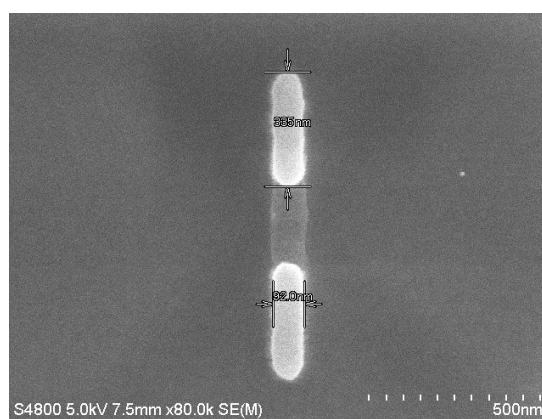


図 3.20 NDA ドライ+ウェットエッチング後 SEM 観測結果.

3.6 配線加工工程

3.6.1 配線加工工程

はじめに SiO_2 を成膜する。この構造では ND 間をホッピングする電子の挙動を制御する電極を導入しており、酸化膜を介して NDA 上を跨ぐような Al 配線をパターンニングする。エッチング後の NDA 上には酸化膜が存在しているが、側面では NDA が露出しているため、この SiO_2 成膜で側面を覆う。その後、NDA と Al を接触させるためのコンタクトホールを EB 露光とドライエッチングで形成する。FinFET ゲートとソース/ドレインのコンタクトホールについても同様に形成する。コンタクトホール形成後にチップ表面に Al/TiN を成膜し、ハードマスクとなる SiO_2 を成膜する。その後、EB リソグラフィで Al/TiN をエッチングする。レジスト除去し、PMA 処理を施し、NDA-FinFET デバイスが完成する。

3.6.2 配線加工結果

NDA エッチング後の試料に 28.5nm の SiO_2 を成膜した。側壁の成膜量は高さ方向の成膜量の約 50% であるため、NDA パターン横には 14.2nm の SiO_2 が成膜できたことになる。その後、表面にレジスト (ZEP) をスピンコートし、EB リソグラフィを行い、ドライエッチングにより NDA-Al コンタクトホールを形成する。EB リソグラフィの条件を表 3.11 に、ドライエッチング条件を表 3.12 示す。このエッチング工程は 4 回に分割した。その理由は、一度に長時間のエッチングプロセスを施すことで、レジストが消失するのを防ぐためである。レジストは高温に弱いため、長時間のエッチングによって試料や成膜室の温度が上がり、レジストの耐久性を下げってしまう。これを防ぐために、エッチング工程を分割した。レジスト除去後の SEM 観測結果を図 3.21 に示す。図 3.21 より、形成したコンタクトホールには NDA の片端が見えており、コンタクトホールをうまく位置合わせできていることがわかる。次に、FinFET のゲートおよびソース/ドレインのコンタクトホールを形成する。EB リソグラフィ条件は NDA-Al コンタクトホールと同様である。ドライエッチング条件を表 3.13 に示す。この工程を NDA-Al コンタクトホール形成工程と別工程にした理由は、ゲート・ソース/ドレインのコンタクトホールの方がエッチング量が非常に大きいからである。エッチングが NDA 上面まで到達すると、残りのエッチング作用が NDA にダメージを与えることになる。そのため、

表 3.11 NDA-Al コンタクトホール作製のための EB 露光条件.

	条件
ドライベーク	140 °C 5min
スピンコート	500rpm 5sec + 4000rpm 120sec
プリベーク	120 °C 1min
EB 露光	dose 量: 100 μ C/cm ²
現像液	5min
リンス	1min

NDA-Al コンタクトホール工程とゲート・ソース/ドレインコンタクトホール工程とを分割した。コンタクトホール形成後，スパッタリング装置を用いて Al/TiN を成膜する。表 3.14 に Al/TiN 成膜条件を示す。まず，スパッタリング装置に試料を投入後，成膜室を真空にし，表面の自然酸化膜を除去するためにエッチバックを行う。その後，Al を成膜し，その上から TiN を成膜する。この TiN は，EB 露光後の現像時に，現像液が Al を腐食するのを防ぐ効果がある。Al/TiN 成膜後，試料表面にハードマスクとなる SiO₂ を 22.8nm 成膜する。その後，EB リソグラフィを行い，RIE でハードマスクと Al/TiN をドライエッチングする。Al/TiN のドライエッチングでは，オーバエッチングによって Al 下にある SiO₂ もエッチングされる。SiO₂ の下には NDA があり，SiO₂ がエッチングされてしまうと，その下の NDA もエッチングされることになる。NDA がエッチングされるのを防ぐために，RIE による Al/TiN エッチング条件を 2 回に分けた。エッチング条件を表 3.15 に示す。1 回目のエッチングは，方向選択性が高く，一方で Al/TiN と SiO₂ の選択比の低いエッチング条件である。2 回目のエッチングは，1 回目でおおよそその SiO₂ をエッチングした後のオーバエッチングとして用いる。2 回目のエッチング条件は 1 回目の条件に比べて，Al/TiN と SiO₂ の選択比が極めて高い。ただし，エッチングの方向選択性が低く，サイドエッチングの影響がある。エッチング後にレジストを除去した試料の SEM 観測結果を図 3.22 に示す。図 3.22 より，Al 配線パターンが NDA コンタクトホールと正しく位置合わせできていることがわかる。最後に，H₂ (3%) /N₂ (97%) 雰囲気中で 450 °C，30 分間の PMA 処理を施し，NDA-FinFET デバイスが完成する。

表 3.12 RIE による NDA-Al コンタクトホール SiO₂ エッチング条件.

CHF ₃ ガス流量	80 sccm
圧力	5 Pa
RF	80 W
エッチング時間	60(sec) × 4(回) sec
目標エッチング量	80 nm

表 3.13 RIE による FinFET ゲート・ソース/ドレイン SiO₂ エッチング条件.

CHF ₃ ガス流量	80 sccm
圧力	5 Pa
RF	80 W
エッチング時間	76(sec) × 4(回) sec
目標エッチング量	216 nm

表 3.14 Al/TiN 成膜条件.

成膜材料	ガス種	ガス流量	APC 圧力	RF	成膜時間
Al/Si	Ar	15sccm	0.3Pa	200W	226s
Ti	Ar/N ₂	30/6sccm	1.0Pa	100W	1010s

表 3.15 RIE による Al/TiN エッチング条件.

	Cl ₂ 流量	BCl ₃ 流量	N ₂ 流量	RF	APC 圧力	エッチング時間
1 回目	6sccm	14sccm	10sccm	300W	0.5Pa	48s
2 回目	6sccm	14sccm	10sccm	70W	1.0Pa	8s

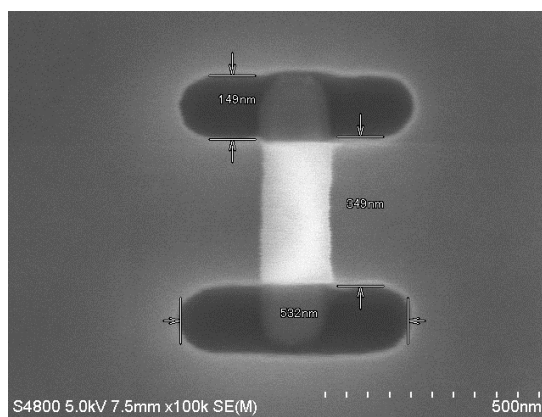


図 3.21 NDA-Al コンタクトホールの SEM 観測結果.

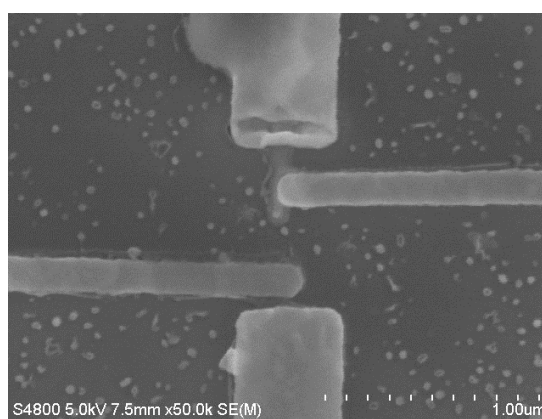


図 3.22 Al/TiN 配線の SEM 観測結果.

第 4 章

試作デバイスの評価

本評価に使用したチップは、NDA 加工工程を除いたプロセスで試作しており、チップ全面に ND が配置されたチップである。試作したチップには、DC 特性評価用回路として、FinFET 単体回路、NDA-FinFET 単体回路を実装した。また、過渡特性評価用回路として、NDA-FinFET1 個と通常の FinFET2 個と外付け抵抗を組み合わせた単チャンネル 2 段インバータ構成の回路を実装した。さらに、NDA 電流特性を評価するための電極を設けた NDA 単体素子を実装した。これらの単体回路および素子については半導体パラメータアナライザ、システムソースメータを用いて DC 特性を評価した。2 段インバータ構成の回路については、定電圧源および任意波形発生器によって電圧を印加し、オシロスコープを用いて過渡特性を評価した。

4.1 単体素子・回路の DC 特性評価

NDA 電流特性を評価するための素子の構造を図 4.1 に示す。チップ全面に NDA が配置されているため、チップに上に 2 個の電極を設け、それぞれを NDA 層で NDA とコンタクトさせ、ND 間をホッピング伝導する電流量を測定した。図 4.2 に NDA 電流量の電極間距離依存性評価のための測定系を示す。測定には Keithley 社製 2636A システムソースメータを使用した。図 4.2 に示すように、一方に 10V を印加し、他方を GND とし、2 端子間を流れる電流 I を測定した。一回の電流サンプリングに要する時間は 0.02s であり、100 回のサンプリング動作 (2s 間の測定) を 1 分毎に行った。図 4.3 に 10 分間の NDA 電流測定結果を示す。図 4.3 の各マークは 1000 個の測定データ (100 回のサンプリング× 10 分間) の平均値を示し、エラー

バーが標準偏差を示す．この測定に用いた試料は 3 種類で，CMP 加工と NDA プロセスを実行した“CMP 有/NDA 有”サンプル，CMP 加工のみを行い NDA プロセスを実行しなかった“CMP 有/NDA 無”サンプル，CMP 加工と NDA プロセスのいずれも実行しなかった“CMP 無/NDA 無”サンプルである．測定結果より，NDA プロセスを実行した試料について，電極間距離の増加に対して NDA 電流量が指数関数的に減少しており，NDA 間電流量が NDA の長さに依存していることが確認できる．また，NDA プロセスを実行した試料では， $22.9\text{G}\Omega \sim 68.0\text{G}\Omega$ の抵抗値を観測した．これに対し NDA プロセスを実行しなかった試料についてはその 10 倍の抵抗値を示しており，ND 間を電子がホッピング伝導していることがわかる．

次に，FinFET および NDA-FinFET 単体回路の特性を示す．図 4.4 に単体回路測定系，表 4.1 に FinFET の水準を示す．半導体パラメータアナライザから各電極に電圧を印加し，電流を観測した．測定には Hewlett Packard 社製 4156A 半導体パラメータアナライザを使用した．測定条件を表 4.2 に， $I_d - V_g$ 特性の測定結果を図 4.5 に示す．図 4.5 より，FinFET 単体回路の $I_d - V_g$ 特性に対し，NDA-FinFET の $I_d - V_g$ 特性はヒステリシスを有することがわかる．これは入力電極と FinFET ゲート間をホッピング伝導する電子の時間遅れによるものであると考えられる．すなわち，入力電極に印加する電圧 V_g が Low から High へ上昇する場合，ゲートが十分に充電される前に V_g がスイープしていく．一方で， V_g が High から Low へ下降する場合，ゲートが十分に放電される前に V_g がスイープしていく．このため， V_g を Low から High へ上昇させたときよりも，High から Low へ下降させたときの方が I_d は大きな値を示す．図 4.5 には，入力電圧待機時間 Hold・Delay を導入した場合の $I_d - V_g$ 特性を重ね書きして示す．Hold 時間は測定開始前の待機時間，Delay 時間は測定毎のサンプリング開始前の待機時間である．図に示すように，待機時間を伸ばすことで，電子の伝導が安定状態に近づくため，ヒステリシスな特性が弱まることがわかる．つまり，NDA-FinFET の $I_d - V_g$ 特性がヒステリシスな特性を有するのは，電子のホッピング伝導の時間遅れが原因であるといえる．

図 4.5(b) に注目すると， $V_{in_{NDA}} = -4\text{V}$ のように FinFET が十分 OFF するような入力電圧を与えているにも関わらず， I_D は $10\mu\text{A}$ 程度を示している．この特性がホッピング伝導の時間遅れによるものであるかどうかを確認するために，定電源装置で V_G または $V_{in_{NDA}}$ に $I_d - V_g$ 測定条件に比べて長時間の定電圧を入力し，そのときの I_d をシステムソースメータを用いて測定した．FinFET 単体回路および NDA-FinFET 単体回路について，長時間電流測定の電圧印加条件を表 4.3 に示す．システムソースメータの一回の電流サンプリングに要する時間

表 4.1 単体回路の FinFET 水準.

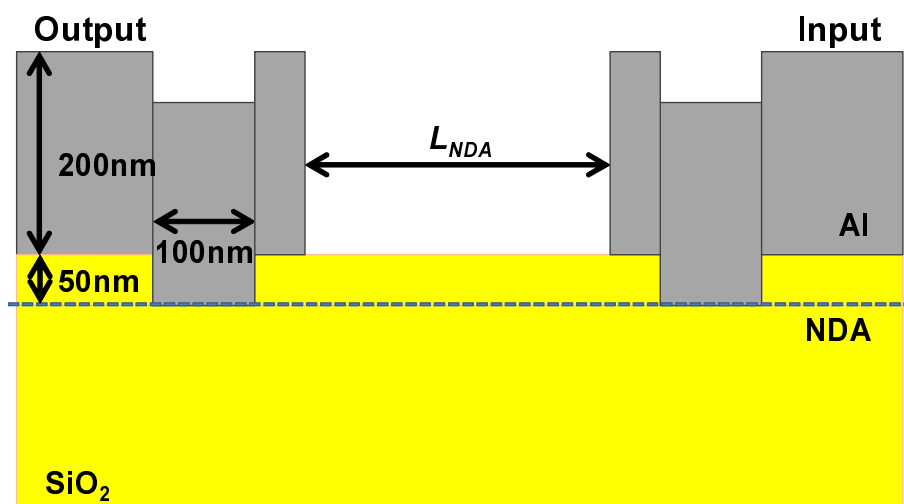
Fin 高さ (ゲート幅)	50nm
ゲート長	50nm
ゲート酸化膜厚	4.4nm
しきい値	-0.6V

表 4.2 単体回路の $I_d - V_g$ 特性測定条件.

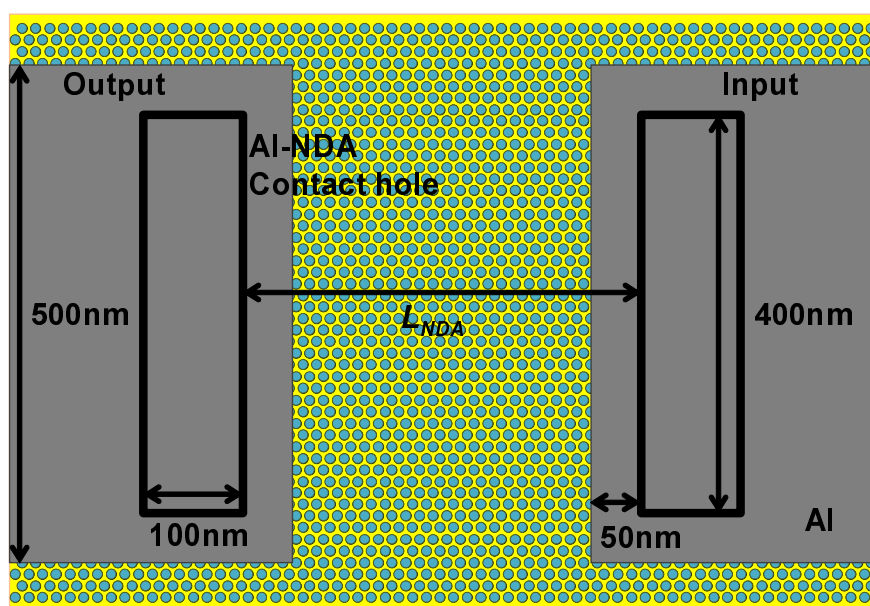
VG/Vin _{NDA}	-4 → 4 → -4V
V_D	1V
GND	0V
積分時間	270ms

は 0.02s であり, 100 回のサンプリング動作 (2s 間の測定) を 10 分おきに行った. 図 4.6 に各入力電圧を固定したときの 120 分間の電流測定結果を示す. 図 4.6 に示すように, 長時間一定電圧を入力しても, NDA-FinFET の電流量 I_D は $10\mu A$ 程度であった. この原因として, このチップでは全面に NDA を配置していることで, 電子がゲート付近の NDA にトラップされてゲート電圧の放電を抑制しているものと考えられる. すなわち, 入力電極に FinFET を OFF させるような電圧を長時間印加しても, ゲートにより近い NDA にトラップされている電子の影響の方が大きく, FinFET が $10\mu A$ 程度のドレイン電流を流す程度にゲートが充電されていることを示していると考えられる.

図 4.5(a) および (b) を比較すると, NDA-FinFET の I_d の最大値は FinFET のその 1/2 程度である. FinFET と NDA-FinFET の I_d から, それぞれのゲート電圧の対応関係を図 4.7 に示す. 同図に示すように, 電流量から比較した FinFET と NDA-FinFET のゲート電圧について, FinFET のゲート電圧を -4~4V で振ったとしても, NDA-FinFET の FinFET ゲートには -0.1~1.1V 程度, すなわち 1/7 程度しか電圧を印加できていないことがわかる. この原因として, Al 電極と NDA 間がオーミック接続されておらず, ショットキー接続になっていることが考えられる. そのため, NDA の抵抗に直列にキャパシタが繋がった構造となり, 定電圧を与えても, 容量分割によって V_g と同じ電圧が FinFET ゲートに印加できていないことになる.



(a)



(b)

図 4.1 NDA 電流評価用素子の構造図 : (a) 断面図, (b) 上面図.

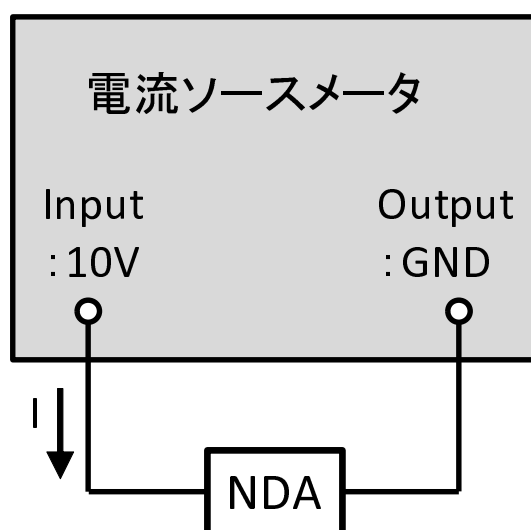


図 4.2 NDA 電流測定系.

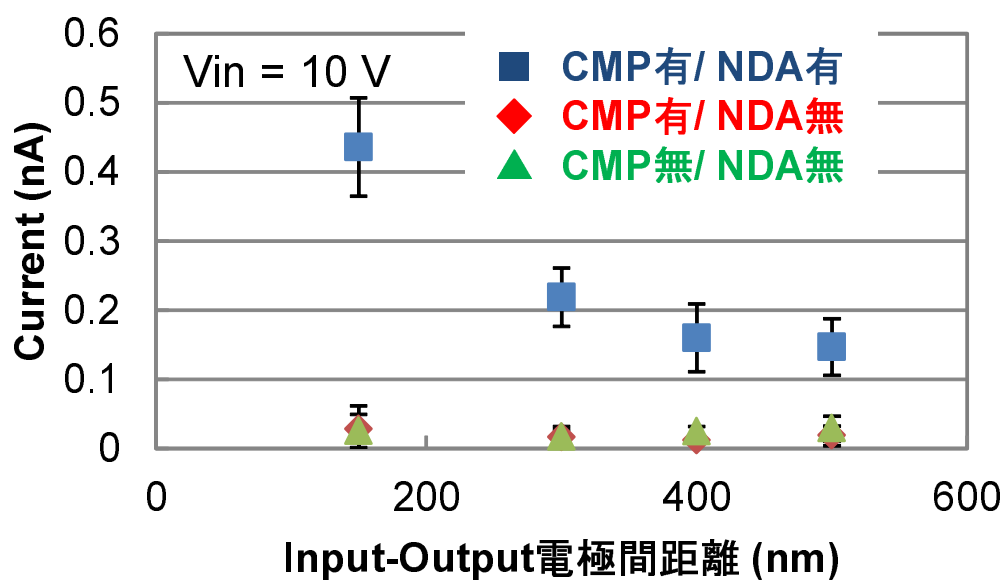
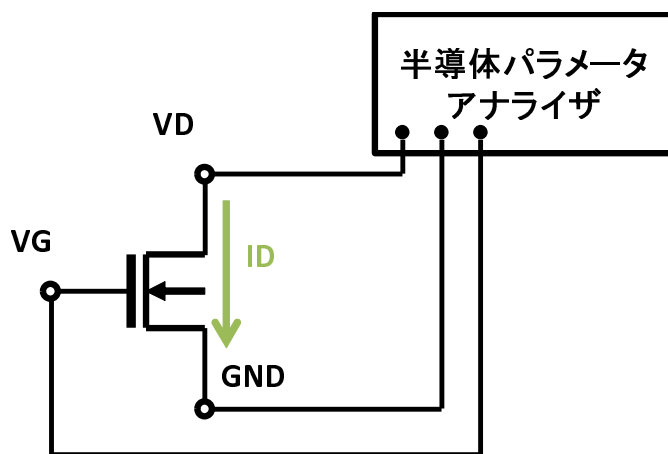
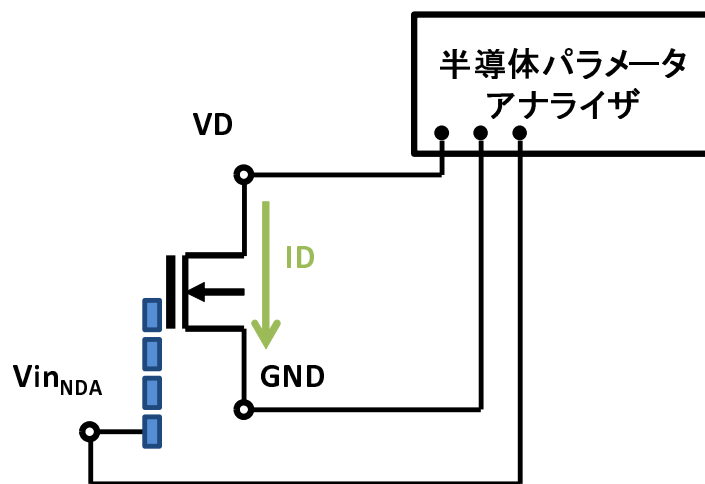


図 4.3 NDA 電流測定結果.



(a)



(b)

図 4.4 単体回路電流測定系：(a) FinFET 単体回路，(b) NDA-FinFET 単体回路.

表 4.3 単体回路の長時間電流測定条件.

$V_G/V_{in_{NDA}}$	-4V
V_D	1V
GND	0V

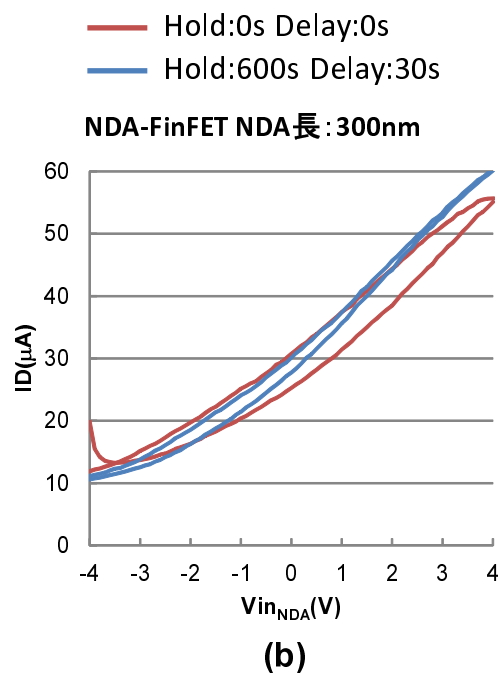
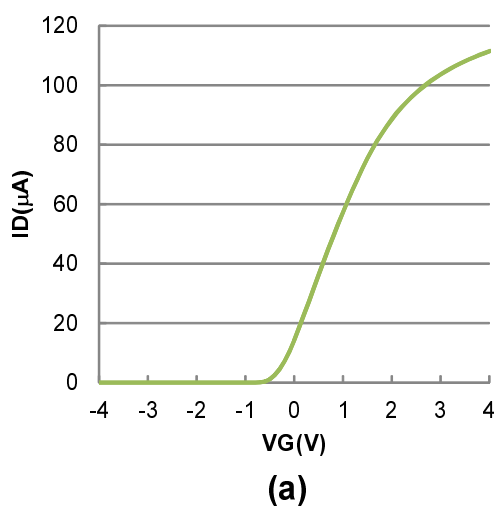


図 4.5 単体回路電流測定系 : (a) FinFET 単体回路, (b) NDA-FinFET 単体回路.

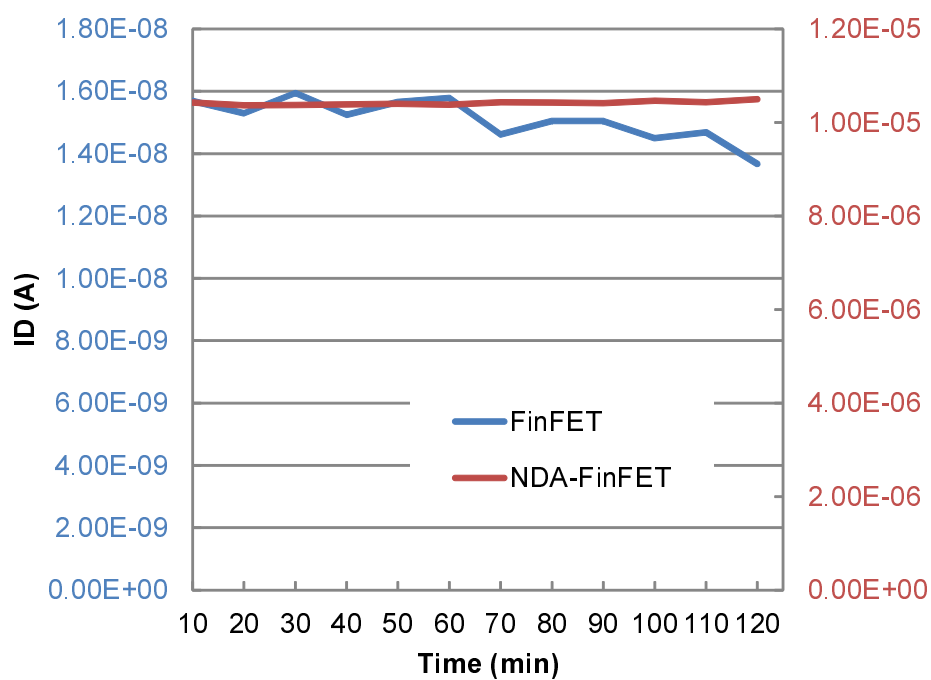


図 4.6 入力電圧固定時の長時間電流測定結果.

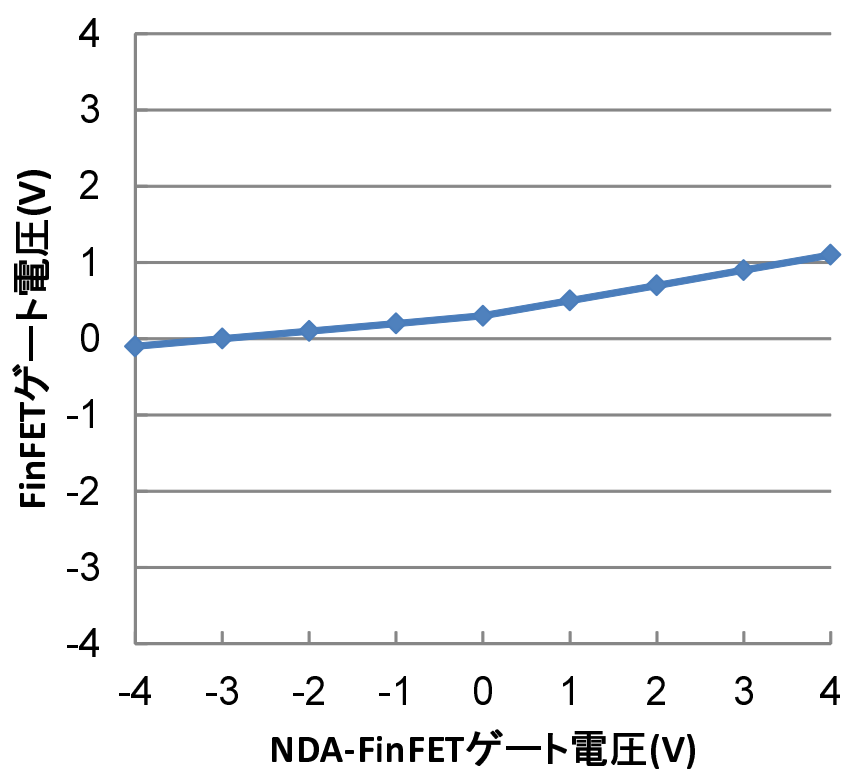


図 4.7 FinFET と NDA-FinFET のゲート電圧対応.

4.2 2 段インバータ回路を用いた過渡特性評価

試作したチップには、1, 2 または 3 個の入力電極を設けた NDA-FinFET と FinFET を組み合わせた 2 段インバータ構成回路を搭載した。図 4.8 に測定系を示す。任意波形発生器によって $V_{in_{M1}}$ または $V_{in_{NDA}}$ にパルス電圧を印加し、その他の入力には定電圧源によって一定電圧を印加した。このときの出力電圧 V_{out} をオシロスコープによって観測した。出力電圧 V_{out} の観測にはオシロスコープを用いたため、オシロスコープのプロープ抵抗 (R_{in}) および容量 (C_{in}) が V_{out} に接続された構造になっている。FinFET は構造上チャネル幅 W (Fin 高さ) を大きくできないため、単体では駆動力が弱い (ON 抵抗が高い: $M\Omega$ レベル) ために、オシロスコープで観測する際にアクティブ (FET) プロープの C_{in} ($\sim 1pF$) を駆動する時定数が μs オーダーとなり、NDA-FinFET の時定数 ($10G\Omega \times 0.1fF$) と同程度になってしまう。そのため、通常 FinFET (M1) と NDA-FinFET を直列接続し、その中間電位で次段の抵抗負荷インバータ (FinFET ゲート) を駆動する 2 段インバータ構成とした。

4.2.1 単一入力過渡特性

図 4.8 に示すように、M1 と NDA-FinFET をそれぞれ駆動側と負荷側として交代させ、その動作を比較することで NDA-FinFET の時定数を見積もった。FinFET に入力パルス電圧を与えたときの測定系と測定結果を図 4.9 に示す。また、表 4.4 に各入力電圧値を示す。 V_{out} の応答波形では立ち上がりに対して立ち下がりが急峻である。これは、M2 が ON 時と OFF 時で出力抵抗が異なるために生じる。入力パルスが立ち上がるときは、M2 が OFF するために出力抵抗が大きく時定数が大きいため、応答波形が緩やかになる。入力パルスの立ち下がりでは、M2 が ON するために急峻な応答波形を出力する。一方で、図 4.10 に示すように、NDA-FinFET にパルスを入力した場合には、NDA が高抵抗素子として働くため、パルスの立ち上がりと立ち下がりの両者において緩やかな応答波形を示す。表 4.5 に各入力電圧値を示す。立下りの時定数から、NDA-FinFET 入力ゲートでの時定数は $10\mu s$ 程度と考えられる。FinFET ゲート容量が $1fF$ 程度以下と見積もられることから、この NDA の抵抗値は $10G\Omega$ と見積もられる。

表 4.4 2 段インバータ回路における FinFET パルス入力過渡応答測定条件.

$V_{in_{NDA}}$	1.0V
$V_{in_{M1}}$	$\pm 1.0V$
$V_{D_{NDA}}$	1.0V
$V_{D_{M1}}$	-1.0V
V_{D_R}	1.0V
$V_{D_{M2}}$	0.0V
R_L	150k Ω

表 4.5 2 段インバータ回路における NDA-FinFET パルス入力過渡応答測定条件.

$V_{in_{NDA}}$	$\pm 1.0V$
$V_{in_{M1}}$	1.0V
$V_{D_{NDA}}$	-1.0V
$V_{D_{M1}}$	1.0V
V_{D_R}	1.0V
$V_{D_{M2}}$	0.0V
R_L	150k Ω

4.2.2 複数入力過渡特性

試作したチップには入力端子数が 2 または 3 の NDA-FinFET 素子を搭載しており, 図 4.11 に示すように, パルス信号の入力タイミングの時間差 Δt を有する複数パルス入力の過渡応答測定を行った. 複数のパルス信号を NDA-FinFET に入力したときの過渡応答測定系と測定結果を図 4.12 に示す. ここでは, NDA の高抵抗性による緩やかな応答波形の加算結果を確認するために, 出力抵抗が低くなる条件, すなわち入力電圧 V_{in} に与えるパルス電圧が High から Low に遷移する場合について過渡特性を観測した. 図 4.12 に示すように, 1 個目の入力パルスだけが入力された場合の傾きに, 2 個目の入力パルスが重なると, 応答波形の傾きが加算さ

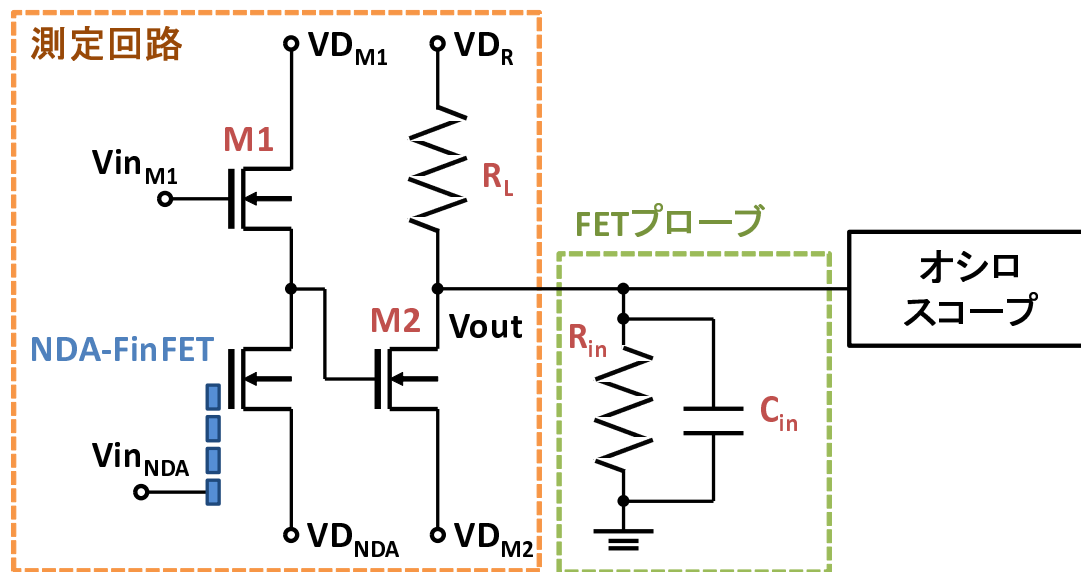


図 4.8 2 段インバータ回路による過渡応答測定系.

れていくことが確認できる.

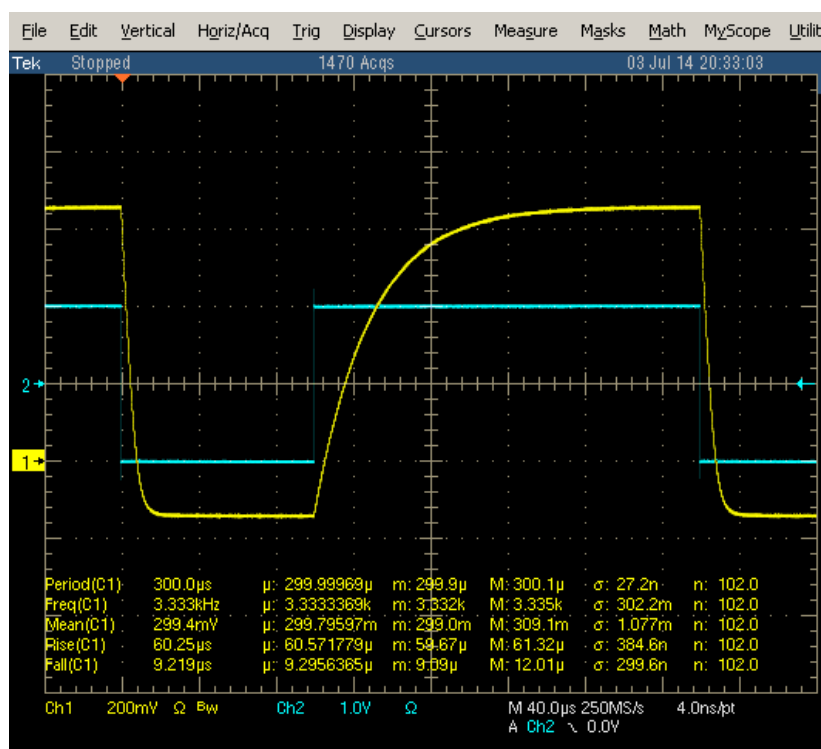
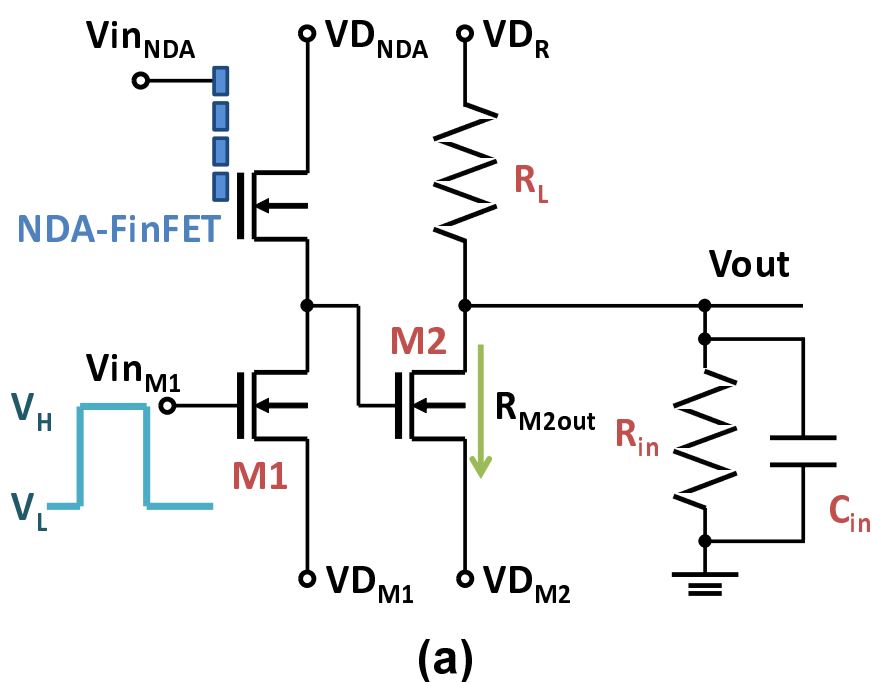
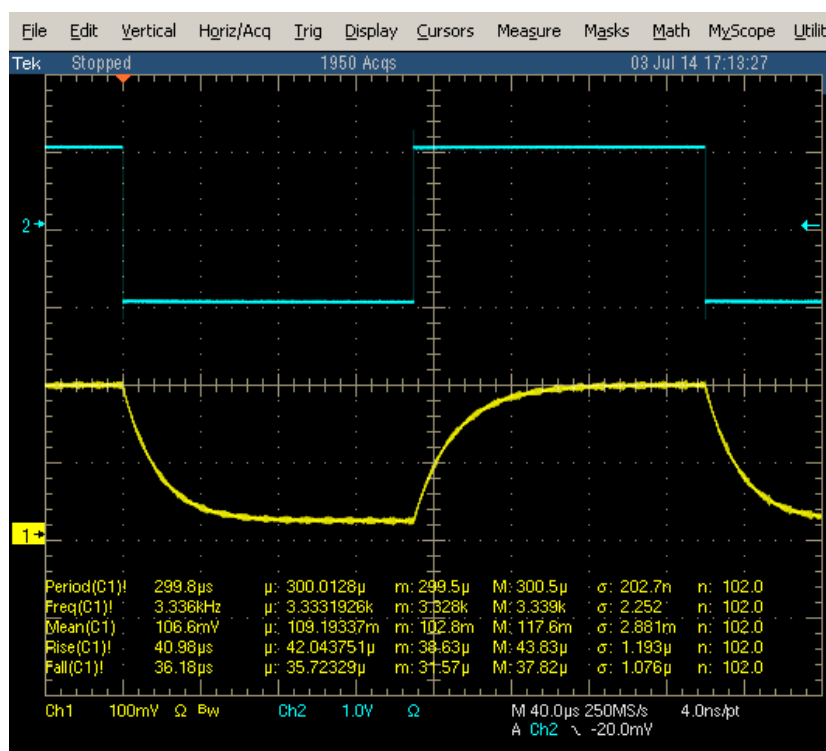
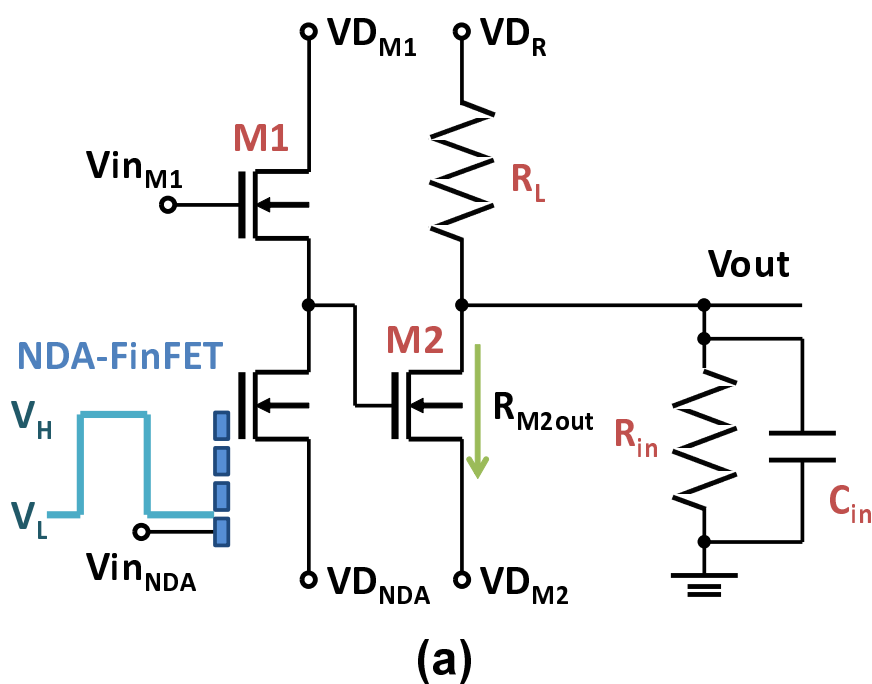


図 4.9 2 段インバータ回路での FinFET パルス入力過渡応答 : (a) 測定系, (b) 測定結果.



(b)

図 4.10 2 段インバータ回路での NDA-FinFET パルス入力過渡応答 : (a) 測定系, (b) 測定結果.

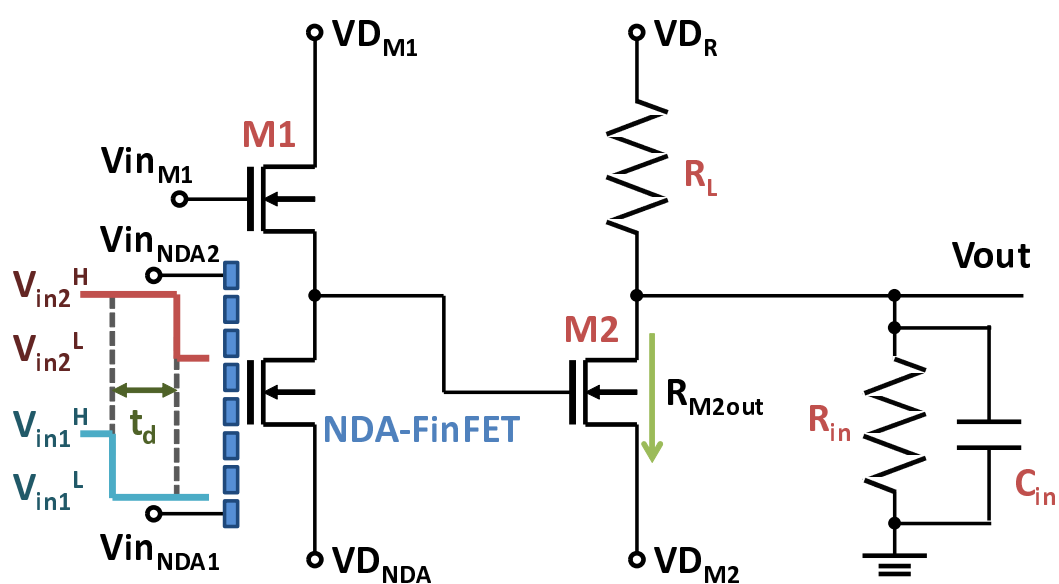


図 4.11 2 段インバータ回路による複数入力過渡応答測定系.

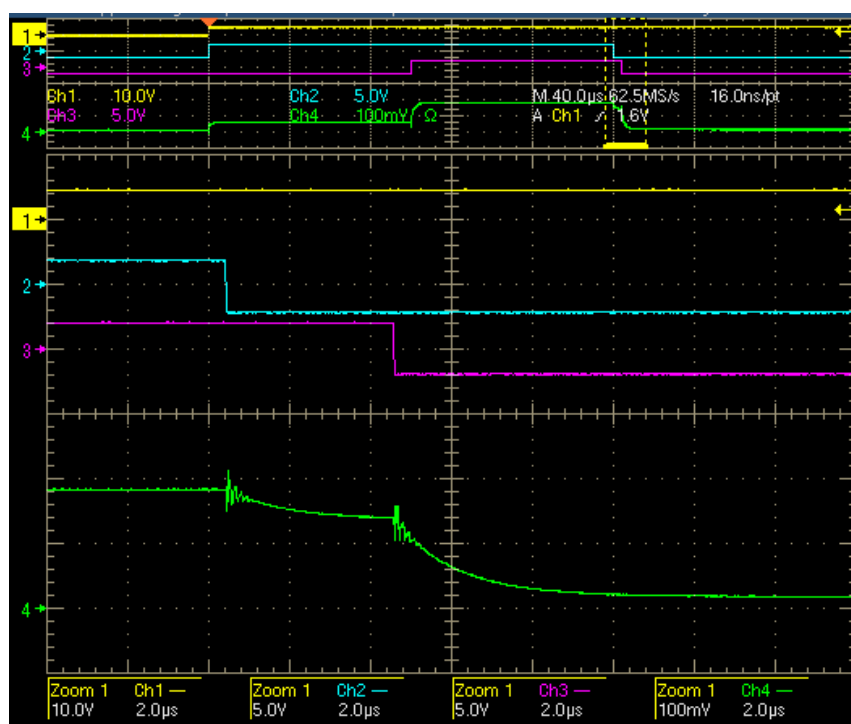
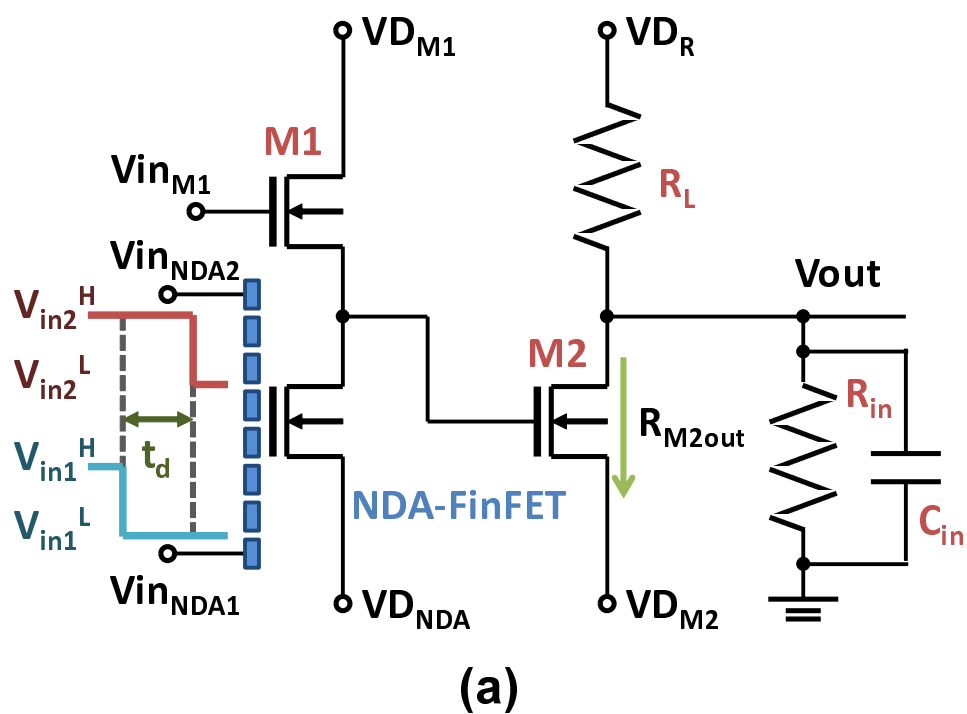


図 4.12 2 段インバータ構成回路複数入力過渡応答測定系 : (a) 測定系, (b) 測定結果.

4.3 積和演算評価

第2章で述べたように、NDA-FinFETでは、規格化した傾きと規格化した入力タイミングの積和演算を、入力信号に対する応答波形がしきい値に達したタイミングで表現することができる。そこで、3入力の過渡測定によって得た結果について、積和演算精度を評価した。

4.3.1 評価方法

【評価手順 1-1】はじめに、3入力の過渡測定結果を得る。その後、任意のしきい値 θ を設定し、応答波形 V_{out} が θ に達した時間タイミング t_v を求める。

【評価手順 1-2】式 (2.8) の左辺の値を決定するために、以下のように、 a_i と x_i を算出する。各入力の過渡応答について、入力タイミング t_i から手順 1-1 で決定した t_v までの応答波形の傾き k_i を求める。すなわち、 V_{in1} だけを入力したときの応答波形について t_1 から t_v までの傾き k_1 と、 V_{in2} だけを入力したときの応答波形について t_2 から t_v までの傾き k_2 、さらに V_{in3} だけを入力したときの応答波形について t_3 から t_v までの傾き k_3 の3個の傾きを算出する。以上で求めた k_i から、以下の式より λ と a_i を算出する。

$$\lambda = \sum_{i=1}^3 k_i \quad (4.1)$$

$$a_i = \frac{k_i}{\lambda} \quad (4.2)$$

次に以下の式より、 V_{ini} の入力タイミング t_i から、 x_i を算出する。ここで、 $T_{in} \geq t_i$ となる任意の T_{in} を定める。

$$x_i = 1 - \frac{t_i}{T_{in}} \quad (4.3)$$

以上で算出した a_i と x_i を式 (2.8) の左辺に代入する。

【評価手順 1-3】式 (2.8) の右辺の値を決定するために T_{out} を算出する。 T_{out} は以下の式に示すように、しきい値 θ および手順 1-2 で算出した λ から定められる。

$$T_{out} = \frac{\theta}{\lambda} \quad (4.4)$$

算出した T_{out} , T_{in} および t_v から, 式 (2.8) の右辺の値が決定する. 以上により算出した左辺値と右辺値について, 左辺値を基準とした右辺値との相対誤差を求め, この値によって積和演算精度を評価した.

測定では, 複数の V_{in1} と V_{in2} の組み合わせの測定結果を得るため, その結果ごとにこれらの手順を行い, 式 (2.8) の左辺と右辺の値を求めた. ただし, この手順の問題点として, 応答波形が非線形性を有しているため, 同じ V_{in} の値であっても入力タイミングや V_{in} の組み合わせによって k_i が変わり, V_{in} に対して a_i が一意に決定できない. 手順 1-2 に示したように, t_i から t_v までの応答波形の傾きを k_i とするため, 入力タイミング t_i が変われば $t_v - t_i$ が変わるため, k_i が一意に定まらない. 一例として, V_{in2} の入力タイミング t_2 が遅くなった場合, t_v が遅くなり, $t_v - t_1$ が大きくなると, 応答波形は非線形性を有しているために, k_1 が小さくなってしまふことが挙げられる. また, V_{in} の組み合わせによっても k_i が変わってしまう. 一例として, V_{in1} を固定し, V_{in2} を変えたときの組み合わせについて説明する. ある V_{in1} と V_{in2} を入力した場合と, その後 V_{in2} を変えた場合とでは k_2 が異なり, しきい値 θ に達するタイミング t_v が変わる. そのため, 同じ V_{in1} を与えていても, $t_v - t_1$ が変化するために, k_1 が異なる値となる. t_v によって a_i と x_i の積和演算を表現するには, V_{in} に対して k_i が一意に決まる必要がある. そこで, いずれの V_{in} が入力された場合でも同じ $t_v - t_i$ 間の傾きを採用することで, V_{in} に対して k_i を一意に決定できるような以下の評価手順を考案した. その評価手順を次に示す.

【評価手順 2-1】はじめに, 評価手順 1-1 と同様に, 3 入力の過渡測定結果を得た後, 任意のしきい値 θ を設定し, 応答波形 V_{out} が θ に達した時間タイミング t_v を求める.

【評価手順 2-2】単一入力過渡応答について, 入力タイミング t_i から t_v までの応答波形の傾き k_i を求める. (入力の数) \times (入力電圧の組み合わせ数) 個だけ求められた理想の k_i について, $\sum_i |k_i - k'_i|$ が最小となるような $t_v - t_i$ を求める. その $t_v - t_i$ の値を用いて, 単一入力応答波形の傾きを再度計算し, k'_i として傾きを再設定する. これによって, 後から入ってくる入力信号のタイミングと電圧値に依らず, V_{in} の値によって傾き k'_i を決定できる. 求めた k'_i を用いて, 評価手順 1-2 と同様に, 式 (2.8) の左辺の値を決定するために, a_i と x_i を算出する.

【評価手順 2-3】評価手順 1-3 と同様に, 式 (2.8) 右辺の値を算出し, 左辺値を基準とした相対誤差から積和演算精度を評価する.

4.3.2 3 入力積和演算精度評価

$V_{in1} = 2V$, $V_{in2} = 2V$, $V_{in3} = 6V$ とし, 3 個のパルスの入力タイミングを $0.5\mu s$ ずつずらして入力したときの入出力応答波形を図 4.13 に示す. また, 各電極に印加した電圧値を表 4.6 に示す. 1 個目の入力パルスだけが入力された場合の傾きに, 2 個目, 3 個目の入力パルスが重なると, 応答波形の傾きが加算されていくことが確認できる. このように入力電圧 V_{in} には $\pm 2V$ または $\pm 6V$ のパルス電圧を入力し, 入力パルスの立ち上がりに対する応答波形の立ち上がり部分で積和演算精度を評価した. はじめに, 任意のしきい値 θ に応答波形 V_{out} が達した時間タイミング t_v と入力タイミング t_i から理想の傾き k_i を求める. 入力数は 3 個, 入力電圧の組み合わせは 5 通りとし, 総数 15 個の k_i を求めた. その後, 評価手順 2-2 に従い, 求めたすべての k_i について, $\sum_i |k_i - k'_i|$ が最小となるような $t_v - t_i$ を求めると $t_v - t_i = 1.32\mu s$ と求まった. そこで, この $t_v - t_i$ 間の傾きを再計算し k'_i として設定した. 表 4.7 に各入力電圧の組み合わせと k_i , k'_i を示す. 設定した k'_i を用いて式 (2.8) の右辺値を計算し, その相対誤差を求めることで積和演算精度を評価した. 各設定値および求めた値を図 4.14 に示す. また, 積和演算精度について, 各入力ごとの理想値と測定値の関係について図 4.15 に示す. 図 4.15 では, 横軸に入力タイミング t_i を規格化した x_i , 縦軸に傾き k'_i を規格化した a_i と x_i の積を示している. ○印は測定値を示し, 破線は理想の値 $a_i \cdot x_i$ を示している. いずれの測定結果についても, 理想値との誤差は 1.8% 以内に収まっていることを確認した. さらに, 演算精度について, 横軸を左辺値, 縦軸を右辺値としたときの演算精度結果について図 4.16 に示す. 灰色の破線が左辺値=右辺値を表す 45° の理想直線を示し, ○印が測定値を示している. 青色の破線および同色の数値は, 最小二乗法を用いた測定値の線形近似直線とその傾きを示す. 評価の結果, 最大誤差が 0.025, 標準偏差が 0.011 という演算精度を実現していることを確認した.

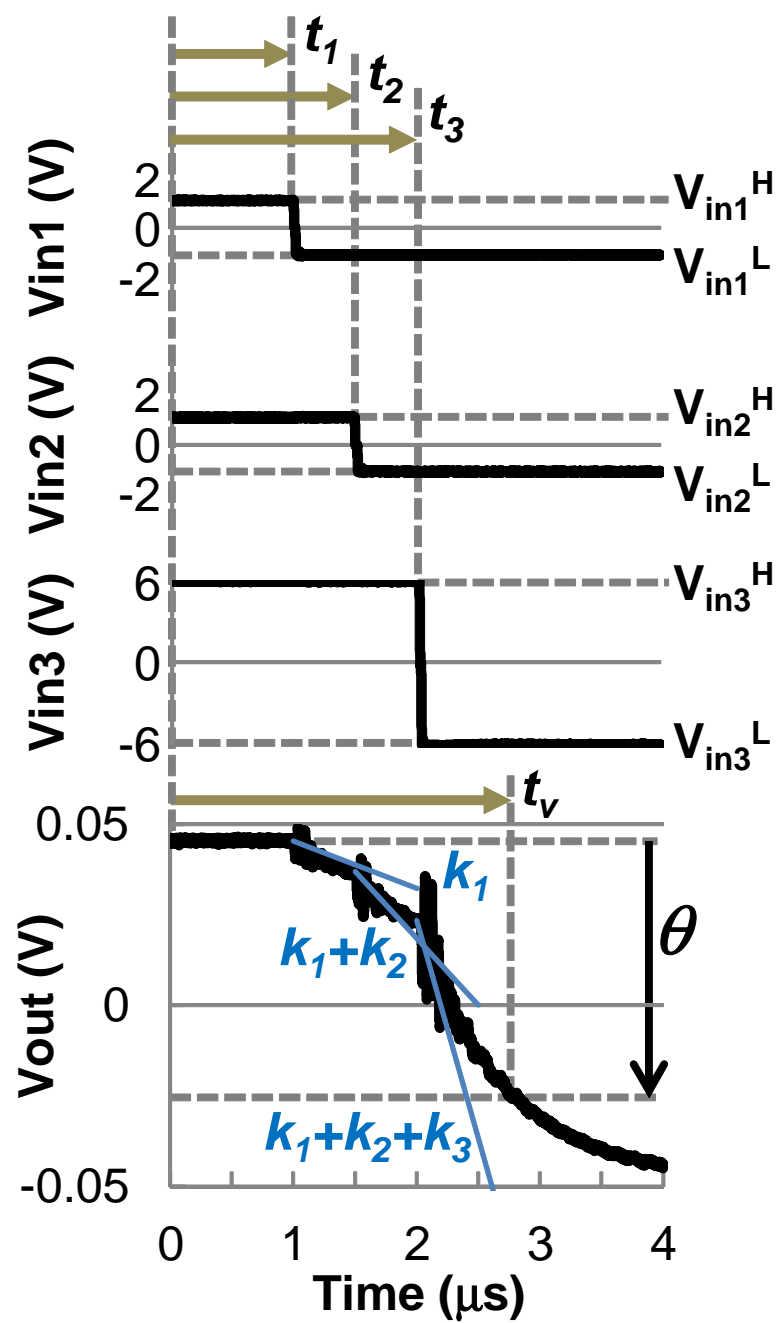


図 4.13 3 入力パルス入出力応答波形.

表 4.6 3 入力パルス応答測定条件.

$V_{in_{M1}}$	3.0V
VD_{NDA}	-3.0V
VD_{M1}	1.1V
VD_R	3.0V
VD_{M2}	-0.5V
R_L	150k Ω

表 4.7 入力電圧 V_{in} の組み合わせと k_i , k'_i .

$V_{in1}/V_{in2}/V_{in3}[V]$	2/2/6	2/6/2	2/6/6	6/2/6	6/6/6
$k_1[V/ms]$	-8.87	-8.61	-11.2	-39.1	-40.6
$k_2[V/ms]$	-9.39	-27.3	-35.7	-14.6	-42.7
$k_3[V/ms]$	-45.8	-16.4	-49.4	-40.3	-28.6
$k'_1[V/ms]$	-13.2	-13.2	-13.2	-39.1	-39.1
$k'_2[V/ms]$	-11.4	-35.0	-35.0	-11.4	-35.0
$k'_3[V/ms]$	-35.5	-13.1	-35.5	-35.5	-35.5

Tin (μs)	t1 (μs)	t2 (μs)	t3 (μs)	x1	x2	x3	Vin1 (V)	Vin2 (V)	Vin3 (V)	a1	a2	a3	θ	Left side value	Right side value	Relative error
10	8.9	9.4	9.9	0.11	0.06	0.01	2	2	60.148	0.152	0.700	-0.07	3.24E-02	4.08E-02	2.59E-01	
	8.0	8.5	9.0	0.20	0.15	0.10								1.22E-01	1.31E-01	6.86E-02
	5.0	5.5	6.0	0.50	0.45	0.40								4.22E-01	4.31E-01	1.99E-02
	4.0	4.5	5.0	0.60	0.55	0.50								5.22E-01	5.31E-01	1.61E-02
	1.0	1.5	2.0	0.90	0.85	0.80								8.22E-01	8.31E-01	1.02E-02
10	8.9	9.4	9.9	0.11	0.06	0.01	2	6	20.181	0.607	0.211	-0.07	5.85E-02	6.10E-02	4.19E-02	
	8.0	8.5	9.0	0.20	0.15	0.10								1.49E-01	1.51E-01	1.65E-02
	5.0	5.5	6.0	0.50	0.45	0.40								4.49E-01	4.51E-01	5.46E-03
	4.0	4.5	5.0	0.60	0.55	0.50								5.49E-01	5.51E-01	4.47E-03
	1.0	1.5	2.0	0.90	0.85	0.80								8.49E-01	8.51E-01	2.89E-03
10	8.9	9.4	9.9	0.11	0.06	0.01	2	6	60.110	0.369	0.521	-0.07	3.95E-02	4.94E-02	2.51E-01	
	8.0	8.5	9.0	0.20	0.15	0.10								1.29E-01	1.39E-01	7.66E-02
	5.0	5.5	6.0	0.50	0.45	0.40								4.29E-01	4.39E-01	2.31E-02
	4.0	4.5	5.0	0.60	0.55	0.50								5.29E-01	5.39E-01	1.87E-02
	1.0	1.5	2.0	0.90	0.85	0.80								8.29E-01	8.39E-01	1.20E-02
10	8.9	9.4	9.9	0.11	0.06	0.01	6	2	60.340	0.118	0.542	-0.07	4.99E-02	7.69E-02	5.41E-01	
	8.0	8.5	9.0	0.20	0.15	0.10								1.40E-01	1.67E-01	1.93E-01
	5.0	5.5	6.0	0.50	0.45	0.40								4.40E-01	4.67E-01	6.14E-02
	4.0	4.5	5.0	0.60	0.55	0.50								5.40E-01	5.67E-01	5.00E-02
	1.0	1.5	2.0	0.90	0.85	0.80								8.40E-01	8.67E-01	3.22E-02
10	8.9	9.4	9.9	0.11	0.06	0.01	6	6	60.268	0.304	0.428	-0.07	5.20E-02	6.40E-02	2.30E-01	
	8.0	8.5	9.0	0.20	0.15	0.10								1.42E-01	1.54E-01	8.43E-02
	5.0	5.5	6.0	0.50	0.45	0.40								4.42E-01	4.54E-01	2.71E-02
	4.0	4.5	5.0	0.60	0.55	0.50								5.42E-01	5.54E-01	2.21E-02
	1.0	1.5	2.0	0.90	0.85	0.80								8.42E-01	8.54E-01	1.42E-02

図 4.14 3 入力積和演算の設定値および算出値.

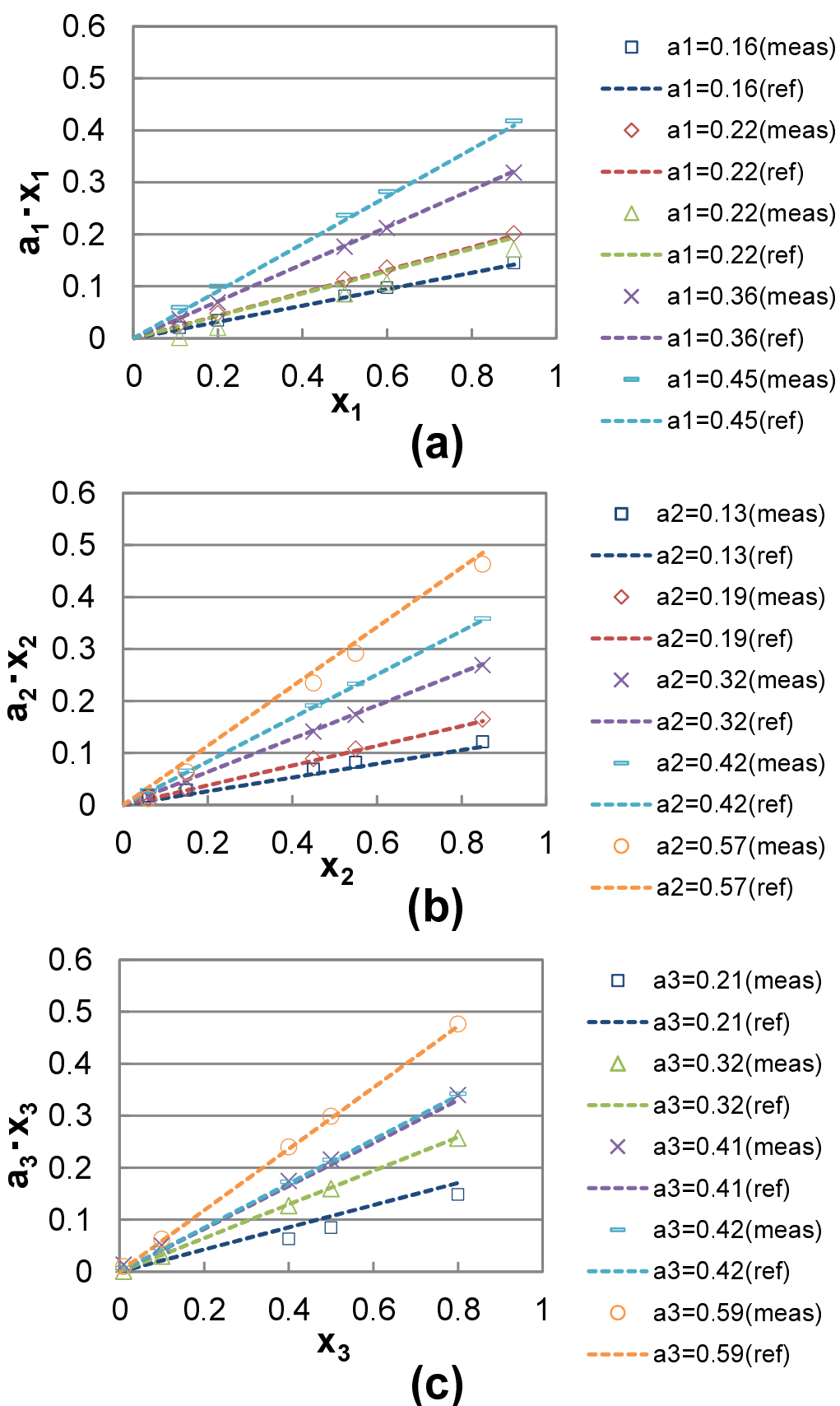


図 4.15 3 入力積和演算の各入力毎の理想値と測定値.

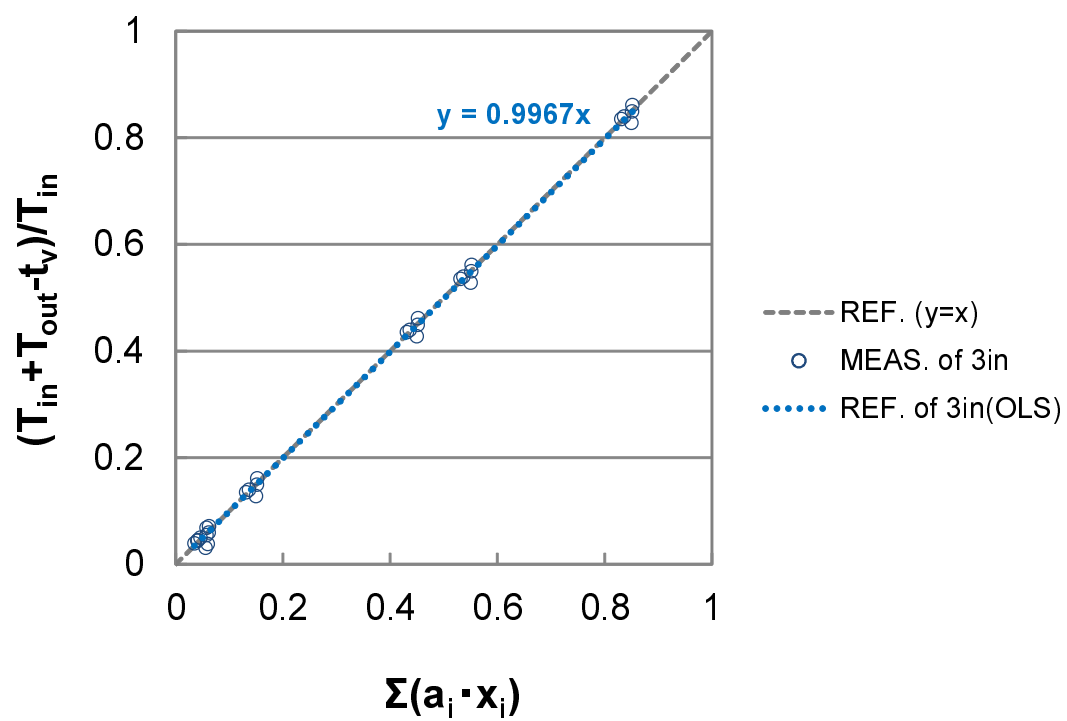


図 4.16 3 入力積和演算の理想値と測定値.

第 5 章

考察・課題

5.1 応答波形の振幅バラツキ

2 入力 NDA-FinFET の過渡応答測定では、1 個目の入力に 2 個目の入力为重なると、波形が傾きを増して応答することを観測した。ここで、1 個目の入力と 2 個目の入力それぞれを単一入力したときの過渡応答について観測した。 V_{in1} だけを入力したときの応答波形を図 5.1 に示す。このとき V_{in2} のプローブ針は入力電極にコンタクトさせず、 V_{in2} はフローティング状態である。同様に、 V_{in2} だけを入力したときの応答波形を図 5.2 に示す。このときは V_{in1} がフローティング状態である。各電極に入力した電圧値について表 5.1 に示す。 V_{in1} （青色の波形）、 V_{in2} （赤色の波形）ともに $\pm 2\text{V}$ に設定した。 V_{in1} のみを入力した場合に V_{out} （緑色の波形）の振幅がおおよそ 50mV であるのに対して、 V_{in2} のみの場合では V_{out} の振幅はおおよそ 120mV となった。図 5.3 に V_{in1} 、 V_{in2} の電圧値に対するそれぞれの V_{out} の振幅を示す。 V_{in1} のみの場合、 V_{in2} のみの場合ともに、 V_{in} に対して V_{out} の振幅はおおよそ線形的に増加する。また、 V_{in1} の場合の方が V_{in2} の場合の 2 分の 1 程度の振幅である。

このような応答波形の振幅バラツキは積和演算精度の低下の要因となる。積和演算モデルでは入力電圧の振幅 V_{in} によって応答波形の k_i を一意に決定する。そのため、入力端子ごとに傾き k_i が異なれば、理想の発火タイミング t_v からずれてしまう。 k_2 がバラツキによって理想よりも 2 倍の傾き k'_2 となった場合、理想の発火タイミング t_v よりも早いタイミング t'_v で内部状態がしきい値に達してしまい、式 (2.8) の左辺と右辺の相対誤差が大きくなり、積和演算精度が低下する。第 4 章で示したような今回の測定条件においては、傾き k_2 が k'_2 となった場

表 5.1 V_{in1} または V_{in2} のみ入力したときの NDA-FinFET パルス入力過渡応答測定条件.

$V_{in_{NDA}}$	$\pm 2.0V$
$V_{in_{M1}}$	$1.0V$
$V_{D_{NDA}}$	$-1.0V$
$V_{D_{M1}}$	$1.0V$
V_{D_R}	$1.0V$
$V_{D_{M2}}$	$0.0V$
R_L	$150k\Omega$

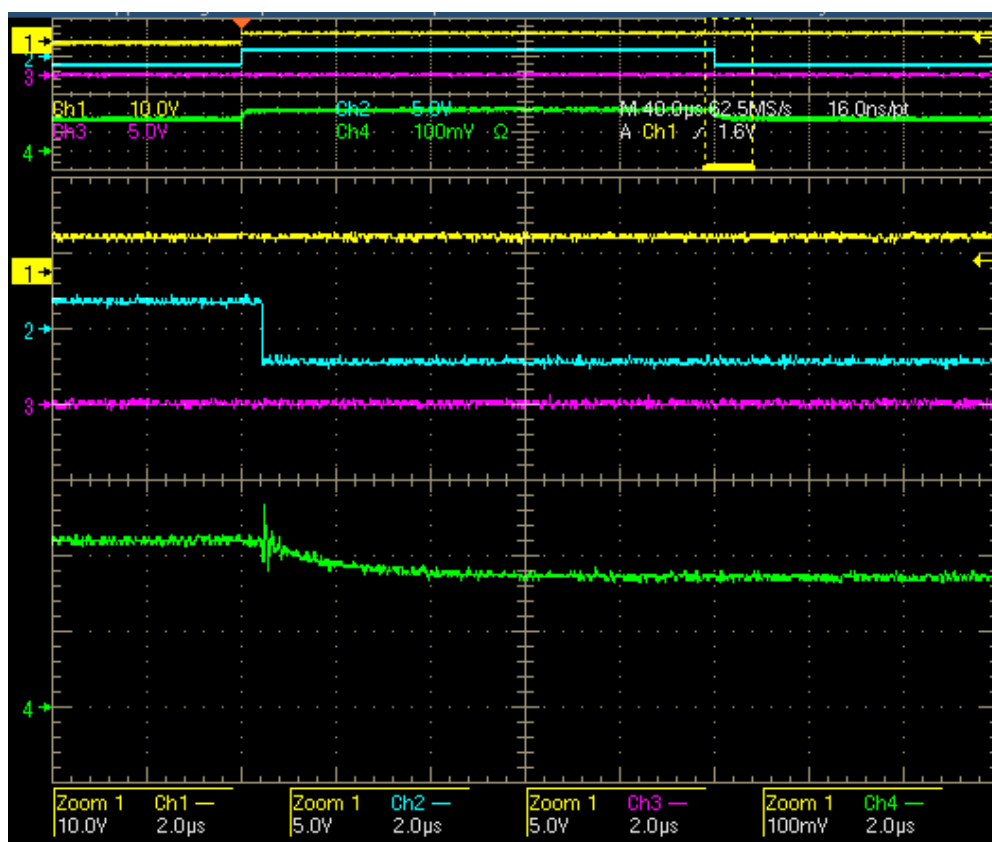
合では最大で 8.3% の誤差が生じる．この誤差については，入力電圧の入力タイミングが早ければ積和演算モデル式の右辺への影響も大きくなることから，左辺と右辺の誤差がより大きくなる可能性がある．そのため，積和演算精度の低下を防止するために，振幅バラツキの原因を特定し，バラツキを抑制するための対策を施す必要がある．

入力電極の違いによって出力の振幅に差が生じた原因として，NDA 配列の不均一性が考えられる．図 5.4 に示すように，Huang らによって NDA2 次元配列の ND の中心間距離のバラツキが報告されている [34–36]．ND 同士の中心間距離は 12.2nm に対して $\pm 8.3\%$ のバラツキを有することがわかる．つまり，NDA-FinFET 構造の Al-NDA- ゲート間の抵抗について，入力端子ごとに異なり，応答波形の振幅バラツキの要因になっていると考えられる．

別の原因として，CMP 処理における段差の発生による NDA 配列の不均一性が考えられる．CMP 処理直後の Fin とゲートの交点の断面 SEM 画像を図 5.5 に示す．この図から層間絶縁膜 SiO_2 と FinFET ゲート poly-Si の境界に数 nm の段差が生じていることが確認できる．この段差によってフェリティン溶液をスピンコートする際に不均一性が生じてしまい，入力端子ごとに応答波形の振幅が異なる可能性が考えられる．この段差は被研磨材料の研磨レートの違いによるもので，段差の発生を抑制するための対策が必要である．

5.2 ゆらぎ生成と制御

ゆらぎ（ノイズ）は脳の情報処理において重要であるといわれており，ニューロンデバイスにおいてゆらぎの生成と制御機構を設ける必要がある．第 3 章で述べたように，NDA によっ

図 5.1 V_{in1} のみ入力したときの過渡応答波形.

て確率的な電子ホッピングがゆらぎを生成できること、入力電圧によってゆらぎの度合い（ゆらぎ度）を制御できることを単電子回路シミュレーションによって確認している．しかし、デバイスの試作プロセスにおいて NDA のパターニングは非常に難易度が高く、本研究においては NDA をパターニングできたという結果が得られなかったため、評価に用いた試料は NDA を試料全面に配置した構造であった．全面に NDA が配置されているため、電子の確率的なホッピング伝導は平均化されることでゆらぎが観測できなかったと考えられる．そこで、NDA パターニングのための NDA エッチング除去手法として、中性イオンビームエッチング技術を用いることが今後の課題として挙げられる．この技術は NDA 作製の際に鉄コアをマスクとして NDA を構成する poly-Si をパターニングするために用いられる．この技術を用いて NDA パターニングをした NDA-FinFET デバイスではゆらぎ生成および制御を実現できると期待される．

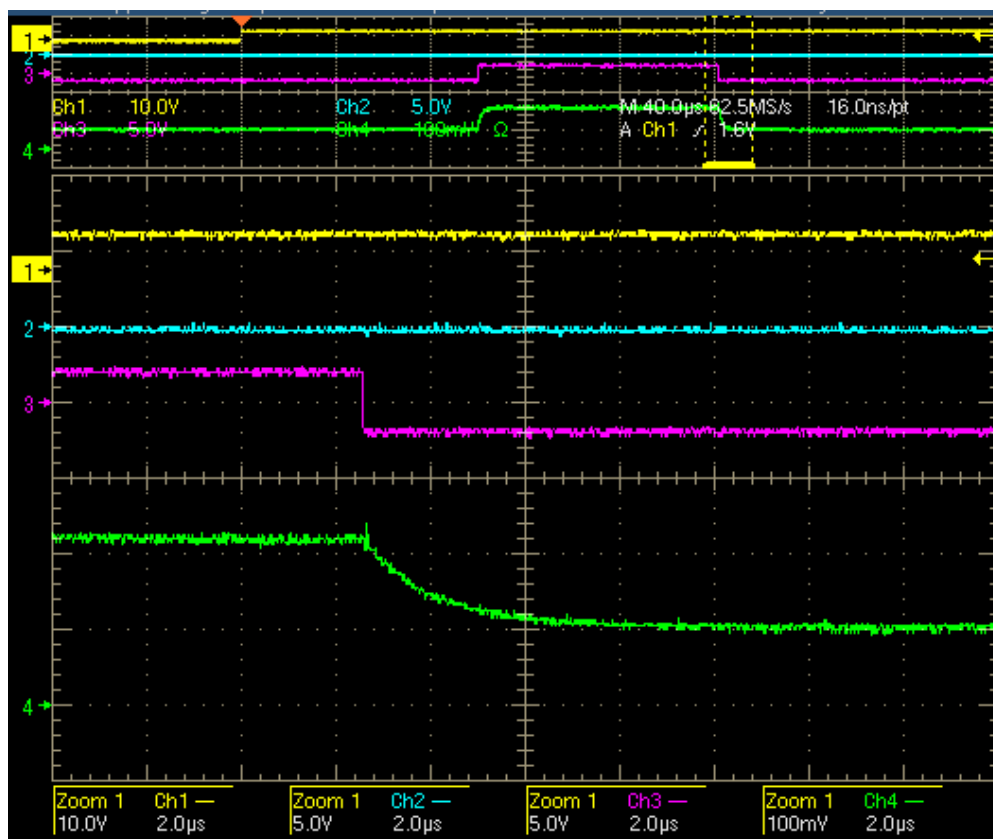


図 5.2 V_{in2} のみ入力したときの過渡応答波形.

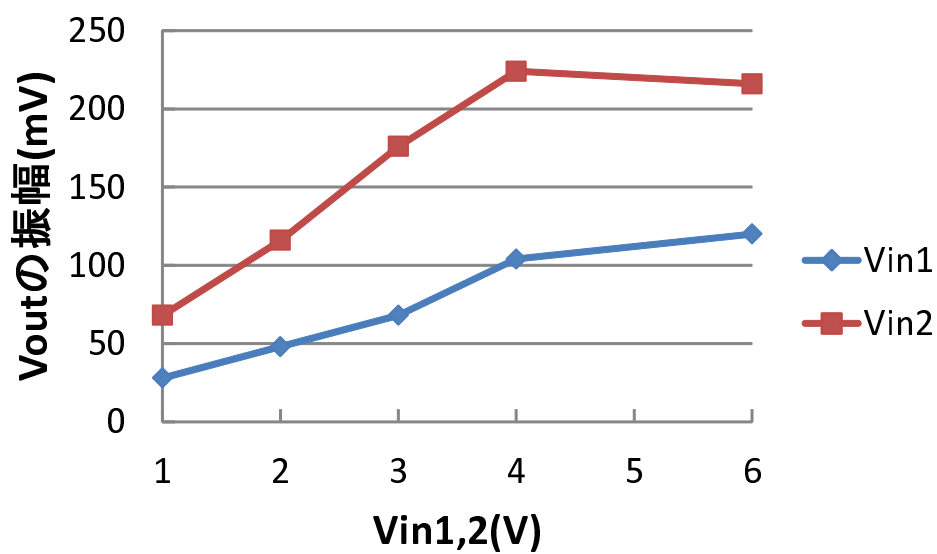


図 5.3 V_{in} と V_{out} の振幅の関係.

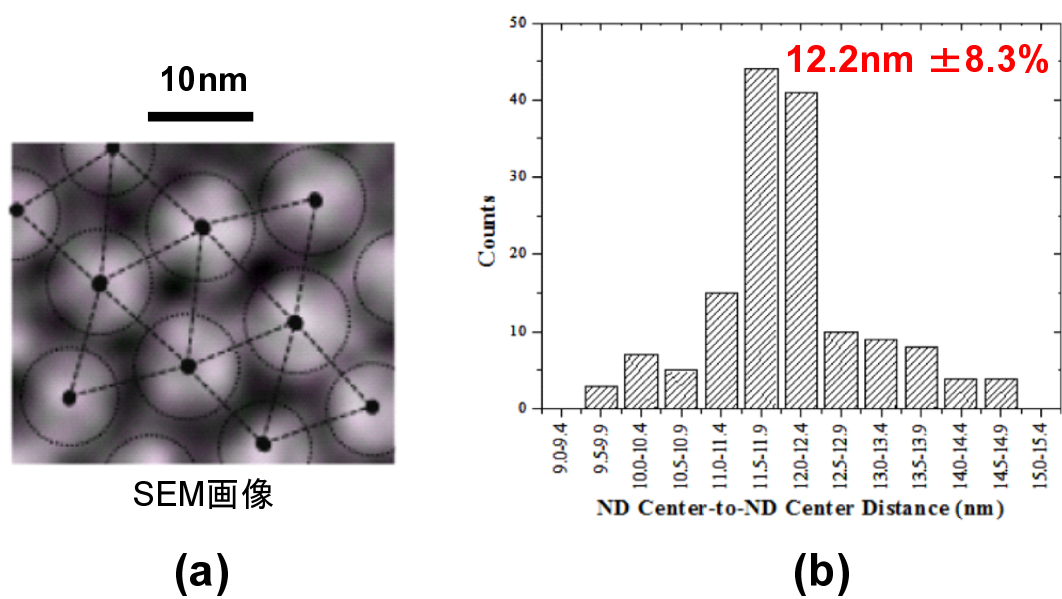


図 5.4 NDA2 次元配列の不均一性.

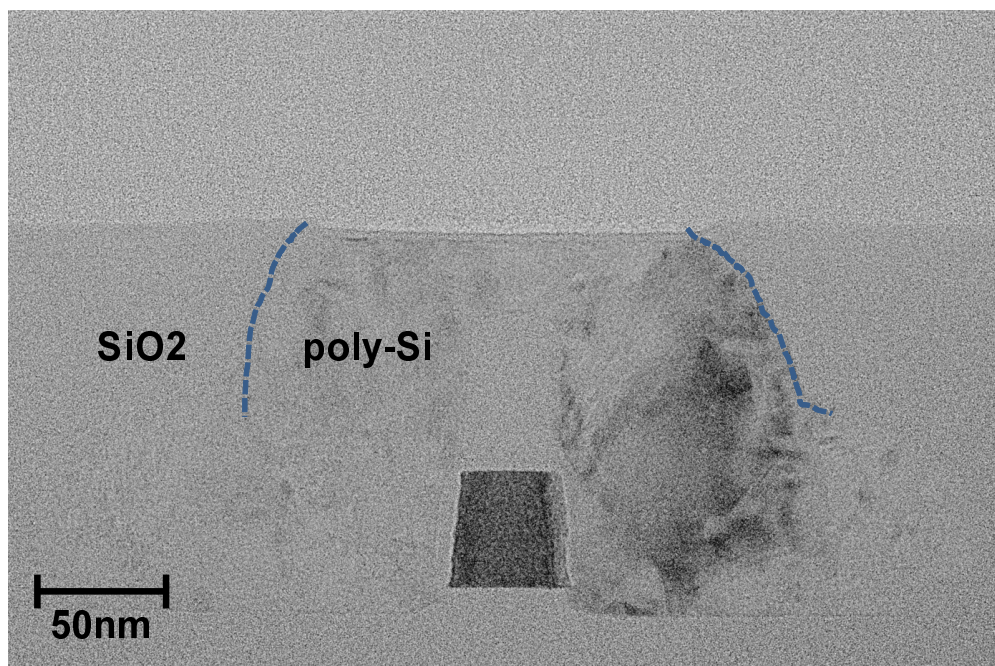


図 5.5 CMP 処理により発生する段差の SEM 画像.

5.3 多入力積和演算のための NDA-FinFET 構造

試作したデバイスは FinFET ゲートに NDA を直接接続した構造であるが、さらに多くの入力を設ける場合には、FinFET のゲート上部の面積だけでは入力数が制限されてしまう。そこで、図 5.6 に示すように、FinFET ゲートと NDA 間に配線によって NDA 接続領域を拡張する構造が考えられる。この構造では FinFET ゲート上部に大きな Al 配線領域を接続することで NDA の接続面積を拡張しており、任意の入力数の NDA-FinFET を実現することができる。また、この構造では、FinFET ゲート上にホールを設けて Al とコンタクトさせるため、CMP 処理をゲートの途中で止める必要がなくなり、平坦化処理の難易度を下げることができる。さらに、NDA パターンを FinFET とは離れた場所に配置する構造のため、CMP の際の被研磨材料の違いによる段差が発生しても、その段差による NDA が不均一な個所を NDA パターンとして使用することはない。このように提案する構造では、多入力積和演算を実現でき、CMP プロセスを容易にでき、さらに段差の発生を抑制することが期待できる。

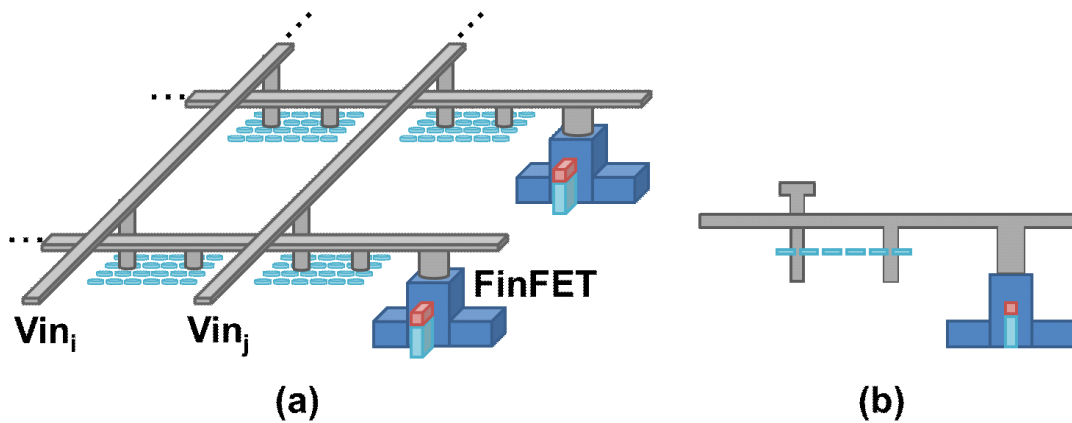


図 5.6 多入力積和演算のための NDA-FinFET 構造模式図.

第 6 章

結論

本論文では，時間軸上で積和演算を実現するためのスパイキングニューラルネットワークモデルと，そのモデルを実現するためのシリコンナノディスクアレイ-FinFET 結合型デバイス（NDA-FinFET）のプロセス技術とそのデバイス特性を示した．スパイキングニューロンモデルについて，結合している他のニューロンからのスパイクタイミングと，そのスパイクによって生成される PSP 波形の傾きを規格化して，スパイクの発火タイミングで積和演算結果を表現できるようにモデルを構築した．このモデルを実現するための NDA-FinFET デバイスを提案し，試作プロセス技術を考案しデバイスを試作した．さらに，試作したデバイスの測定により NDA-FinFET デバイス動作を確認し，複数の入力スパイクタイミングと入力電圧の積和演算を実現できていることを示した．

第 1 章では，研究の動機と背景および目的，本論文の構成について述べた．

第 2 章では，デバイス実装のための積分発火型スパイキングニューロンモデルの改良について述べた．改良モデルでは，結合している他のニューロンからのスパイクタイミングを規格化したものと，スパイクによって生成される PSP 波形の傾きを規格化したものの積和演算結果を，ニューロンのスパイク出力発火タイミングで表現するように再構築した．

第 3 章では，分子の自己組織化機能を利用して作製するシリコンナノディスクアレイデバイスを FinFET のゲートに接続した，NDA-FinFET デバイスの構造を示した．また，構造シミュレーションによりデバイスの各容量を抽出し，単電子シミュレーションによりデバイスの挙動を示した．また，開発した NDA-FinFET 試作プロセス技術について述べた．FinFET を作製し，層間絶縁膜を CMP 研磨することで試料面を平坦化し，かつ FinFET のゲートを表面に露

出させることに成功したことを示した．さらに，NDA を試料全面に形成し，AI 配線によって NDA-FinFET を作製した．

第 4 章では，試作デバイスの特性評価結果を示した．試作した FinFET 単体および NDA-FinFET 単体回路について DC 特性を示した．NDA-FinFET と FinFET を含む 2 段インバータ回路について過渡測定を行い特性を示した．さらに，複数スパイク入力による過渡特性から積和演算精度を確認し，NDA-FinFET デバイスが積和演算機能を実現していることを示した．

第 5 章では，測定結果に対する考察および今後の達成すべき課題について述べた．

第 6 章では，本研究の結論を述べた．

以上より，脳型情報処理に基づくスパイキングニューラルネットワークモデルを実現するための多入力ナノ構造デバイスを開発した．時間軸積和演算デバイスのためのモデルを改良し，デバイス構造の提案と試作プロセス技術を確立した．試作したデバイスの積和演算性能を評価し，ニューラルネットワークモデルを実現するデバイスとして有用であることを示した．

今後の課題として，4 入力以上の多入力 NDA-FinFET を実現するために，NDA 接続面積を AI 配線で拡張するデバイスを試作すること，また，NDA-FinFET デバイスによってゆらぎ生成を実現することが挙げられる．すなわち，本研究で作製したデバイスでは NDA を試料全面に配置しているため，電子の確率的なホッピングは平均化され，ゆらぎを観測することはできない．NDA をパターンニングするプロセス技術を確立し，脳の情報処理で重要とされているゆらぎの生成および制御を目指す必要がある．さらに，NDA-FinFET の多入力化のために，FinFET ゲートと NDA 間に AI 領域を設ける AI 領域拡張型 NDA-FinFET を実現する必要がある．

参考文献

- [1] K. Nishiguchi, A. Fujiwara, Y. Ono, H. Inokawa, and Y. Takahashi, “Room-temperature-operating data processing circuit based on single-electron transfer and detection with metal-oxide-semiconductor field-effect transistor technology,” *Appl. Phys. Lett.* 88, 83101, 2006.
- [2] A. Bandyopadhyay, S. Sahu, and D. Fujita, “Smallest artificial molecular neural-net for collective and emergent information processing,” *Appl. Phys. Lett.* 95, 113702, 2009.
- [3] R. Beighley, E. Spedden, K. Sekeroglu, T. Atherton, M. C. Demirel, and C. Staii, “Neuronal alignment on asymmetric textured surfaces,” *Appl. Phys. Lett.* 101, 143701, 2012.
- [4] J. Cervera, J. A. Manzanares, and S. Mafé, “Bio-inspired signal transduction with heterogeneous networks of nanoscillators,” *Appl. Phys. Lett.* 100, 093703, 2012.
- [5] W. Dou, L. Q. Zhu, J. Jiang, and Q. Wan, “Flexible protonic/electronic coupled neuron transistors self-assembled on paper substrates for logic applications,” *Appl. Phys. Lett.* 102, 093509, 2013.
- [6] A. Hurtado, K. Schires, I. D. Henning, and M. J. Adams, “Investigation of vertical cavity surface emitting laser dynamics for neuromorphic photonic systems,” *Appl. Phys. Lett.* 100, 103703, 2012.
- [7] S. Sahu, S. Subrata, K. Hirata, D. Fujita, and A. Bandyopadhyay, “Multi-level memoryswitching properties of a single brain microtubule,” *Appl. Phys. Lett.* 102, 123701, 2013.
- [8] A. Samardak, S. Taylor, A. Nogaret, G. Hollier, J. Austin, and D. A. Ritchie, “Propagation and spatiotemporal summation of electrical pulses in semiconductor nerve fibers,” *Appl. Phys. Lett.* 91, 073502, 2007.
- [9] A. Sengupta, S. H. Choday, Y. Kim, and K. Roy, “Spin orbit torque based electronic neuron,”

- Appl. Phys. Lett. 106, 143701, 2015.
- [10] A. K. Biswas, J. Atulasimha, and S. Bandyopadhyay, "The straintronic spin-neuron," *Nanotechnology* 26, 285201, 2015.
- [11] V. Q. Diep, B. Sutton, G. Gehin-Aein, and S. Datta, "Spin switches for compact implementation of neuron and synapse," *Appl. Phys. Lett.* 104, 222405, 2014.
- [12] S. G. Hu, Y. Liu, T. P. Chen, Z. Liu, Q. Yu, L. J. Deng, Y. Yin, and S. Hosaka, "Emulating the paired-pulse facilitation of a biological synapse with a NiOx-based memristor," *Appl. Phys. Lett.* 102, 183510, 2013.
- [13] X. Jiao, and R. Wang, "Nonlinear dynamic model and neural coding of neuronal network with the variable coupling strength in the presence of external stimuli," *Appl. Phys. Lett.* 87, 083901, 2005.
- [14] J. W. Lee, M. ju Cho, E. Simoen, R. Ritzenthaler, M. Togo, G. Boccardi, J. Mitard, L. Ragnarsson, T. Chiarella, A. Veloso, N. Horiguchi, A. Thean, and G. Groeseneken, "1/f noise analysis of replacement metal gate bulk p-type fin field effect transistor," *Appl. Phys. Lett.* 102, 073503, 2013.
- [15] B. Rajendran, Y. Liu, J. Seo, K. Gopalakrishnan, L. Chang, D. J. Friedman, and M. B. Ritter, "Specifications of nanoscale devices and circuits for neuromorphic computational systems," *IEEE Trans. Electron Devices* 60, 246, 2013.
- [16] C. Dias, L. M. Guerra, J. Ventura, and P. Aguiar, "Memristor-based Willshaw network: Capacity and robustness to noise in the presence of defects," *Appl. Phys. Lett.* 106, 223505, 2015.
- [17] A. Sengupta, Z. A. Azim, X. Fong, and K. Roy, "Spin-orbit torque induced spike-timing dependent plasticity," *Appl. Phys. Lett.* 106, 093704, 2015.
- [18] M. Prezioso, F. Merrih-Bayat, B. D. Hoskins, G. C. Adam, K. K. Likharev, and D. B. Strukov, "Training and operation of an integrated neuromorphic network based on metal-oxide memristors," *Nature* 521, 61, 2015.
- [19] S. Fukami, T. Suzuki, Y. Nakatani, N. Ishiwata, M. Yamanouchi, S. Ikeda, N. Kasai, and H. Ohno, "Current-induced domain wall motion in perpendicularly magnetized CoFeB nanowire," *Appl. Phys. Lett.* 98, 082504, 2011.

- [20] S. Fukami, M. Yamanouchi, K. -J. Kim, T. Suzuki, N. Sakimura, D. Chiba, S. Ikeda, T. Sugibayashi, N. Kasai, T. Ono, and H. Ohno, “20-nm magnetic domain wall motion memory with ultralow-power operation,” Proc. IEEE Int. Electron Devices Meeting (IEDM), pp. 3.5.1-3.5.4, Dec. 2013.
- [21] M. Kudo, M. Arita, Y. Ohno, and Y. Takahashi, “Filament formation and erasure in molybdenum oxide during resistive switching cycles,” Appl. Phys. Lett. 105, 173504, 2014.
- [22] L. Deng, G. Li, N. Deng, D. Wang, Z. hang, W. He, H. Li, J. Pei, and L. Shi, “Complex learning in bio-plausible memristive networks,” Scientific reports 5, 10684, 2015.
- [23] T. Schulz, O. Alejos, E. Martinez, K. M. D. Hals, K. Garcia, L. Vila, K. Lee, R. L. Conte, G. V. Kamad, S. Moretti, B. Ocker, D. Ravelosona, A. Brataas, and M. Klaui, “Spin-orbit torques for current parallel and perpendicular to a domain wall,” Appl. Phys. Lett. 107, 122405, 2015.
- [24] M. Sharad, D. Fan, and K. Roy, “Spin-neurons: A possible path to energy-efficient neuro-morphic computers,” Appl. Phys. Lett. 114, 234906, 2013.
- [25] 廣井 孝弘, 中根 明俊, 藤本 天, 有田 正志, 高橋 康夫, 安藤 秀幸, 森江 隆, “Cu-MoO_x-Al₂O₃ 抵抗変化型メモリのスイッチ特性,” 第 61 回応用物理学会春季学術講演会, 20a-F12-4, p. 13-247, 2014.
- [26] 中根 明俊, 廣井 孝弘, 有田 正志, 高橋 康夫, 安藤 秀幸, 森江 隆, “Al 電極上に作製した WO_x 薄膜の抵抗スイッチ特性,” 第 61 回応用物理学会春季学術講演会, 20a-F12-5, p. 13-248, 2014.
- [27] W. Maass, “Pulsed Neural Networks,” edited by W. Maass and C. M. Bishop (MIT Press, 1999), Chap. 2, pp. 55-85.
- [28] T. Morie, Y. Sun, H. Liang, M. Igarashi, C. Huang, and S. Samukawa, “A 2-dimensional Si nanodisk array structure for spiking neuron models,” IEEE Int. Symp. on Circuits and Systems (ISCAS 2010), pp. 781-784, 2010.
- [29] T. Morie, H. Liang, Y. Sun, T. Tohara, M. Igarashi, and S. Samukawa, “A silicon nanodisk array structure realizing synaptic response of spiking neuron models with noise (Invited),” The 19th Asia and South Pacific Design Automation Conference (ASP-DAC 2014), pp. 185-190, 2014.

- [30] S. Samukawa, K. Sakamoto, and K. Ichiki, "Generating high-efficiency neutral beams by using negative ions in an inductively coupled plasma source," *J. Vac. Sci. Technol. A* 20, 1566, 2002.
- [31] M. Igarashi, C. H. Huang, M. Tomura, M. Takeguchi, S. Horita, Y. Uraoka, T. Fuyuki, I. Yamashita, T. Morie, and S. Samukawa, "New functional device characteristics with 2-dimensional array of Si nanodisks fabricated by combination of bio-template and ultimate top-down etching," *Ext. Abstracts of Int. Conf. on Solid State Devices and Materials (SSDM)*, pp. 1364-1365, 2009.
- [32] K. Endo, S. Noda, M. Masahara, T. Kubota, T. Ozaki, S. Samukawa, Y. Liu, K. Ishii, Y. Ishikawa, E. Sugimata, T. Matsukawa, H. Takashima, H. Yamauchi, and E. Suzuki, "Fabrication of FinFETs by damage-free neutral-beam etching technology," *IEEE Trans. Electron Devices*, 53, 1826, 2006.
- [33] M. Igarashi, C. H. Huang, T. Morie, and S. Samukawa, "Control of electron transport in two-dimensional array of Si nanodisks for spiking neuron device," *Appl. Phys. Express*, 3, 085202, 2010.
- [34] C. H. Huang, X. Y. Wang, M. Igarashi, A. Murayama, Y. Okada, I. Yamashita and S. Samukawa, "Optical absorption characteristic of highly ordered and dense two-dimensional array of silicon nanodiscs," *Nanotechnology*, 22, 105301, 2011.
- [35] モハマド エルマン シャズワン, 岡田 健, 藤井 拓也, 磯田 大河, 遠藤 広考, 伊藤 公平, 山下 一郎, 寒川 誠二, "バイオナノテンプレート極限加工による高密度 10nm Ge ナノディスクの作製と光学特性," 第 61 回応用物理学会春季学術講演会, 17p-E15-7, p. 14-050, 2014.
- [36] 李 昌勇, 肥後 昭男, トーマス セドリック, 田村 洋典, 吉川 憲一, 山下 一郎, 寒川 誠二, "Polyethylene glycol (PEG) を塗布した基板上のフェリチン 2 次元配列," 第 61 回応用物理学会春季学術講演会, 20a-E17-10, p. 12-412, 2014.

謝辞

本研究を行うに当たり，終始懇切なるご指導，ご鞭撻を賜りました九州工業大学大学院生命体工学研究科 森江 隆教授に謹んで感謝の意を表します。

本研究の成果をまとめるに当たり貴重な御意見，御討議を頂きました九州工業大学大学院生命体工学研究科の田中 啓文教授，田向 権准教授，北海道大学 大学院情報科学研究科の高橋 庸夫教授に厚く御礼申し上げます。

本研究のデバイス製造では産業技術総合研究所 ナノエレクトロニクス研究部門の皆様にご多大なるご支援を頂きました。特に博士課程前期から約4年間にわたってデバイス製造・プロセス技術についてご指導をいただいた遠藤 和彦氏には心から感謝を申し上げます。

所属する九州工業大学 大学院生命体工学研究科 森江研究室の先輩方，在学生，卒業生の皆様には，研究や私生活など様々な面での御支援を頂きましたことを深く感謝いたします。

本研究のデバイス試作におけるシリコンナノディスクアレイの作製は東北大学 流体科学研究所の寒川 誠二教授のご協力で行われました。デバイス 設計は東京大学大規模集積システム設計教育研究センターを通し，日本ケイデンス株式会社の協力で行われました。最後に，研究活動を進めるに際して物心両面にわたり支え暖かく見守って頂いた家族に心から感謝いたします。

研究業績

本研究に関する発表論文

発表論文

- 1) **T. Tohara**, H. Liang, H. Tanaka, M. Igarashi, S. Samukawa, K. Endo, Y. Takahashi, T. Morie, “Silicon nanodisk array with a fin field-effect transistor for time-domain weighted sum calculation toward massively parallel spiking neural networks”, Appl. Phys. Express, 9, 3, 034201, 2016.

国際会議発表論文

- 1) **T. Tohara**, Y. Kuramitsu, K. Endo, S. Samukawa, M. Masahara, and T. Morie, “Time-domain Multiply-and-accumulation Calculation Using Si Nanodisk Array Structures for Brain-like Computing”, The 3rd RIEC Int. Symp. on Brain Functions and Brain Computer, Abstract Book, P-11, Sendai, Japan, Feb. 18, 2015.
- 2) H. Ando, K. Tomizaki, **T. Tohara**, T. Morie, T. Hiroi, A. Nakane, R. Katsumura, A. Fukuchi, M. Arita, Y. Takahashi, and S. Samukawa, “Analog Memory Operation of Resistance Change Memory with MOSFET for Brain-like LSIs”, Proc. of the Fifteenth Int. Symp. on Advanced Fluid Information (AFI-2015), pp. 182-183, Sendai, Japan, Oct. 28, 2015.
- 3) T. Morie, H. Liang, Y. Sun, **T. Tohara**, M. Igarashi, and S. Samukawa, “A Silicon Nanodisk Array Structure Realizing Synaptic Response of Spiking Neuron Models with Noise”, The 19th Asia and South Pacific Design Automation Conference (ASP-DAC 2014), Singapore,

- pp. 185-190, Jan. 21, 2014.
- 4) Y. Kuramitsu, **T. Tohara**, and T. Morie, “Single-electron Circuit Simulation for Multiply-and-accumulation Calculation Using Nanodisk Array Structure”, Proc. of the 14th POSTECH-KYUTECH Joint Workshop on Neuroinformatics, pp. 31-32, Kitakyushu, Aug. 22, 2014.
 - 5) T. Morie, **T. Tohara**, K. Endo, M. Igarashi, and S. Samukawa, “Intelligent Information Processing Circuits Using Nanodisk Array Structure”, Proc. of the Fourteenth Int. Symp. on Advanced Fluid Information (AFI 2014), pp. 122-123, Sendai, Japan, Oct. 9, 2014.
 - 6) Y. Miyadai, K. Matsuzaka, **T. Tohara**, M. Tanaka, H. Tamukoh, and T. Morie, “A CMOS LSI Pulse-Coupled Phase Oscillator System”, Proc. of the 13th POSTECH-KYUTECH Joint Workshop on Neuroinformatics, p. 21-22, Pohan, Korea, Aug. 20, 2013.
 - 7) T. Morie, **T. Tohara**, K. Endo, M. Igarashi, and S. Samukawa, “Intelligent Information Processing Circuits Using Nanodisk Array Structure”, Proc. of the Thirteenth Int. Symp. on Advanced Fluid Information (AFI 2013), pp. 98-99., Sendai, Japan, Nov. 26, 2013.

国内学会，研究会発表論文

- 1) 倉光 良明, 東原 敬, 遠藤 和彦, 寒川 誠二, 昌原 明植, 森江 隆, “FinFET-ナノディスクアレイ構造デバイスによる時間軸での積和演算”, 第 75 回応用物理学会秋季学術講演会, 講演番号 18p-A16-1, p. 13-177, 2014 年 9 月 18 日, 北海道大 (札幌)
- 2) 東原 敬, 遠藤 和彦, 五十嵐 誠, 寒川 誠二, 昌原 明植, 森江 隆, “FinFET-ナノディスクアレイ構造結合のためのプロセス手法”, 第 75 回応用物理学会秋季学術講演会, 講演番号 18p-A16-1, p. 13-178, 2014 年 9 月 18 日, 北海道大 (札幌)
- 3) 松坂 建治, 田中 秀樹, 大久保 悟, 東原 敬, 森江 隆, “脳型情報処理ハードウェア実現に向けたパルス結合位相振動子に基づくスパイクベース演算”, 2013 年度 人工知能学会全国大会, 講演番号 3H3-OS-05b-5in, 2013 年 6 月 6 日, 市民プラザ (富山)
- 4) 宮代 祐也, 松坂 建治, 東原 敬, 田中 宙夫, 田向 権, 森江 隆, “パルス結合位相振動子ネットワークの CMOS 集積回路化とその評価”, 電気学会電子回路研究会, ECT-13-117, pp. 29-34, 2013 年 11 月 29 日, 日本大 (東京)