

統計的遅延品質モデル (SDQM) のフィージビリティ評価*

佐藤 康夫^{†a)} 浜田 周治[†] 前田 敏行[†] 高取 厚夫[†]
野津山泰行[†] 梶原 誠司^{††}

Feasibility Evaluation of the Statistical Delay Quality Model (SDQM)*

Yasuo SATO^{†a)}, Syuji HAMADA[†], Toshiyuki MAEDA[†], Atsuo TAKATORI[†],
Yasuyuki NOZUYAMA[†], and Seiji KAJIHARA^{††}

あらまし 遅延テストの品質評価には、遷移遅延故障モデルが広く用いられてきた。しかし、論理的な網羅性のみに着目しているため、微小な遅延欠陥の検出能力は明らかでなかった。そこで筆者らは微小な遅延欠陥の検出能力を、半導体製造プロセスの品質、設計の遅延変動に対するロバスト性、テストタイミング精度、及びテストパターンの論理的網羅性を総合的に反映して求める統計的遅延品質モデル (SDQM: statistical delay quality model) を提案し、本論文では、その大規模データに対するフィージビリティを評価した。商用のテスト生成ツールによるテストパターンを用いて SDQM の計算を行い、SDQM の計算の処理時間とメモリ量が適用可能なレベルであることを確認した。また、本モデルを用いたテストパターンの分析により、従来の遷移遅延故障モデルによるテストパターンは、長い論理パスが活性化されて初めて可能になる微小遅延欠陥の検出能力が十分でなく、アルゴリズム改良が必要なことを、定量的に示すことができた。

キーワード 遅延テスト, 故障モデル, 遷移遅延故障, テスト品質

1. ま え が き

半導体製造プロセス及び設計技術の発展に伴い、抵抗性のショート欠陥やオープン欠陥によって引き起こされる、微小な遅延故障や、パラメトリック故障 [1]~[3] が増加している。これらの故障をもつチップをテストで効果的に除去することが求められている。遅延テストはこうした課題に対する主要な技術として広く研究されてきた。

これまで遅延テストのための多くの遅延故障モデルが提案されてきた。遷移遅延故障モデル [1] では、局所的な遅延欠陥が、擬似外部入力または外部入力から擬似外部出力または外部出力まで論理的に伝搬し観測される。本モデルはプログラムによる取扱いが容易で、高い故障検出率が得られることから、広く用いられて

きた。しかし、検出する遅延欠陥の遅延の大きさを考慮しないため、微小な遅延欠陥を検出する能力は明らかでなかった。パス遅延故障モデル [1] では、各論理パス上に分散した遅延欠陥が擬似外部出力または外部出力に伝搬し、論理パス上で蓄積された故障として検出される。このモデルでは、微小な遅延欠陥を検出可能だが、チップ上の論理パス数が膨大なため、高い故障検出率を得るのが困難と思われる。そのため通常は少数の長いパスだけをテストしている。またパス遅延故障モデルの改良として、遅延値のプロセス変動を考慮するために、統計的手法を用いてテストすべき論理パスを選択する手法 [4] も提案されているが、故障検出率を高める問題は解決されていない。

本研究の目的は、チップのテスト後の微小な遅延欠陥による、遅延故障発生確率を見積もる品質指標を示すことにある。チップの遅延故障に影響を与える主要な要因として以下の項目があり、これらを品質指標に反映することが重要である。

- 半導体製造プロセスの品質
- 設計の遅延変動に対する余裕度 (ロバスト性)
- テストタイミング精度
- テストパターンの論理的網羅性

[†](株)半導体理工学センター, 横浜市
Semiconductor Technology Academic Research Center,
Yokohama-shi, 222-0033 Japan

^{††}九州工業大学情報工学部, 飯塚市
Department of Computer Sciences and Electronics, Kyusyu
Institute of Technology, Iizuka-shi, 820-8502 Japan

a) E-mail: yasuo.sato.rt@hitachi.com

* 原論文は, Proceedings of International Test Conference (ITC)
2005, paper 47.1 に掲載。

筆者らはこの課題を解決するために、統計的遅延品質モデル (SDQM: statistical delay quality model)[5] を提案した。SDQM は、各仮定故障に対して、遅延欠陥の大きさごとの発生確率、すなわち遅延欠陥分布を仮定する。与えられたテストパターンセットの遅延欠陥の検出能力を、テストタイミングとテストされた論理パスの遅延値の差で判定し、テスト後に検出されないで残る遅延欠陥の発生確率を遅延欠陥分布より求める。SDQM はテストタイミングがシステム動作速度と異なるときも適用可能で、チップが複数のクロックドメインから構成される場合は、ドメインごとに SDQM を計算することで、個々のドメインに対してその品質を分析することができる。筆者らは文献 [5] で、ISCAS89 ベンチマークデータを用いて、小規模データに対する SDQM の活用を実験で示したが、論理パスの遅延値は簡便のためゲート段数で代用した。

本論文では、SDQM の大規模データに対するフィジビリティを評価するため、商用のテスト生成ツールによるテストパターンセットを用いて、SDQM の計算時間とメモリ量を評価した。また論理パスの遅延値も、ディレー設計で使われる SDF (standard delay format) に書かれた値を読み込んで精度向上を図った。評価に用いた大規模データは、複数のクロックドメインより構成され、それぞれに対するテスト品質についても分析を行った。その結果、SDQM がクロックドメインの特性によって大きく異なること、また従来のテストパターンは微小な遅延欠陥の検出能力について改善を要することを、定量的に論じることができた。

本論文は以下のように構成される。2. では SDQM の定義を述べる。3. は SDQM の計算手法の詳細について述べる。4. は大規模データを用いた実験結果について論じる。5. は結論を述べる。

2. 統計的遅延品質モデル (SDQM)

2.1 仮定故障

遷移遅延故障モデルと同様に、各ゲートの入出力ピンに対する局所的遅延欠陥を扱い、立上り故障 (s, r) 及び立下り故障 (s, f) を考える。ここで s は遅延欠陥の大きさを表し、次節で述べる遅延欠陥分布に従うものとする。各仮定故障の故障発生は独立事象と考える。

2.2 遅延欠陥分布

遅延欠陥分布 $F(s)$ を導入する。ここで s は遅延欠陥の大きさ (遅延値で表す)、 $F(s)$ はその発生確率を示す。 $F(s)$ は文献 [6] ~ [8] に見られるように、実デー

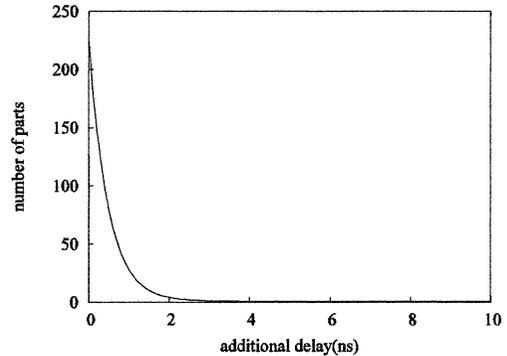


図 1 遅延欠陥分布例

Fig. 1 An example of delay defect distribution.

タの分析データの蓄積や、特別に設計されたテストチップ (TEG) 等により得られることが知られている。文献 [9], [10] では、 $F(s) = \lambda \exp(-\lambda s)$ と指数関数で一般化されて用いられている。ここで λ は指数関数の形状パラメータである。本論文では、分布のすそ野でも遅延欠陥が残る場合にも対応できるようにするため、 $F(s) = a \exp(-\lambda s) + b$ とおく。

本論文の評価に用いる遅延欠陥分布は、文献 [2] のデータをもとに近似的に決定した。文献 [2] では、 $0.18 \mu\text{m}$ テクノロジーの DSP コアを用いて遅延テストを適用し、微小な遅延欠陥の分析を行っている。図 1 は、文献 [2] のデータをシステム動作速度より増加した遅延欠陥値に着目して表現したものである。本データを用いて $F(s)$ を最小二乗法により近似し、 $a = 224.2$ 、 $\lambda = 2.1$ 、 $b = 0.7$ を得た。また、遅延テストは 10 ns から 50 ns のテストタイミングの間でしか適用されていないので、それ以上では $F(s) = 0$ とした。また欠陥発生分布の絶対値は明示されていないため、仮に分布の絶対値が 0.001 ppm (parts per million) となるようにして、最終的に下記の式を得た。

$$F(s) = 1.58 \times 10^{-3} \times \exp(-2.1s) + 4.94 \times 10^{-6}. \quad (1)$$

2.3 統計的遅延品質レベル (SDQL)

ディレー設計上、論理パスは、フォルスパスとトゥルーパスとに分類される [11]。フォルスパスは実際のシステム動作では用いられないために、設計者がタイミング制約の検証対象外とする論理パスである。それ以外の論理パスは、トゥルーパスと呼び、タイミング制約の検証対象とする。タイミング制約は静的タイミング解析 (STA: static timing analysis)[11] ツール

で検証され、フォルスパスは検証対象外とするために、専用のファイルに記述してツールに指定される。STAツールで検証されたトゥルーパスは、制約違反があれば人手または自動で修正され、最終的に制約を満たす。本論文では、こうした最終的な設計データを対象とする。したがって、トゥルーパスはタイミング制約を満たし、フォルスパスはタイミング制約を満たすとは限らない。

本論文で着目するタイミング制約とは、擬似外部入力と擬似外部出力で挟まれた論理回路を、信号がシステム動作時のクロックタイミング以内で伝搬することである。以降論理パスの長さとは、その信号の伝搬遅延値の意味で用いる。なお、外部出力や外部入力にFF (フリップフロップ) を経ずにつながる論理回路は、本論文の対象としない。これらの回路は、チップ外と直接に信号の伝搬を行うために、そのチップだけでタイミング制約を決定できないからである。

今図2で、仮定故障 X (AND 回路の出力ピンの故障) を通過する論理パスのうち、以下の3種類に着目する。与えられた2パターンテストによるテストパターンセットについて考える。

- (A) 最長のトゥルーパス
- (B) いずれかのテストパターン対で活性化されたトゥルーパスの中で最長のパス
- (C) フォルスパス

図3に、上記3種類の論理パス長と、テストに関係する各タイミング (システム動作速度のタイミングを T_{MC} 、テストタイミングを T_{TC} と表す) との関係を示す。ここで、 $T_{mgn}(X)$ は T_{MC} と A タイプの論理パス長の差、 $T_{det}(X)$ は T_{TC} と B タイプの論理パス長の差とする。すなわち、 $T_{mgn}(X)$ は、システム動作に影響を及ぼす最小の遅延欠陥サイズであり、 $T_{det}(X)$ は、与えられたテストパターンセットで実際に除去できる最小の遅延欠陥サイズとなる。仮定故障 X を通過する B タイプの論理パスが存在しないときは、 $T_{det}(X)$ を無限大とする。C タイプの論理パスは、チップの遅延品質に影響しないと考えられる。そのため仮定故障 X が、どのトゥルーパス上にも存在せず、C タイプの論理パス上のみにある場合は、 X を仮定故障の集合 (故障リスト) より除去する。

以上の定義と議論より、図4に示す遅延欠陥分布は $T_{mgn}(X)$ と $T_{det}(X)$ により、以下の三つの領域に分けられる。なお $T_{mgn}(X)$ 及び $T_{det}(X)$ は仮定故障 X ごと、及びテストパターンセットに対して決まる値で

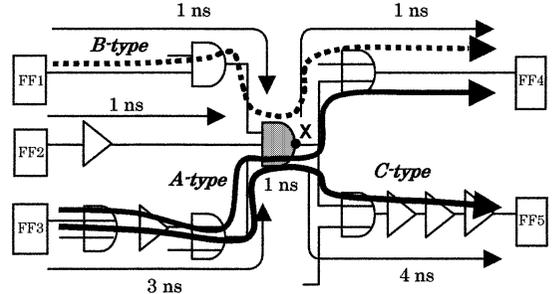


図2 仮定故障を通過する3種類の論理パス
Fig. 2 Three types of paths through a fault X .

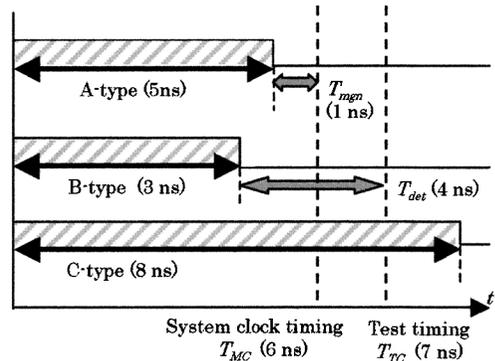


図3 3種類の論理パス長とタイミングの関係
Fig. 3 Timing relations for three types of paths.

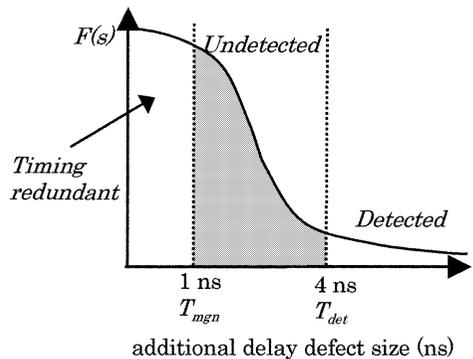


図4 遅延欠陥分布と T_{mgn} 及び T_{det} の関係
Fig. 4 Relations between T_{mgn} , T_{det} and the delay defect distribution.

あるが、明らかな場合は以降簡単のため X を省略して T_{mgn} 及び T_{det} と記すことにする。

- (1) $s < T_{mgn}$.

遅延欠陥は直接はシステム動作に影響しないため、タイミング冗長 (timing-redundant) と呼ぶ。

- (2) $T_{mgn} \leq s < T_{det}$ ($T_{mgn} \neq T_{det}$ のとき)

テストで除去されなかった遅延欠陥であり未検出

(undetected) と呼ぶ。遅延欠陥の発生確率 (遅延故障の発生率) は次式で計算される。

$$\int_{T_{mgn}}^{T_{det}} F(s) ds. \quad (2)$$

$$(3) \quad T_{det} \leq s.$$

テストで検出されるので検出 (detected) と呼ぶ。その発生確率は次式で計算される。

$$\int_{T_{det}}^{\infty} F(s) ds. \quad (3)$$

チップ全体の遅延故障の発生確率は、式 (2) を各仮定故障について合計して次式で表される。ここで、各故障発生は独立事象で、式 (2) の値は十分小さいので、一次近似項のみを考えている。N は故障仮定ノードの数だが、各ノードに対して立上り故障仮定と立下り故障があるので、全体の数は 2N となる。

$$\sum_{k=1}^{2N} \int_{T_{mgn}}^{T_{det}} F(s) ds. \quad (4)$$

式 (4) の値を、チップの統計的遅延品質レベル (SDQL: statistical delay quality level) と定義する。式 (4) より、品質を向上するには、(a) 半導体製造プロセス改善により遅延欠陥発生確率を低減し遅延欠陥分布へ反映する、(b) T_{mgn} の最大化、すなわち設計の遅延変動に対する余裕度を向上する、(c) T_{det} の最小化、すなわちテストタイミングを高速化する (実速度テスト化)、あるいは (d) 長い論理パスを活性化し論理的網羅性を向上したテストパターンセット、等の施策が必要なが量的に分かり、SDQL が品質に影響する各項目を反映する指標であることを示す。また SDQL 算出の過程で、遅延欠陥サイズごとのテストパターンセットの検出能力を評価することから、テストパターンセットの分析と改善検討にも有効に使うことができる。

式 (4) は、チップが複数のクロックドメインから構成される場合も適用可能である。そのときは、クロックドメインごとに A タイプの論理パスを考え、各 T_{mgn} を求める。各 T_{mgn} の最小値が、テストされるべき最小の遅延欠陥値なので、これを仮定故障 X の T_{mgn} とする。同様に各クロックドメインごとに T_{det} を求め、最小値を仮定故障 X の T_{det} とする。

3. SDQL の計算手法の検討

大規模データで SDQL を実際に計算するため、実

用化レベルの故障シミュレータをベースに改造を行った。 T_{mgn} の値は、STA ツールで計算した最長論理パスの遅延値を直接入力して求めた。 T_{det} の値は、テストパターンごとに活性化された論理パスの遅延値を計算する必要があるので、STA ツールで遅延値計算の結果が格納される SDF (standard delay format) からネットごとの遅延値を読み込み、活性化された論理パスごとに各構成ネットの遅延値を加算して求めた。また、複数のクロックドメインにも対応した。

SDQL の計算は、各テストパターン及び仮定故障ごとに、信号変化が擬似外部出力に伝搬するかどうかを論理シミュレーションにより確認し、その伝搬経路を求める必要がある。したがって、仮定故障数とテストパターン数を掛け合わせた回数の論理シミュレーションが必要となり、数 M ゲート規模の回路では数百時間に及ぶことが予想され、実用化困難であると考えた。そこで本論文では、パス遅延故障モデルで用いる活性化論理パス判定による手法を適用した。手法の詳細を 3.1 で説明し、3.2 でその得失を議論する。

3.1 T_{det} 計算手法の検討

3.1.1 活性化遷移判定による方法

最初に各ゲート入力ピンの活性化遷移判定により T_{det} を求めるアルゴリズムを示す。

1. 以下の処理を繰り返し、各仮定故障 X の $T_{det}(X, t)$ を 2 パターンテストの各テストパターン対 t ごとに求める。

1.1 各テストパターン対の 1 時刻目及び 2 時刻目に対して、故障未挿入での論理シミュレーションを行う。

1.2 擬似外部入力から各ゲートの入出力ピンまでの信号伝搬の遅延値を求める。複数の信号伝搬がある場合は、小さい方の遅延値を採用する。

1.3 故障リスト上の各仮定故障 X を順に取り出し、以下の処理を行う。

1.3.1 仮定故障 X に、2 時刻目で仮定故障が顕在化する論理値変化がある場合 (X が立上り故障で論理値変化が立上り、あるいはその逆) は、次のステップへ。そうでない場合はステップ 1.3 へ。

1.3.2 X の 2 時刻目の論理値を反転し (故障の挿入)、論理シミュレーションを行う。

1.3.3 擬似外部出力のどこかの値が、ステップ 1.1 の結果と比べて異なれば故障が検出されたときみなし次ステップへ、なければステップ 1.3 へ。

1.3.4 $D_{in}(X, t)$ をステップ 1.2 で求めた X の存在する入出力ピンの遅延値とする。

1.3.5 X から擬似外部出力に向かって、2 時刻目の論理値がステップ 1.1 の故障未挿入時の論理値と不一致のゲートの入出力ピンをトレースする。トレースしたバスの番号を i 、 X から擬似外部出力までの遅延値も計算し、それを $D_{out}(X, t, i)$ とする。

1.3.6 i に関して最大の $D_{out}(X, t, i)$ を $D_{out}(X, t)$ とする (擬似外部出力ピンが一致する複数のバスがある場合は、その中で一番小さい遅延値を代表させた上で、最大を求める。)

$$1.3.7 \quad D(X, t) := D_{in}(X, t) + D_{out}(X, t) .$$

$$1.3.8 \quad T_{det}(X, t) := T_{TC} - D(X, t) .$$

1.3.9 $T_{det}(X, t)$ と $T_{mgn}(X)$ の値が等しい場合、 X を故障リストより削除する (故障ドロップ)

1.3.10 ステップ 1.2 へ戻る。

2. 各仮定故障に対して、テストパターン対 t ごとに求めた $T_{det}(X, t)$ の最小値を、その仮定故障の $T_{det}(X)$ として選択する。

仮定故障が計算の途中で故障ドロップする可能性は低いと思われるので、本手法ではテストパターン数と仮定故障の数を掛け合わせた回数論理シミュレーションを行う必要があり、処理時間が膨大になると思われる。

3.1.2 活性化論理パス判定による手法

最初にロバスト条件及びノンロバスト条件 [1], [12] について簡単に説明しておく。これらは論理パスを構成する各ゲートの入力 (バス上はバス上入力、それ以外をバス外入力と呼ぶ) について、2 パターンテストの 2 時刻目における信号変化を調べることで判定される。ロバスト条件では、正常時及び故障時とも、信号変化を確実に擬似外部出力まで伝えることができる。ノンロバスト条件では、正常回路では擬似外部出力で信号変化が消える場合があるが、その場合でも故障時はハザードとして検出できる。ノンロバスト条件はロバスト条件を含む。本論文では、ノンロバスト条件について検討する。ノンロバスト条件は「バス上入力のいずれの信号変化に対してもすべてのバス外入力が 2 時刻目に非制御値をとる」である。ここで回路の出力値を決定するような入力値を制御値 (AND 回路の 0 入力や OR 回路の 1 入力)、それだけでは回路の出力値を決定できない入力値を非制御値 (AND 回路の 1 入力や OR 回路の 0 入力) と呼ぶ。

次に筆者らの実験で用いた、論理パス活性化判定により T_{det} を求める手法を示す。

1. 以下の処理を繰り返し、各仮定故障 X の

$T_{det}(X, t)$ を 2 パターンテストの各テストパターン対 t ごとに求める。

1.1 各テストパターン対の 1 時刻目及び 2 時刻目に対して、故障未挿入での論理シミュレーションを行う。

1.2 擬似外部入力から擬似外部出力に向かって、2 時刻目での各ゲートの入力ピン (擬似外部出力も含める) p の論理値変化を調べる。

1.2.1 入力ピン p がノンロバスト条件を満たす場合、信号が伝搬するとみなし活性化フラグをその入力ピン p にセットする。

1.2.2 1.2.1 の場合、擬似外部入力からその入力ピン、あるいは同じゲートの出力ピンまでの遅延値を示す $D_{in}(p, t)$ を計算する。 $D_{in}(p, t)$ は、入力ピンの場合、前段ゲートの出力ピンの $D_{in}(p, t)$ に、配線遅延値を足すことで得られる。出力ピンの場合、前段ゲートの出力ピンの $D_{in}(p, t)$ に、ゲート遅延値と配線遅延値を足すことで得られる。

1.3 活性化フラグのある擬似外部出力に対して、以下の処理を行う。

1.3.1 活性化フラグのある入力ピンを擬似外部出力から擬似外部入力までトレースする。

1.3.1.1 伝搬フラグをトレースしたバス上の各入力ピンにセットする。伝搬フラグはノンロバスト条件を満たす論理パスが擬似外部出力まで伝搬していることを示す。

1.3.1.2 各入力ピンに対して擬似外部出力までの伝搬遅延 $D_{out}(p, t)$ を計算する。 $D_{out}(p, t)$ は、入力ピンの場合、次段ゲートの入力ピンの $D_{out}(p, t)$ に、ゲート遅延値と配線遅延値を足すことで得られる。出力ピンの場合、次段ゲートの入力ピンの $D_{out}(p, t)$ に、配線遅延値を足すことで得られる。

1.3.2 伝搬フラグのある入出力ピン p に対して、以下の処理を行う。

1.3.2.1 入出力ピンの論理値変化が 0 から 1 ならば立上り故障、1 から 0 ならば立下り故障を以下の仮定故障 X とする。

$$1.3.2.2 \quad D(X, t) := D_{in}(p, t) + D_{out}(p, t) .$$

$$1.3.2.3 \quad T_{det}(X, t) := T_{TC} - D(X, t) .$$

2. 各仮定故障に対して、テストパターン対 t ごとに求めた $T_{det}(X, t)$ の最小値を、その仮定故障の $T_{det}(X)$ として選択する。

本手法では、各テストパターン対 t の論理シミュレーション結果に対して、ノンロバスト条件を満たす活性化論理パスを一度に求め、擬似外部出力で観測さ

れた信号伝搬を逆方向にたどることによって、各仮定故障 X の $T_{det}(X, t)$ が一度に求まるので、高速な処理が期待できる。

3.2 T_{det} 計算手法の比較

遷移遅延故障モデルは、大きな故障を 2 パターンテストの 2 時刻目における論理値変化として検出するモデルである。一方、パス遅延故障モデルは小さな故障も検出できるが、検出条件に制約が多い。このためどちらが遅延故障の検出可能性が多いか一概にはいえない。

例えば図 5 は、活性化遷移判定による手法では検出とされるが、活性化論理パス判定による手法では未検出となる例である。図 5(a) は活性化遷移判定、図 5(b) は活性化論理パス判定を示す。立下り故障 f は、右側の AND ゲートでは故障伝搬が二つの経路から合流するため、二つの入力値が制御値となり、ノンロバストのパス活性化条件が満たされない。

一方、図 6 は、活性化論理パス判定による手法では検出とされるが、活性化遷移判定による手法では未検出となる例である。立上り故障 r は、右側の AND ゲートではノンロバストのパス活性化条件を満たしハザードとして検出されるが、活性化遷移判定では論理

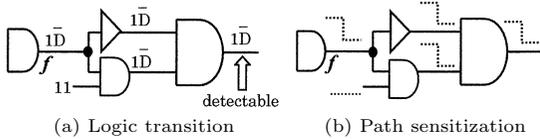


図 5 活性化論理パス判定による手法で未検出の例
Fig. 5 Example of undetectable f by path sensitization.

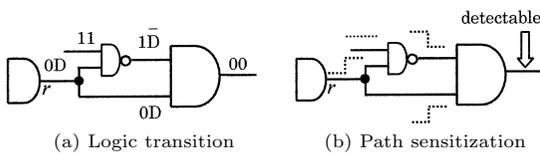


図 6 活性化遷移判定による手法で未検出の例
Fig. 6 Example of undetectable f by logic transition.

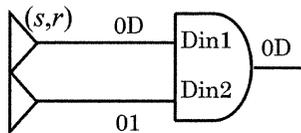


図 7 活性化遷移判定による手法による検出可能な遅延値の例
Fig. 7 Example of detectable delay by logic transition.

変化が見えないため未検出とされる。

図 7 は、活性化遷移判定による手法で検出される遅延値の検討例である。右側の AND ゲートの各入力ピンにおける正常時の遅延値を D_{in1}, D_{in2} とする。立上り故障 r が最長パスで活性化されていて、 $D_{in1} < D_{in2}$ とする。このとき $S < D_{in2} - D_{in1}$ の大きさの遅延故障は伝搬が検出されないことが分かる。しかし D_{in2} の入力値が 1 で変化がない場合を考えると、そのときは $S < D_{in2} - D_{in1}$ の大きさの遅延故障も検出可能である。このように活性化遷移判定による手法では遅延検出値が確定しない例もあることが知られている [13]。

以上の検討をもとに、本論文では高速な処理の面から、活性化論理パスの判定手法を採用した。両手法の検出能力の定量的な検討は、今後詳細な研究が必要と考えられる。

4. 実験結果

4.1 実験に用いたデータ

実験に用いた STARCO3 と呼ぶベンチマークデータの諸元を表 1 に示す。STARCO3 は評価用の SoC データで、90 nm テクノロジーのライブラリで論理合成及びレイアウトを行った。

クロックドメインは 4 種類のドメインより構成される。CLK_A, CLK_A1, 及び CLK_A2 は一つの PLL からのクロックで同期する。CLK_A は 250 MHz で最も早く、CPU や SRAM を駆動し、最大 24 段のゲートより構成される。CLK_B は、28 MHz でデータバスを駆動し、最大 135 段のゲートより構成される。CLK_A1 と CLK_A2 はドメイン内の仮定故障数が少ないので、今回の実験では無視した。

表 1 ベンチマークデータ諸元
Table 1 Specification of benchmark data.

Items	Number of Items
RTL lines	86k
Gates	2M (2-input NAND)
RAMs	2 (52x1024 SRAM)
FFs	69,180
IOs	314
Scan chains	11
Clock domains	4
Assumed faults	4,741,926
Clock domain	Frequency
CLK_A	250MHz (4ns)
CLK_A1	125MHz (8ns)
CLK_A2	62.5MHz (16ns)
CLK_B	28MHz (36ns)

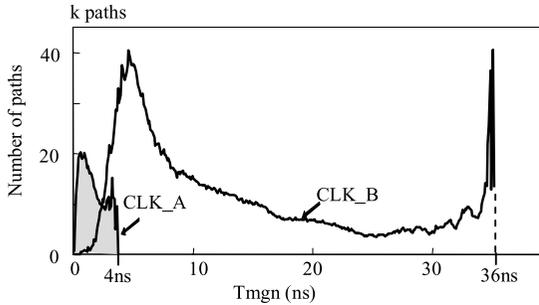


図 8 T_{mgn} の分布
Fig. 8 Distribution of T_{mgn} .

表 2 クロック転送ごとの仮定故障数
Table 2 Assumed faults on each clock pair.

No.	Launch clock	Capture clock	Number
1	CLK_A	CLK_A	404,912
2	CLK_A	CLK_A1	74
3	CLK_A	CLK_A2	142
4	CLK_A1	CLK_A	86
5	CLK_A1	CLK_A1	1,052
6	CLK_A1	CLK_A2	4
7	CLK_A2	CLK_A	94
8	CLK_A2	CLK_A2	73,284
9	CLK_B	CLK_B	2,465,616
10	Other pairs		0

レイアウトでは、遅延値を格納する SDF を作成した。この SDF を用いて、STA ツールにより各仮定故障の T_{mgn} を得た。図 8 は CLK_A と CLK_B に関係した T_{mgn} の分布を示す。X 軸は T_{mgn} 、Y 軸は仮定故障を含む論理パスの本数を示す。CLK_A は 250 MHz 動作で T_{mgn} は 4 ns 以下に分布する。CLK_B は 28 MHz 動作で T_{mgn} は広い範囲に分布する。

表 2 は、各クロックドメイン間の転送に関係する仮定故障の個数を示す。チップ全体の 4,741,926 個の仮定故障と、表 2 の仮定故障の合計 (2,945,264 個) との差は、フォルスパス上の仮定故障である。いくつかの仮定故障は複数のクロックドメイン間のパス上に存在するが、本論文の評価では簡単のため、CLK_A と CLK_A 間、及び CLK_B と CLK_B 間のみを扱う。

4.2 テストパターン品質評価

評価にあたり商用のテスト生成ツールを用いて以下の 3 種類のテストパターンセットを作成した。

(1) 遷移遅延故障テスト

故障検出率 92.85% のテストパターンセットを用いた。

(2) 遷移遅延故障テスト+パス遅延故障テスト

上記の遷移遅延故障テストパターンセットにパス遅延故障テストパターンセットを追加した。パス遅延故障テストパターンセットは、CLK_A 及び CLK_B のクロックドメインで STA ツールにより各 100 k 本までの最長論理パスを抽出し、ロバスト条件でテストパターン生成を行った。その結果、対象とする論理パスに対して、CLK_A では 32%、CLK_B では 9% がパス遅延故障テストパターンを生成できた。パターン圧縮を行った結果、3764 パターンとなり、これを遷移遅延故障テストパターンセットに追加し適用した。

(3) 多重検出遷移故障テスト

N 回検出遷移故障テスト [14] は、各仮定故障を N 回検出し、故障モデル化されていない欠陥のテストに有効だといわれている。本論文では 3 回検出及び 7 回検出のテストパターンセットを作成した。

これら各テストパターンセットについて SDQL を計算した結果を表 3 に示す。SDQL の計算機処理時間、CLK_A 及び CLK_B に対する SDQL の値、チップ全体での SDQL の値を示す。計算機は 1.05 GHz の Solaris ワークステーションを用いた。約 2 M ゲートの論理に対し、パターン数が 6763 のテストパターンセットで処理時間は約 12 時間で、2 GByte のメモリを要した。これは十分運用可能な値と思われる。大規模データでの計算の有効性を示すことができた。なお本評価は CLK_A 及び CLK_B の二つの大きなドメインのみについて行ったが、メモリ量や処理時間は仮定故障数に比例すると推測されることから、表 2 に見られる CLK_A1 や CLK_A2、あるいは異なるクロック間も含めて評価したとしても、対象の仮定故障数が少ないために、その増加量は少ないと思われる。

表 3 では CLK_A の SDQL は、CLK_B の SDQL より少なく、より良いテスト品質を示している。表 3 の遅延故障検出率は、CLK_A の方が CLK_B より低いことから、CLK_A に属する仮定故障数が少ないためと思われる。

パス遅延故障テストの追加により遷移故障遅延だけより約 6 ppm 改善されている。遷移遅延故障検出率で比べると変化がないことから、活性化されたパス数の増加による効果と思われる。

7 回検出遷移故障テストの適用により SDQL は

表 3 STARC03 における SDQL 評価結果
Table 3 SDQL evaluation of STARC03.

Test pattern set	# of patterns	Transition fault coverage			CPU time for simulation (hour)	SDQL (ppm)		
		CLK_A	CLK_B	Chip		CLK_A	CLK_B	Chip
not tested	-	-	-	-	-	112.0	380.8	492.8
transition test	6763	79.34%	94.36%	92.85%	12.2	24.2	92.1	116.3
transition test + path delay test	10527	79.34%	94.36%	92.85%	19.4	21.6	88.7	110.3
transition test (3-detect)	16621	79.34%	94.36%	92.85%	33.1	21.7	87.6	109.3
transition test (7-detect)	77886	79.34%	94.36%	92.85%	126.0	19.8	84.3	104.1

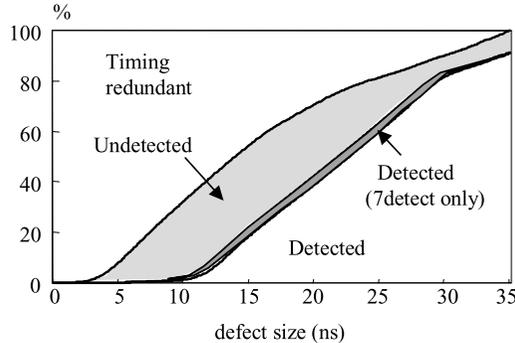


図 9 遅延欠陥サイズごとの論理的検出率 (遅延欠陥検出率曲線)
Fig. 9 Logical coverage according to defect size.

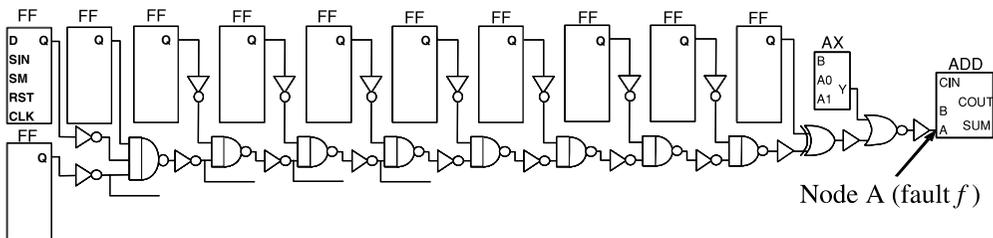


図 10 微小遅延が未検出な仮定故障の入力側回路図
Fig. 10 Schematic view of the fan-in corn of a fault.

104.1 ppm となり、通常の遷移遅延故障テストの 116.3 ppm よりも若干改善されたものの、テストパターン数が 10 倍以上にもなっていることを考慮すると、 N 回検出遷移遅延故障テストの効果は本データでは少ない。

図 9 は遅延欠陥サイズごとの論理的検出率 (以下、遅延欠陥検出率曲線と呼ぶ) を表す。X 軸は遅延欠陥の大きさ、Y 軸は図 4 に示した検出、未検出、及びタイミング冗長に対応する欠陥の論理的比率を表す。

図より、5 ns 以下の十分小さい遅延欠陥はほとんどがタイミング冗長であることが分かる。網掛けの部分は 7 回検出テストにより通常の遷移遅延故障テストよりも多く検出された部分を示すが、改善効果は見ら

れるものの少量である。例えば 25 ns の遅延欠陥サイズで見ると、約 60% が検出、20% がタイミング冗長だが、20% 近くは未検出で残っている。10 ns 以下ではタイミング冗長以外の遅延欠陥はほとんど検出されていないことが分かる。

図 10 は未検出の領域から抽出した具体例の回路図を示す。ノード A における仮定故障 f を見ると、数ゲートから、20 数ゲートにも及ぶ様々な長さの活性化可能な論理パスが、多数存在することが分かる。遷移遅延故障テスト生成ツールは短い論理パスを活性化する可能性が強いため、小さい遅延欠陥に対しては未検出となったものと思われる。このように遷移遅延故障のテスト生成は改善が必要なが具体例でも確認で

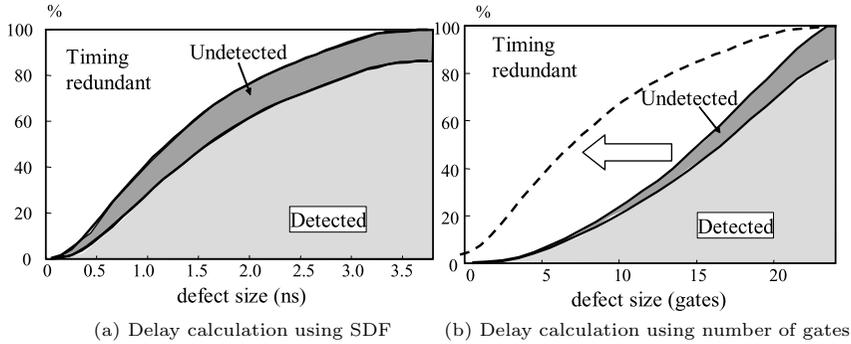


図 11 CLK_A の遅延欠陥検出率曲線比較
Fig. 11 Test analysis comparison at CLK_A.

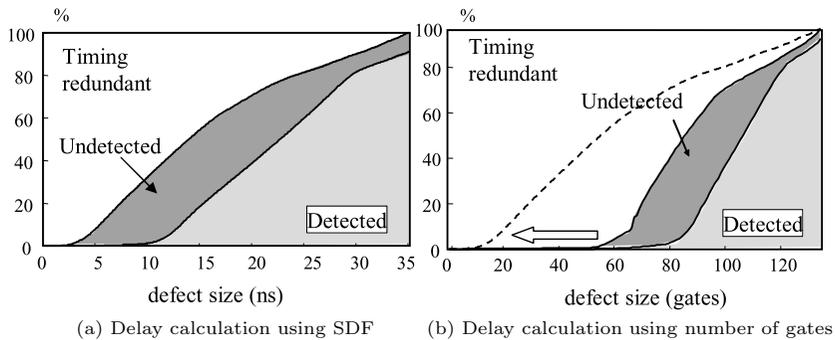


図 12 CLK_B の遅延欠陥検出率曲線比較
Fig. 12 Test analysis comparison at CLK_B.

きた。

4.3 遅延計算に関する考察

遅延を考慮したテストパターン生成では、簡便のため、遅延値の代わりに論理パスを構成するゲート段数(ユニット遅延と呼ぶ)[1]が使われることがある。本論文では、SDFより遅延値を入力した場合と、ユニット遅延の場合の比較を行った。

比較のためユニット遅延による場合を遅延値に換算した。CLK_Bは表1に示すように最大135段で構成され、36nsで動作するので、ゲート1段当り0.26ns(36ns/135段)に対応すると考えた。

(1) CLK_Aに関する考察

図11(a)はSDFを使用した計算結果、図11(b)はユニット遅延による計算結果を示す。図から分かるように二つの図の形状は大きく異なる。図11(a)は図11(b)に比べ、検出(detect)の遅延値の範囲は一致するが、検出率の曲線は左へ寄っている。これは一部で検出された遅延欠陥サイズが小さく、すなわちパス長が長くなる傾向があることを示している。CLK_A

は高速で動作するので各論理パスのゲート段数は少なく、各ゲートの遅延値よりも、ゲート間の配線による遅延値の方が支配的になり遅延が大きくなっていると推測される。微細化製造プロセスにおいて配線の遅延が問題になることは文献[15]にも示されている。

(2) CLK_Bに関する考察

図12(a)はSDFを使用した計算結果、図12(b)はユニット遅延による計算結果を示す。CLK_Bの場合、ゲート段数が多いのでゲート間の配線による遅延値も平均化され、似た結果が得られるのではないかと考えたが、実際は検出の遅延値の範囲が大きすぎていたことが分かった。ユニット遅延を用いた場合(図12(b))、遅延欠陥サイズがゲート段数60以下の範囲では、ほとんど検出されておらず、タイミング冗長に見えている。これは微小な遅延欠陥を検出可能な、すなわち、ゲート段数の多いパスが少数しか存在しないことを意味する。しかし、SDFを使用した実遅延の場合(図12(a))、微小な遅延は未検出として大量に残っていることが分かる。これはゲート段数の少ない

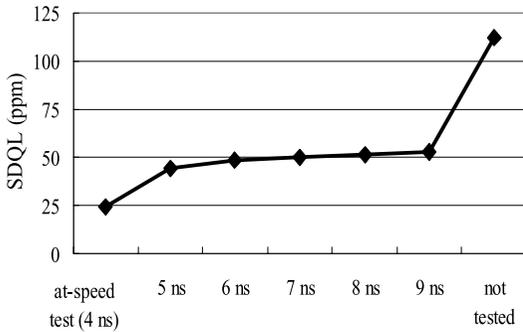


図 13 テストタイミングごとの SDQL 値 (CLK_A)
Fig. 13 SDQL at each test timing in CLK_A.

パスでも、実際のパス長が長くなっているために、微小な遅延を検出することがあることを示す。

このようにゲート段数を用いた簡易的な遅延の計算は、SDF を使用した実遅延の計算に比べて、長いパスに関して大きな相違があることが分かった。SDQL の計算においては、小さな遅延欠陥の発生確率が大きいので、こうした長いパスに関する不正確な計算は、SDQL の計算結果に大きな影響を与える。図 12(b) では SDQL 値を実際よりもテスト品質の良い方に評価してしまう。

以上の実験及び考察により、SDQL における遅延値は、SDF による実遅延値を用いて、正確に計算されねばならないことが分かった。

4.4 テストタイミングの評価

図 13 は、CLK_A におけるテストタイミングの品質に与える影響について、表 3 の遷移遅延故障テストパターンに対する SDQL を用いた評価結果を示す。テストタイミングが 4 ns のところは実速度テストを示す。テストタイミングが遅くなるにつれ、SDQL で示されるテスト品質が悪化し、これは文献 [2], [3] 等で示された実験結果とも定性的に符合する。実速度テストは必要性はよく知られているものの、実際は設計制約や設計工数の関係、あるいはテスト精度の関係で実現が難しいことも多い。そうした際、SDQL はどこまで実速度に近づければよいか、定量的な検討を可能にする。

チップのテスト後の残存不良率は、そのアプリケーションによって要求レベルが異なり、例えば、PDA やワイヤレス用途では 50~2000 ppm 以下だが [16]、自動車用途では 4 ppm 以下という報告がある [17]。SDQL を用いることで要求レベルに対する定量的検討を可能にしていくと思われる。

5. むすび

本論文では統計的遅延品質モデル (SDQM) を大規模データに適用し、そのフィージビリティの評価を行った。SDQM は微小な遅延欠陥のテスト品質を評価するため、半導体製造プロセスの品質、設計の遅延変動に対するロバスト性、テストタイミング精度、及びテストパターンセットの論理的網羅性を総合的に反映して、SDQL で示される品質指標を求める。実験により以下の結果が確認できた。

(1) 大規模ベンチマークデータを用いて提案した計算手法で評価した結果、運用可能なレベルの計算機時間及びメモリ量で、SDQL が求まることを確認できた。

(2) SDQL を求めるための遅延計算においては、ゲート段数による簡易計算は精度が低く、実遅延値を用いた高精度の計算が必要なことを示した。特に、論理パスが長い場合に高精度の計算が重要である。

(3) 商用のテスト生成ツールで作成した遷移遅延故障テストパターンセットを評価することにより、以下の結論を得た。

- 仮定故障数の少ない論理部では、従来手法のテストパターンセットでも低い SDQL、すなわち高い品質が得られた。

- 仮定故障数の多い論理部では、従来手法のテストパターンセットでは高い SDQL、すなわち品質が低いことが分かった。また多重検出遷移遅延故障テストを用いても改善の効果が少ないことを確認した。具体例の分析の結果、長い論理パスの活性化が難しく、SDQL 値の改善を難しくしていることが分かった。

以上に示したように、SDQM を用いることにより、遅延故障テストの品質が定量的に評価可能になり、テストパターンセットの改良、あるいは遅延設計の改良へ結び付けることが可能になるとと思われる。

謝辞 本研究に御協力頂いた多くの方々に感謝します。特にルネサステクノロジーの中尾教伸氏は、SDQM のモデル化について御討論頂きました。日立製作所の佐藤元幸氏は、SDQM の評価について御協力頂きました。本研究は、国の経済活性化のための研究プロジェクトであるフォーカス 21 における助成事業の一つとして、独立行政法人新エネルギー・産業技術総合開発機構 (NEDO) の支援を受けて実施したものです。

文 献

- [1] A. Krstic and K.T. Cheng, Delay Fault Testing for

- VLSI Circuits, Kluwer Academic Publishers, 1998.
- [2] S. Mitra, E. Volkerink, E. McCluskey, and S. Eichenberger, "Delay defect screening using process monitor structures," Proc. IEEE VLSI Test Symposium, pp.43-52, 2004.
- [3] B. Kruseman, A.K. Majhi, G. Gronthoud, and S. Eichenberger, "On hazard-free patterns for fine-delay fault testing," Proc. IEEE International Test Conference, pp.213-222, 2004.
- [4] J.J. Liou, L.C. Wang, A. Krstic, and K.T. Cheng, "Experience in critical path selection for deep sub-micron delay test and timing validation," Proc. Asia and South Pacific Design Automation Conference, pp.751-756, 2003.
- [5] Y. Sato, S. Hamada, T. Maeda, A. Takatori, and S. Kajihara, "Evaluation of the statistical delay quality model," Proc. IEEE Asian and South Pacific Design Automation Conference, pp.305-310, 2005.
- [6] P. Nigh and A. Gattiker, "Test method evaluation experiments and data," Proc. IEEE International Test Conference, pp.454-463, 2000.
- [7] D.M. Wu and C.E. Radke, "Delay test effectiveness evaluation of LSSD-based VLSI logic circuits," Proc. ACM/IEEE Design Automation Conference, pp.291-295, 1991.
- [8] N.N. Tendolkar, "Analysis of timing failures due to random AC defects in VLSI modules," Proc. ACM/IEEE Design Automation Conference, pp.709-714, 1985.
- [9] D.S. Cleverley, "Product quality level monitoring and control for logic chips and modules," IBM J. Res. Develop, vol.27, no.1, pp.4-10, Jan. 1983.
- [10] L.C. Wang, A. Krstic, L. Lee, K.T. Cheng, M.R. Mercer, T.W. Williams, and M.S. Abadir, "Using logic models to predict the detection behavior of statistical timing defects," Proc. IEEE International Test Conference, pp.1041-1050, 2003.
- [11] S. Sapatnekar, Timing, Kluwer Academic Publishers, 2004.
- [12] 米田友洋, 梶原誠司, 土屋達弘, ディベンダプルシステム, pp.220-222, 共立出版, 2005.
- [13] S. Irajpour, S.K. Gupta, and M.A. Breuer, "Multiple tests for each gate delay fault: Higher coverage and lower test application cost," Proc. IEEE International Test Conference, paper. 47.2, 2005.
- [14] I. Pomeranz and S.M. Reddy, "On n-detection test sets and variable n-detection test sets for transition faults," Proc. IEEE VLSI Test Symposium, pp.173-180, 1999.
- [15] International technology roadmap for semiconductors, 2003 edition.
- [16] J.M. Carulli, Jr. and T.J. Anderson, "Test connections — Tying application to process," Proc. IEEE International Test Conference, paper 28.2, 2005.
- [17] B. Vermeulen, C. Hora, B. Kruseman, E.J.

Marinissen, and R.V. Rijsinge, "Trends in testing integrated circuits," Proc. IEEE International Test Conference, pp.688-697, 2004.

(平成 17 年 12 月 1 日受付, 18 年 3 月 1 日再受付)



佐藤 康夫 (正員)

昭 51 東大・理・数学卒。昭 53 同大学院理学系研究科修士課程了。平 17 東京都立大学大学院工学研究科博士課程了。博士(工学)。昭 53 (株)日立製作所入社。H15 より H18 まで (株)半導体理工学研究センターへ出向。論理 LSI のテスト容易化設計及び故障診断の開発に従事。現在 (株)日立製作所マイクロデバイス事業部設計本部主管技師。



浜田 周治 (正員)

昭 63 明大・工・電子通信卒。平 2 同大学院博士前期課程了。同年富士通(株)入社。以来, 故障診断, テスト生成, DFT, LSI 品質の研究開発に従事。平 15 より平 18 まで (株)半導体理工学研究センターへ出向。



前田 敏行 (正員)

平 8 阪大・工・応用物理卒。平 12 同大学院博士課程了。工博。平 13 日本電気(株)入社。平 14 NEC エレクトロニクス(株)へ転籍。平 15 より平 18 まで (株)半導体理工学研究センターへ出向。DFT, ATPG, 品質評価手法に関する研究開発に従事。IEEE 会員。



高取 厚夫

平 10 名大・理・数学卒, 平 12 同大学院多元数理科学研究科博士前期課程了。同年富士通 VLSI (株)入社。平 15 より平 18 まで (株)半導体理工学研究センターへ出向。DFT, ATPG の開発に従事。



野津山泰行 (正員)

昭 60 東京大学大学院理学系研究科博士課程了。理博。同年(株)東芝半導体技術研究所に入社。マイクロプロセッサのテスト容易化設計に従事。平 5 現システム LSI 第一事業部に異動。故障シミュレーション, IDDQ テスト, ブリッジ故障テスト等に従事, 現在に至る。平 15 より平 18 まで(株)半導体理工学研究センターへ出向(兼務)。



梶原 誠司 (正員)

昭 62 広島大・総合科学・総合科学卒, 平 4 阪大大学院工学研究科博士後期課程了。博士(工学)。同大・工・応用物理助手を経て, 平 8 九州工大・情報工学・電子情報助教授。平 15 より, 同大教授。この間, 平 9~11 阪大大学院工学研究科助教授(併任)。VLSI のテスト生成, テスト容易化設計などの研究に従事。平 8 本会学術奨励賞, 平 14 情報処理学会山下記念研究賞, 平 17 本会論文賞受賞。情報処理学会, IEEE 各会員。