

スケーリング IGBT が拓くパワーエレクトロニクスの新しいパラダイム

パワーエレクトロニクスの新パラダイム

平本 俊郎*, 大村 一郎**

Insulated Gate Bipolar Transistor (IGBT)のスケーリング則は、デバイス性能の向上に加えて、ゲートドライブ電圧の低減により集積回路と一体化することを可能とする。我々は量産性に優れたシリコンテクノロジーと独自のスケーリング IGBT の

概念をベースに、Internet of Things (IoT)や人工知能(AI)を駆使してパワーデバイス制御を自動最適化するパワーエレクトロニクスの新パラダイム構築を目指している。本稿ではその基本コンセプトと研究の一部を紹介する。

1. まえがき

1.1 ネガワットコスト

21世紀は電気の時代であり、2050年までに電気エネルギーはOECD諸国で16%、非OECD諸国で145%の莫大な電力需要の増加が予想されている¹⁾。このような時代のCO₂の削減では、電力を高い効率で利用し融通するパワーエレクトロニクス技術の普及が重要である。

最近では、パワーエレクトロニクス技術による電力の高効率利用技術の重要度は、リニューアブルエネルギーと同等の価値があると考えられるようになってきた。すなわちパワー半導体やパワーエレクトロニクス技術による効率向上により削減されたエネルギー消費分は、CO₂を発生しない発電と等価である²⁾という考え方が定着してきている。このような、効率改善による「発電」を「ネガワット」²⁾と呼び、そのキロワット時当たりのネガワット発電にかかる費用をネガワットコストと定義する^{3,4)}。

CO₂削減に欠かせないネガワット発電の拡大には高効率パワーエレクトロニクス技術の普及が必須であり、高い量産性によるネガワットコストの改善がカギとなる。

高効率パワーエレクトロニクス普及の課題の一つに人材育成がある。従来、パワーエレクトロニクス技術やパワー半導体デバイス制御技術には熟練したエンジニアの経験が必要とされ、日本企業の競争力の源と考えられてきた。ところがパワーエレクトロニクス技術の世界的な普及が急務となり、国内エンジニア

の不足が、近い将来、市場の獲得への足かせになると予想されている。中国等では人材育成が加速しており、この分野での競争力の逆転が危惧されており、新概念技術の研究開発が急がれている。

また、電力の利用形態も大きく変化しようとしている。電力コストは人々が利用する様々なサービスへの対価の一部として位置付けられ、サービスと電力の関連が高度化する^{3,4)}。このような高度電力化社会実現の観点からも、パワーエレクトロニクスの新たなパラダイムの転換が求められている。

1.2 IoT, AI によるパワーエレクトロニクスの新パラダイム

一方、高度に発展した大規模集積回路(VLSI)技術の恩恵を受け、ビッグデータやIoT (Internet of Things), 人工知能(AI)といった技術が開花しつつあり、我々の生活様式や社会に大きな変革がおこりつつある。

パワーエレクトロニクス分野でもIoTやAIの可能性は大きなインパクトを持つ。IoTとAIを駆使したデジタル技術を活用したパワーデバイスのエンジニアリングが可能となれば、高度電力化社会で必要とされる様々な価値が生み出され、パワーエレクトロニクスの新しいパラダイムが拓かれる。さらに、我が国の競争力を新しい次元で強化するとともに、エンジニア不足を解決し拡大する市場へ対応することが可能になる。

我々は、高い量産性を持つシリコンテクノロジーと独自のス

*東京大学生産技術研究所 〒153-8505 東京都目黒区駒場 4-6-1

分類番号 3.1, 11.9

**九州工業大学 生命体工学研究科 〒808-0196 北九州市若松区ひびきの 2-4

e-mail: hiramoto@nano.iis.u-tokyo.ac.jp

New Paradigm of Power Electronics Opened by IGBT Scaling

Toshiro HIRAMOTO* and Ichiro OMURA**

*Institute of Industrial Science, The University of Tokyo (4-6-1 Komaba, Meguro-ku, Tokyo 153-8505)

**Kyushu Institute of Technology (2-4 Hibikino, Wakamatsu-ku, Kitakyushu, 808-0196)

ケージング則を組み合わせることで低ネガワットコストを実現する IGBT の開発を進めるとともに、スケールリングにより生み出される制御の高度化、特に IoT や AI との親和性についても検討を行い、パワーエレクトロニクスの新パラダイムに向けた技術開発を始めている。

本稿では、パワーエレクトロニクスの新パラダイムの概念とその研究の一端を紹介する。まずスケールリング IGBT の原理を述べ、拠点大学における試作と原理実証実験および低電圧ゲートドライブによるスイッチング試験の結果を述べる。さらに、デジタルゲートドライブ技術と AI 制御について述べ、最後に将来の方向性について述べる。

2. ネガワットコストを削減するスケールリング IGBT と大学での技術開発

2.1 スケールリング IGBT の原理

パワーエレクトロニクスの新パラダイムでキーとなる技術は、独自に開発した日本発の Si-IGBT のスケールリング則である⁵⁾。IGBT は、600V-6.5kV の電圧をカバーする高耐圧半導体デバイスである。IGBT は高い耐圧を得るため非常に長いベース領域（数十ミクロンから数百ミクロン）を持つが、電子とホール双方のキャリアをベース領域に注入・蓄積することで伝導度変調が速く、高電流を導通できる特徴を持つ。また MOS ゲート部によりキャリアの注入を制御するため比較的高速なスイッチング特性を有する⁶⁾。開発当初は MOS 部はプレーナー構造であったが、その後、MOS 部に深いトレンチ構造が採用され、さらにメサ部と呼ばれるトレンチで挟まれたベース領域を狭くすることにより IE 効果が起こりキャリアの注入量増加により性能が向上することが発見された⁷⁾。現在では IGBT はキロワットからギガワットの広い容量範囲のほとんどのパワーエレクトロニクス機器で用いられる代表的な大電力パワーデバイスとして量産されている。

IGBT では、CMOS と同様な微細化を行うことで当然ながら MOS ゲート部の性能を向上させることができる。ところが、微細化によって高密度化した MOSFET 構造部分からキャリアが逆注入（漏出）し、導通時の抵抗が上昇するという問題があった。すなわち微細化ではさらなる IE 効果の向上は期待できないという考えが一般的であった。

本研究では IGBT 構造に対し独自のスケールリング則を採用する。図 1 に田中、大村が提案したスケールリング IGBT の模式図を示す⁵⁾。ここでスケールリング係数を k とする。MOS 駆動部は従来の MOS トランジスタのスケールリング則に従い微細化する。微細化に従いゲート電圧も低減する。微細化の結果、MOS 部の密度を上げることも可能だが、密度は上げず MOS 部の間隔（セルピッチ）は一定とする。その結果、MOS ゲート部の性能もある程度向上させつつ、MOSFET 構造でのキャリアの逆注入を抑え、長いベース領域全域にわたってキャリア注入レベルを向上させることができる。すなわち、この独自スケールリングにより IE 効果がさらに促進され、高電流時でもベース領域および MOS ゲート部双方の導通抵抗を低減できる。

スケールリングによる各パラメータを表 1 に示す。さらに、従

来の IGBT では 6 ミクロン程度の拡散層やトレンチゲートを特殊なプロセスで形成したが、スケールリング IGBT では、浅い構造のみで構成されるため、熱処理時間の短縮など、量産性の向上が期待できる。

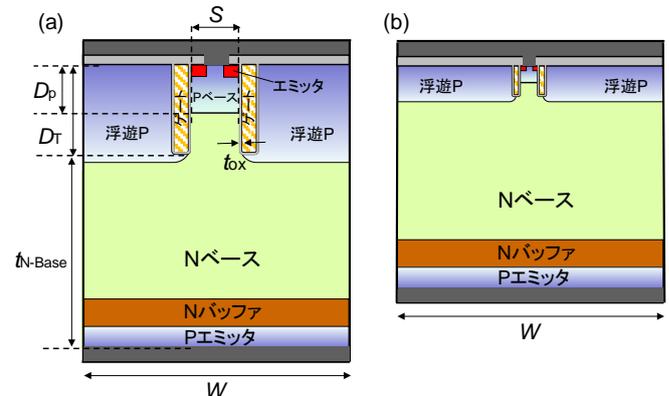


図 1. IGBT の断面模式図⁵⁾。(a) 微細化していない従来構造。k=1 の場合。(b) スケールリング IGBT。k=3 の場合。

このスケールリング則のメリットの一つは、ゲート駆動電圧もスケールされ、従来の 15V から 5V に低減できることである。5V 化によりゲートドライブ回路が通常の CMOS 工程での構成が可能となり、ひいてはデジタルインタフェースを介して AI や IoT などとの親和性が高まる。また、従来はゲートドライブ電力を寄生容量の削減により低減してきたが、低電圧化により一気にゲートドライブ電力の低減が可能となる。

図 2 にスケールリングによる IGBT 特性のシミュレーション結果を示す。N ベース内のキャリアがほぼ均一となる理想的なフラットキャリアプロファイルを仮定した場合である。ゲート電圧が低減されているにもかかわらず、 k を上げると（微細化すると）電流密度が向上していることがわかる。

表 1. IGBT スケールリングによる各パラメータ⁵⁾。k=3 ではゲートドライブ電圧が 5V となる。

IGBT のパラメータ	k=1	k=3	比
セルピッチ W (μm)	16	16	1
メサ幅 S (μm)	3	1	1/k
トレンチ深さ D_T (μm)	6	2	1/k
Pベース深さ D_p (μm)	3	1	1/k
ゲート酸化膜厚 t_{ox} (nm)	100	33	1/k
ゲートドライブ電圧 V_g (V)	15	5	1/k

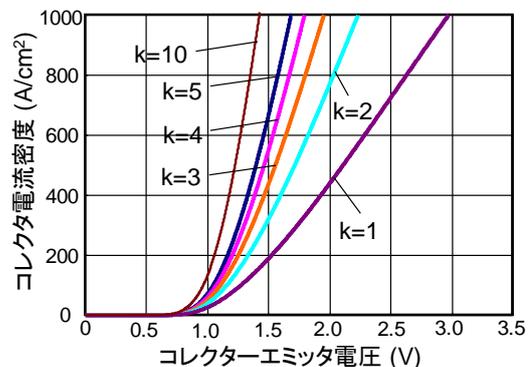


図 2. スケールリング IGBT のオン特性のシミュレーション結果⁵⁾。ほぼ理想的なフラットキャリアプロファイルを仮定している。微細化するほど電流密度が向上する。

2.2 原理確認実験

前節で示したスケーリング IGBT の IE 効果を実証するため、 $k=3$ のスケーリング IGBT と $k=1$ の従来構造 IGBT を試作してオン特性の比較を行った。デバイス有効面積は $1440\mu\text{m}^2$ で、
 120 ガードリングをもたないテストデバイスであり、デバイスパラメータは表 1 のとおりである。N ベース長は耐圧 1000V 級に対応する $120\mu\text{m}$ である。図 3 に電流-電圧特性の実測結果を示す⁸⁾。
 125 $k=3$ のスケーリング IGBT ではゲート電圧が 5V に低減されているにもかかわらず、 $k=1$ の従来 IGBT と比較して電流密度が 2 倍に増大していることがわかる。これにより、スケーリングによる IE 効果の向上が初めて実証された。

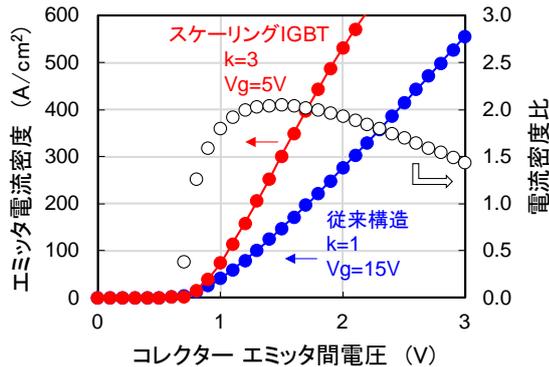


図 3. 試作したスケーリング IGBT の電流-電圧特性⁸⁾。スケーリングした新構造 $k=3$ では従来構造 $k=1$ と比較して 2 倍の電流密度が得られており、スケーリングによる IE 効果を実証された。

2.3 大学での高耐圧デバイス試作

パワーエレクトロニクスの新パラダイムの有用性を実証するには、数 A 級の大電流および 1000V 級または 3000V 級の耐圧を有する IGBT を試作し、新設計によるデジタルゲートドライバ IC にて実際に駆動する必要がある。本研究では、将来のパワーデバイス研究拠点化を見据え、大学での研究が我が国の産業競争力強化に繋がるとの観点から、大面積・高耐圧デバイスの試作も産学連携をベースに大学にて行っている。
 135

図 4 に大学で設計・試作した 1000V 級の大電流 $k=3$ IGBT チップの測定結果を示す。図 4 (a) (b) はオン特性とオフ特性である。5A のオン電流と 1100V を越える耐圧が観測されている。チップ写真を挿入図に示す。図 4 (c) は、次節で紹介するデジタルゲートドライバ IC で駆動したスイッチング試験の結果である。ゲート駆動電圧は 5V である。これは、5V 駆動 IGBT スwitching 試験の初めての成功例である。なお、本試作チップでは裏面の P 型層を薄くすることでホール注入を抑制した構造を採用しており、スイッチング特性を犠牲にせず導通特性と改善できるよ
 140 トドライバ IC で駆動したスイッチング試験の結果である。ゲート駆動電圧は 5V である。これは、5V 駆動 IGBT スwitching 試験の初めての成功例である。なお、本試作チップでは裏面の P 型層を薄くすることでホール注入を抑制した構造を採用しており、スイッチング特性を犠牲にせず導通特性と改善できるよ
 145 に設計している⁹⁾。以上の結果から、一般に大学では困難であるとされる大面積チップのパワーデバイス試作が大学でも可能であることが示された。

一方、3000V 級のデバイス試作も行っている。図 5 に大学で設計・試作した 3000V 級 pin ダイオードの耐圧試験の結果を示す。
 150 最終ガードリングを含むチップ面積は 49mm^2 である。設計通り 4000V 以上の耐圧が得られていることがわかる。

IE 効果による高電流密度化をさらに促進するにはキャリアの長寿命化が有効であり、耐圧が高いスケーリング IGBT ほどそ

の効果は大きい。そこでプロセス後も長寿命が維持できるウェーハ製造およびプロセスインテグレーションの研究も併せて行っている。このようにスケーリングにより高電流密度化が進めば Si-IGBT の量産性はさらに上がり、パワーエレクトロニクス機器の普及によるネガワットコストの低減が期待できる。

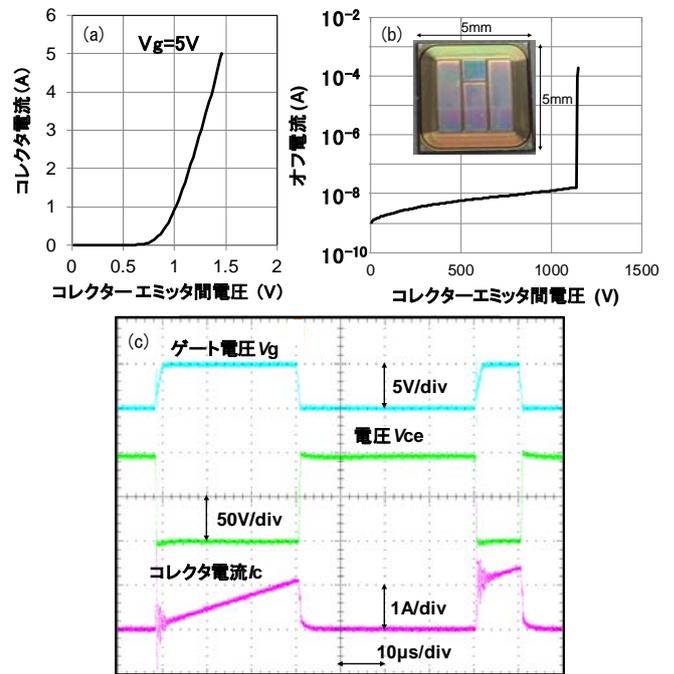


図 4. (a) 試作した大電流 $k=3$ スケーリング IGBT のオン時の電流-電圧特性。(b) オフ時の電流-電圧特性。挿入図にチップ写真を示す。(c) 5V 駆動デジタルゲートドライバ IC によるスイッチング試験の波形。ゲート駆動電圧 5V によるスイッチングに初めて成功した。

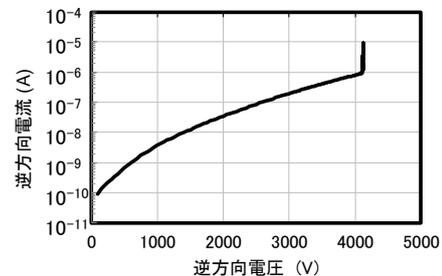


図 5. 大学にて試作したガードリングを有する pin 終端ダイオードの耐圧特性。4000V 以上の耐圧が確保されている。

3. IoT, AI とパワー素子とをつなげるデジタルゲート駆動技術

3.1 スケーリング IGBT とデジタルゲート技術

モーター駆動等に用いられていたバイポーラトランジスタ (BJT) やゲート・ターンオフ・サイリスタ (GTO) は、1990 年代以降 MOS ゲート素子である IGBT へ置き換えが進んだ。その際 MOS ゲート素子がインテリジェント化 (保護回路やゲート駆動回路を内蔵化) に適しているため、IGBT モジュールの内部にゲート駆動 IC や保護機能を集積したインテリジェント・パワーモジュール (IPM) が製品化された。IPM は一定容量以下のパワー半導体市場で成功を収めた。しかし、これらの機能は従来の IGBT が高いゲート電圧で駆動されていることもありアナログベースで構成され、昨今の急速に高度化しているデジタル技術

175 を十分に活用できてこなかった。

スケーリング IGBT ではゲート駆動に必要な電圧が大幅に引き下げられ、ゲート駆動に必要なパワーは約 1/10 に減少する。この結果、従来、高耐圧 IC プロセスを用いて大きな面積を必要としていたゲートドライバ IC が CMOS ベースの小型チップになり、

180

センサ、プロセッサ、通信、ストレージなど様々なデジタル回路の資産を集積化できる。この変化は、パワーエレクトロニクスと IoT や AI などの先端デジタル技術との融合の先駆けとなるものである。

3.2 デジタルゲート駆動 IC の試作と効果

185

デジタルゲート駆動技術の基本構成例を図 6 に示す¹⁰⁾。IGBT に与える任意のゲート電流/電圧波形をデジタル信号に基づいて発生するデジタルゲートドライブ回路と、それを制御するデジタルコントローラ（組み込みコンピュータ）、さらに AD 変換を介したセンスおよびフィードバック機能が含まれる。

190 図 7 は試作したデジタルゲート駆動回路である^{11,12)}。クロック

195

に合わせて与えられる 6 ビットの信号から、IGBT の MOS ゲートに流すゲート電流を 63 段階で変化させる機能を持つ。ゲートドライバがデジタル化され、クロック信号とビット信号によるゲート波形形成機能を持たせたことで、従来のアナログ IPM では想像できなかった効果が表れてきた。例えば AI にも用いられているシミュレーテッド・アニーリング法という最適解探索アルゴリズムを用いて IGBT のスイッチング波形の自動最適化が可能になった(図 8)。このような自動最適化の導入によりスイッチング損失等を大幅に削減できることが分かり、IGBT の新しい

200

ポテンシャルを引き出すことに成功した。デジタルゲートドライブコントローラの開発では、さらに通信機能、センサ機能、メモリの搭載が考えられ、それらを制御するプログラムの開発には Hardware-in-the-loop (HIL) などのデジタルシステム開発ツールの導入が必要になるとと思われる。さらに、ゲート電圧低減で課題となるノイズ対策やパッケージ寄生インダクタンスの低減に向けた技術開発が併せて必要になる。

205

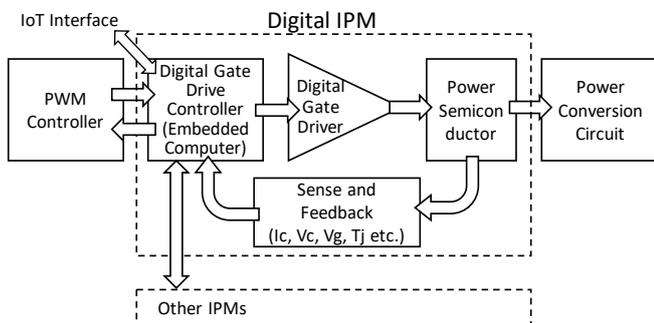


図 6. デジタル IPM とデジタルゲート駆動技術の基本構成。¹⁰⁾

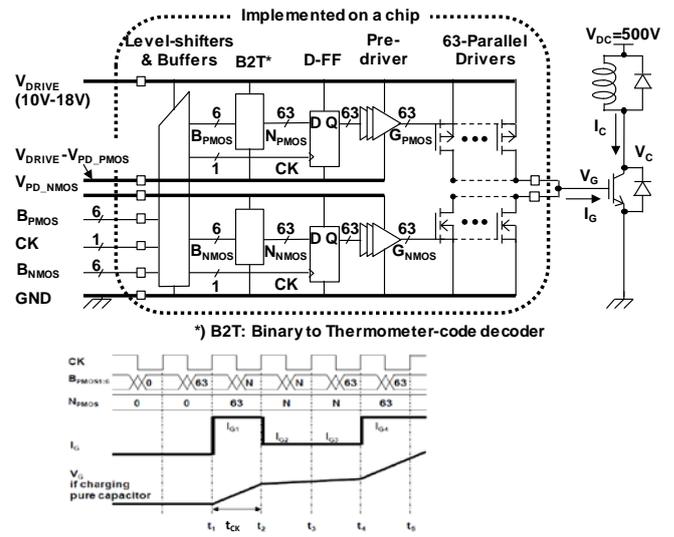


図 7. デジタルゲートドライブ IC のダイアグラム^{11,12)}。

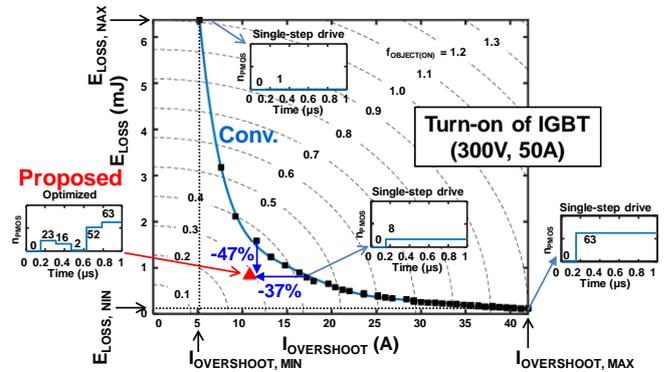


図 8. シミュレーテッド・アニーリング法を用いたゲート駆動パターンの最適化の例^{11,12)}。

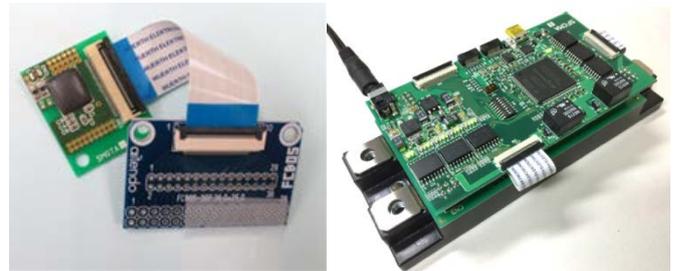


図 9. デジタルゲートドライブ IC (左) とそれを内蔵する IGBT モジュール (IPM) と制御用 FPGA 基板 (右)^{13,14)}。

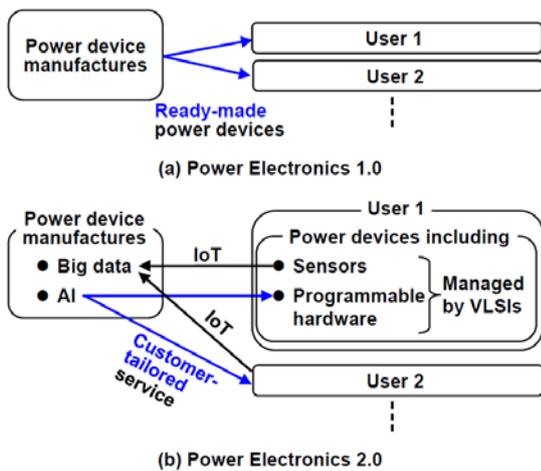


図 10. (a)従来のパワーエレクトロニクス. (b) AI, IoT を駆使した新しいパワーエレクトロニクス. ¹²⁾

215 4. 将来の方向性

従来の IGBT モジュールや IPM の市場は今後も引き続き拡大することが見込まれるが、我が国の企業が製造する IGBT の競争力を強化するシナリオは、単なる性能改善の延長線上には無い。今回紹介したスケーリング IGBT のデバイス・プロセス技術は、IoT や AI と親和性をもつゲートドライバ IC を内蔵したパワーモジュール技術 (図 9) ^{13, 14)} とともに、パワー半導体の分野で引き続き我が国が競争力を保持するために必要不可欠な技術の一つとなる。その結果、パワー半導体がプログラマブルになり、通信やセンシング・モニタリング機能が強化され、高宮らが Power Electronics 2.0 と呼んでいる新しいパワーエレクトロニクス ^{12, 15)} のパラダイム (図 10) が広がると思われる。

230 5. むすび

独自のスケーリング則をベースにした IGBT の開発とスケーリングにより可能となった CMOS レベル電圧でのデジタルドライブ技術について、その基本コンセプトと研究成果の一部を紹介した。スケーリング則により量産性に優れた Si-IGBT は、高電流をハンドリングできるようになり、デジタルドライブ技術により IoT や AI の技術を活用して損失やノイズの低減、高信頼化が可能になる。これらの技術は過去に設定されたデバイス限界性能を凌駕し、ネガワットコストを低減するとともに、^{16) 290} ーエレクトロニクスの新パラダイムの構築を可能にすると確信している。

240 謝辞

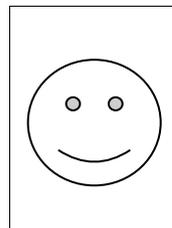
本研究は、NEDO 低炭素社会を実現する次世代パワーエレクトロニクスプロジェクトの新世代 Si パワーデバイス技術開発の一環で行われた。また、本研究は、プロジェクト企画起案元である一般社団法人 NPERC-J の産学メンバーの極めて緊密な連携のもと実施された。

文献

1) International Energy Agency, Energy Technology Perspectives 2014 - Harnessing Electricity's Potential, <http://www.iea.org/etp/etp2014/> (2014).
 2) Amory Lovins, The Green Energy Conference, <http://www.ccnr.org/amory.html>,

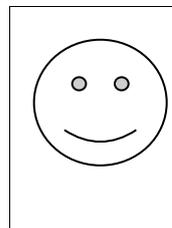
(1989).
 3) NEDO 平成 20 年度調査報告書, Q05018 (2009).
http://www.nedo.go.jp/library/seika/shosai_200910/20090000000868.html
 4) I. Omura, Int. Conf. Integrated Power Electronics Systems (CIPS), Paper 14.2, (2010)
 5) M. Tanaka and I. Omura: Solid State Electronics, **80**, 118 (2013).
 6) A. Nakagawa, H. Ohashi, M. Kurata, H. Yamaguchi, and K. Watanabe: IEEE Int'l Electron Devices Meeting (IEDM), 860 (1984).
 7) M. Kitagawa, I. Omura, S. Hasegawa, T. Motoki, and A. Nakagawa: IEEE Int'l Electron Devices Meeting (IEDM), 679 (1993).
 8) K. Kakushima, T. Hoshii, K. Tsutsui, A. Nakajima, S. Nishizawa, H. Wakabayashi, I. Muneta, K. Sato, T. Matsudai, W. Saito, T. Saraya, K. Itou, M. Fukui, S. Suzuki, M. Kobayashi, T. Takakura, T. Hiramoto, A. Ogura, Y. Numasawa, I. Omura, H. Ohashi, and H. Iwai: IEEE Int'l Electron Devices Meeting (IEDM), 268 (2016).
 9) S. Eicher, F. Bauer, A. Weber, H. R. Zeller, and W. Fichtner, Int'l Symp. Power Semiconductor Devices (ISPSD), 261 (1996).
 10) I. Omura, W. Fichtner, H. Ohashi, T. Ogura and H. Ninomiya: US patent, US 6153896 (1998).
 11) K. Miyazaki, S. Abe, M. Tsukuda, I. Omura, K. Wada, M. Takamiya, and T. Sakurai: IEEE Transactions on Industry Applications, **53**, 2350 (2017).
 12) M. Takamiya, K. Miyazaki, H. Obara, T. Sai, K. Wada, and T. Sakurai: Proc. Int'l Symp. Power Semiconductor Devices (ISPSD), 29 (2017).
 13) H. Obara, K. Wada, K. Miyazaki, M. Takamiya, and T. Sakurai: IEEE Applied Power Electronics Conference and Exposition (APEC), 1153 (2017)
 14) 小原秀嶺, 秋山寿夫, 和田圭二, 附田正則, 大村一郎, 宮崎耕太郎, 高宮真, 桜井貴康, 電気学会産業応用部門大会 (発表予定) (2017).
 15) J. Kolar, Int. Conf. Integrated Power Electronics Systems (CIPS), (2014).

Profile



平本 俊郎 (ひらもと としろう)

1989 年東京大学大学院工学系研究科博士課程修了。工学博士。(株)日立製作所デバイス開発センタ、東京大学生産技術研究所助教授を経て 2002 年同教授。応用物理学会フェロー。2016 年より応用物理学会理事。



大村 一郎 (おおむら いちろう)

1987 年大阪大学理学研究科博士前期課程修了。(株)東芝研究開発センタ、東芝セミコンダクター社を経て 2008 年より九州工業大学教授。1996 年から 97 年にかけてスイス連邦工科大学客員研究員。2000 年に同大学より博士号。

【英文要旨】120Words 以内でお書きください

The IGBT (Insulated Gate Bipolar Transistor) scaling improves the device performance and reduces the gate drive voltage, resulting in the integration with the advanced CMOS VLSI. Based on the concept of the IGBT scaling, our target is to establish a new paradigm of power electronics where the automatic optimization is realized in power device control by using IoT (Internet of Things) and AI (Artificial Intelligence). In this article, the research background, the basic concept, and a part of research achievements are described.

用語解説

310

1) インジェクションエンハンスメント (IE) 効果

IGBT は、長いベース領域で高耐圧を保ちつつ、伝導度変調により極めて低いオン時の導通抵抗を実現するバイポーラデバイスである。長いベース領域全体で導通抵抗を下げるには、MOS 構造部分からの電子注入を増やすこと (Injection Enhancement) で、MOS ゲート部分付近の電子・ホール密度を上昇させることが必要である。かつては電子の注入を増やすために電子電流抵抗を直接的に減らす MOS 構造の高密度化が良いと考えられてきた。ところがホール電流の流路を狭めることで、逆に電子電流の割合が増える効果が 1993 年に日本企業から発表され、現在ではこの考え方を応用した設計方法が広く用いられている。

2) フラットキャリアプロファイル

最近の IGBT においては、ベース領域全体にわたって電子・ホール密度がほぼ均一に分布する場合に、オン時の導通損失とスイッチング時の損失の両者を最適化できるため、このような分布を実現する設計方法が取り入れられている。このような電子・ホールの、N ベース中での均一な分布のことをフラットキャリアプロファイルと呼ぶ。IGBT だけではなく、PiN ダイオードの設計でもフラットキャリアプロファイルの考え方が取り入れられている。

3) トレンチゲート

初期の IGBT の MOS トランジスタ部はプレーナー構造で、チャネルはシリコン基板表面に水平に形成されていた。この構造では隣接する MOS 部の p 領域から空乏層が伸び電流経路を狭めるジャンクション FET 効果によりオン抵抗が増大するという欠点があった。これに対し、シリコン基板にトレンチ (溝) を形成しゲート電極を埋め込むことで MOS トランジスタのチャネルを基板表面に垂直に形成する構造をトレンチゲートと呼ぶ。ジャンクション FET 効果抑制に加えて IE 効果も起きるため IGBT の特性が飛躍的に向上した。

4) インテリジェントパワーモジュール (IPM)

IGBT などのパワー半導体チップと、パワー半導体のゲート駆動回路や保護回路、センス回路などの周辺回路を組み込んだ電力制御半導体素子である。IGBT の普及が進んだ 1990 年代に IPM も広まり、家電など比較的容量の小さな応用で活用されている。パワー半導体の利用者は、ゲート駆動回路や保護回路を設計する手間が省けるだけでなく、機器の小型化が可能になる。従来、これらの周辺回路はアナログ回路で構成されていたため、昨今のデジタル技術との相性は必ずしもよいものではなかった。

5) シミュレーテッド・アニーリング法

焼きなまし法ともいわれ、非常に多くの広範な可能性の中から最適解に近い解を短時間に探す反復的アルゴリズムの一つである。ある一定の乱数的なルールで、反復途中で得られた解から離れた解の候補に移ることで、いわゆる極所解に陥らないように考えられている。AI の探索アルゴリズムとしても用いられている。

360