

シグナルインテグリティ考慮型 LSI テストを目指して

Towards Signal-Integrity-Aware LSI Testing

温 暁青
Xiaoqing WEN

概 要

LSIの大規模化, 微細化, 高速化, 及び低電圧化に伴い, テスト時の信号劣化が深刻な問題になってきている。信号劣化は誤ったテスト結果を引き起こし, 歩留りを低下させる危険性を持っている。本稿では, まず LSI テストに多用されるスキャン方式を説明し, それに関連する様々なシグナルインテグリティ問題を明らかにする。次に, シグナルインテグリティ問題の1つである電源ノイズの原因となる IR ドロップを削減する技術を紹介する。最後に, 種々のシグナルインテグリティ問題を体系的に解決する SIAT (Signal-Integrity-Aware Testing) の概念を提起し, 関連する研究テーマを探る。

1. はじめに

スキャンテストは, LSI 回路の高いテスト品質を効率よく達成するために最も広く用いられているテスト容易化手法である^{1,2)}。また, 近年では, LSI 回路の大規模化, 微細化, 高速化, 及び低電圧化により, ディープサブミクロン(DSM)回路の欠陥レベルを低減させるために, 実速度スキャンテストが必須となってきている³⁾。

しかし, スキャンテスト時の LSI 回路内の信号変化量が, 機能動作時より数倍も多くなることが一般的である⁶⁾。そのため, 実速度スキャンテスト(特に, 微小遅延欠陥を検出するような高品質実速度スキャンテスト^{4,5)})では, 電源ノイズ, クロストークノイズ, 製造ばらつき, エレクトロマイグレーション等のようなシグナルインテグリティ問題が深刻化してきている。そのため, 機能的には正常な LSI 回路でもスキャンテスト時には誤動作してしまい, LSI の歩留りが大きく低下する恐れがある⁷⁾。

現在, LSI テストにおける最も深刻なシグナルインテグリティ問題は, 実速度スキャンテストのキャプチャモードでの IR ドロップに起因する電源ノイズである⁸⁾。キャプチャ時 IR ドロップを削減するための多くの手法が提案されているが, 種々のシグナルインテグリティ問題を統合的に扱うための体系的なアプローチはまだ存在していない。本稿では, この問題を解決する試みとして, SIAT (Signal-Integrity-Aware Testing) という概念を提起し, 関連する研究テーマを探ってみる。

本稿は以下のように構成される。第2章はスキャンテストの基本, 第3章は実速度スキャンテストにおけるシグナルインテグリティに関する諸問題, 第4章は IR ドロップ削減技術, 第5章は SIAT の概念と関連研究テーマを述べる。そして, 第6章は本稿のまとめを行う。

2. スキャンテスト

スキャンテストは, フルスキャン回路を対象に行われる¹⁾。以下では, まずスキャンテストの基本を説明し, そしてタイミング欠陥の検出に必要な実速度スキャンテストについて述べる。更に, DSM 回路の品質保証に不可欠な高品質実速度テストを紹介する。

2.1 基本概念

フルスキャン回路では, すべての機能フリップ・フロップ(FF)がスキャンフリップ・フロップ(スキャン FF)に置き換えられる。図1に示すように, フルスキャン回路には, シフト(Shift)とキャプチャ(Capture)という2つの動作モードがある。シフトモードでは, スキャン FF によって形成されるスキャンチェーンを通じて, 組合せ部分にテストベクトルを印加したり, 組合せ部分のテスト応答を観測したりすることができる。キャプチャモードでは, スキャン FF が機能 FF として動作し, 組合せ部分のテスト応答が各 FF に取り込まれる。このように, フルスキャン回路では, 組合せテスト生成プログラムで組合せ回路部分だけを対象にテストベクトルを生成すれば十分である²⁾。

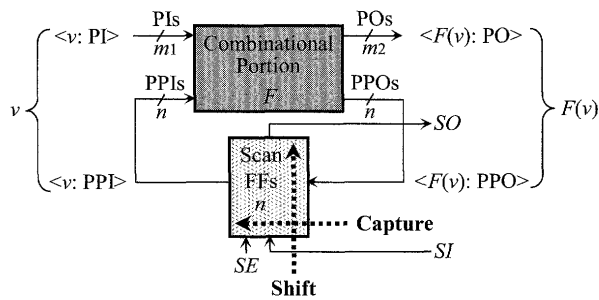
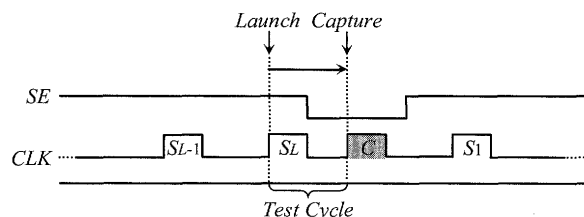


図1 シフトモードとキャプチャモード

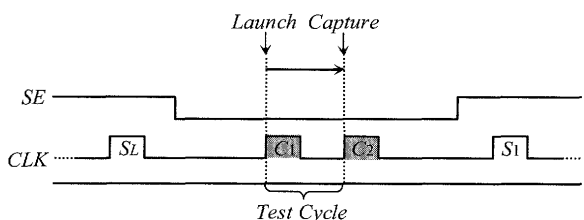
2.2 実速度スキャンテスト

テスト応答は、テストベクトルがシフトモードで印加されてから、一定の待機時間の後に、キャプチャモードでFFに取り込まれる。待機時間が機能クロック周期より長い低速度スキャンテストは、縮退故障やブリッジ故障でモデル化される構造的欠陥の検出に利用される。待機時間が機能クロック周期と等しい実速度スキャンテスト^{2), 10)}は、タイミング関連の欠陥を検出するための遅延テスト(Delay Testing)に利用される。

図2に示すように、実速度スキャンテストには主に2つの実現方式がある。Launch-off-Shift (LOS)方式では、タイミング関連の欠陥の検出に必要な遷移は、最後のシフトパルス(S_L)とその直前シフトパルス(S_{L-1})で取り込まれた値の違いによって生成される。Launch-off-Capture (LOC)方式では、その遷移は、最後のシフトパルス(S_L)と一番目のキャプチャパルス(C_1)で取り込まれた値の違いによって生成される。LOSの長所は、良好な可制御性による高い故障検出率であり、LOCの長所は、シフトとキャプチャの切り替えに必要なSE信号のタイミング要求が緩いことによる物理実装の容易さである。



(a) Launch-off-shift (LOS)



(b) Launch-off-capture (LOC)

図2 実速度スキャンテスト方式

2.3 高品質実速度スキャンテスト

欠陥レベル(テストで見逃される欠陥チップの割合)で評価される実速度スキャンテストの品質は、図3に示すように、テストタイミングとテストベクトルに依存する⁴⁾。

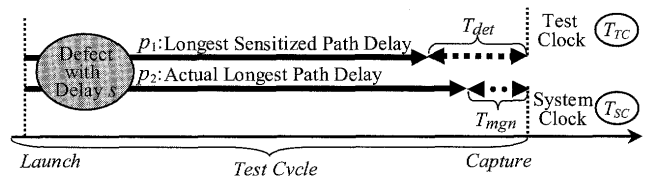


図3 遅延テストにおける検出条件

図3において、欠陥箇所を通る経路で、 p_1 はあるテストベクトルにより活性化される最長パスであり、 p_2 は機能モードでの実際の最長パスであるとする。テスト集合に対して、 T_{det} は欠陥箇所での最小検出可能遅延量であり、 T_{mgn} は欠陥箇所での最小許容遅延量である。ただし、理想的な実速度スキャンテストでは、 $T_{SC} = T_{TC}$ である。欠陥による遅延量 s が無視のできない大きさ($T_{mgn} < s < T_{det}$)ならば、そのテスト集合では欠陥を検出できないが、機能障害を起こす可能性がある。DSM回路ではこのような微小遅延欠陥が支配的なので³⁻⁴⁾、それらを検出する能力の優劣が実速度スキャンテストの品質を決める。

高品質実速度スキャンテストを実現するためには、テスト漏れを減らす必要があり、そのために T_{mgn} と T_{det} の差を小さくする必要がある。 T_{mgn} は設計により固定されるので、唯一の実現方法は T_{det} を小さくすることにある。 T_{det} を減らすための1つのアプローチは、テストクロックを厳しくする(図3の T_{TC} を左に動かす)ことである。これは、Pattern-Dependent Timing や Faster-Than-At-Speed スキャンテストと呼ばれる¹¹⁻¹²⁾。その基本は、活性化パスの長さによってテストベクトルをグループ化し、グループごとにテストクロックを調整することである。

T_{det} を減らすためのもう1つのアプローチは、故障検出に使われる活性化パスがなるべく長くなるようにテストベクトルを生成することである。これは、パス遅延テスト生成²⁾において長いパスを対象にテスト生成を行うことによって直接実現できるが、対象パスの数が多すぎる欠点がある。実際には、総対象数が比較的少ない遷移遅延故障を対象としたテスト生成²⁾が広く使われている。この場合、できるだけ長いパスを活性化するというタイミング考慮型遷移遅延テスト生成が、微小遅延欠陥の検出能力を高めるために必要となる^{5), 13-15)}。

なお、高品質実速度スキャンテストの実施において、フォールスパスやマルチサイクルパスを考慮する必要があることを注意されたい。

3. スキャンテストにおけるシグナルインテグリティ問題

シグナルインテグリティ (Signal Integrity) は、以前は純粋に LSI 設計上の問題であった。すなわち、設計者は LSI 回路を機能モードで正しく動作させるためだけに、シグナルインテグリティを考慮していた。LSI 回路の大規模化、微細化、高速化、及び低電圧化に伴い、シグナルインテグリティは LSI テスト時の問題にもなりつつあり、テストモードでそれらが正しく配慮されなければ、実速度スキャンテスト、特に高品質実速度スキャンテストは正しく実行できない恐れが出てきている⁷⁾。

シグナルインテグリティという用語は、LSI 集積回路の信号の様々な量的または質的な側面に関連する広い範囲にわたる問題¹⁶⁾に言及する際にしばしば用いられる。本稿では、この用語をディープサブミクロン (DSM) 時代の LSI テストにおける以下の 4 つの問題点について言及するために使用する。

- 電源ノイズ
- クロストークノイズ
- 製造ばらつき
- エレクトロマイグレーションなどの経時変化

以下では、これらのシグナルインテグリティ問題と実速度スキャンテストへの影響について述べる。

3.1 電源ノイズ

図 4 に示すように、LSI 回路は VDD (電源電圧) グリッドと VSS (グラウンド) グリッドの間に存在しているクロックツリーネットワークやセル (フリップ・フロップや論理ゲート) から構成されていると見なすことができる。

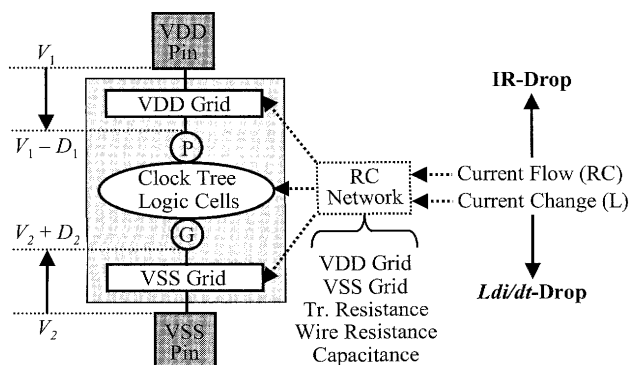


図 4 LSI 回路の構成

セルの出力論理値が変化するとき、グリッド抵抗、配線抵抗、トランジスタ抵抗、及び関連する静電容量からなる RC ネットワークを流れる動的な電流のパスが VDD ピンと VSS ピンの間で確立される。セルへの供給電圧

は電流の発生や電流の変化が原因で降下し、電源ノイズを引き起こす。一般に、電流の発生による供給電圧降下は IR ドロップと呼ばれ、電流の変化による供給電圧降下は Ldi/dt ドロップと呼ばれる。

電源ノイズによるセルへの供給電圧降下の直接的な影響は、セル遅延の増加である^{8), 17)}。遅延の増加量は SPICE シミュレーション、NLDM (Non-Linear Data Model)、SPDM (Scalable Polynomial Delay Model)、線形モデルなどによって計算できる。一般に、130ns から 90ns のプロセスにおいて、IR ドロップの幅が供給電圧 (VDD) の 5~10% の範囲内にある場合、セルの実際の遅延量 ($Actual_Delay$) は以下のように標準遅延量 (VDD_Delay) から推定できる。

$$Actual_Delay = VDD_Delay + \alpha \times (IR-Drop / VDD)$$

ここで、 α はテクノロジライブラリに依存する係数である。

電源ノイズによって増加するセル遅延は、パス遅延の増加につながる。セルへの供給電圧が 10% 降下すれば、パス遅延が 30% 増加することもある。このため、特に実速度スキャンテストのキャプチャモードでは、被テスト回路が誤動作してしまう恐れが発生する。

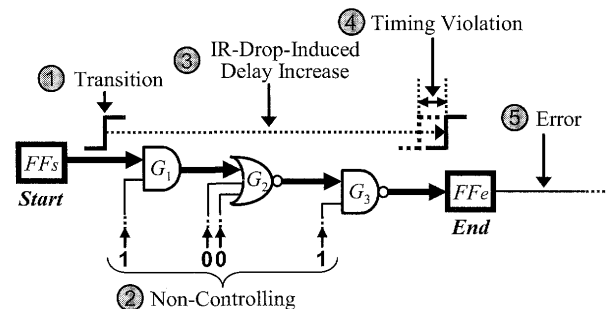


図 5 キャプチャ機能異常のメカニズム

図 5 は誤動作の詳細なメカニズムを示している。ここでは、論理値遷移がパスの始点で起こり (①)、その遷移がパスの終点まで伝搬されることが保障される (②)。そして、IR ドロップはパス遅延を増加させ (③)、図 3 に示されるテストサイクルの中にタイミング違反がパスの終点で起こる (④)。その結果、キャプチャ機能異常が起こり (⑤)、テストに起因する歩留り低下が発生してしまう。

電源ノイズによって発生する歩留り低下は、DSM 時代の実速度スキャンテストにとって益々深刻な問題になっていくと予想される。その主な理由は以下の通りである。

- (1) 微細化: IR ドロップの影響は、90nm 未満のプロセスで製造され、1V 未満の電源電圧で動作する LSI 回路において、非常に顕著になる。
- (2) 大規模化: より多くのセルが同時に変化する可能性が高くなり、IR ドロップがさらに顕著になる。

- (3) **高速化**: クロックの立ち上がりに起因するIRドロップとクロックの立ち下がりに起因するIRドロップが重なり合い、全体のIRドロップが大きくなる。
- (4) **低消費電力化**: ゲーテッドクロックのような様々な設計技術は、機能動作モードの電力消費を大きく削減している。電源グリッドは、機能動作モードの低い消費電力に合わせて設計されている場合、テスト時の高い消費電力に耐えられなくなり、誤テストを引き起こす可能性が高くなる。
- (5) **合成最適化**: 最先端の設計最適化ツールやフローは、特に高品質及び高速な設計においては、長いパスが多数生成される傾向にあり、電源ノイズによる遅延増加の影響を受けやすい。
- (6) **実速度スキャンテスト**: 実速度スキャンテストのテストサイクルは高速設計になるほど短くなるので、電源ノイズによる遅延増加の影響が現れやすい。
- (7) **微小遅延欠陥検出**: 微小遅延欠陥を検出するために、テストベクトルによって長いパスを活性化する必要があり、このような長いパスは、電源ノイズによる遅延増加の影響を受けやすい。

なお、現在のLSI回路にとって、IRドロップは電源ノイズの主な原因であり、電源ノイズ削減のための多くの方法は、IRドロップを削減することに基づいている^{18), 19)}。

3.2 クロストークノイズ

クロストークノイズは隣接信号線間の容量性干渉に起因する¹⁶⁾。その直接的な影響としては、遅延の増加と論理故障の発生がある。この問題を解決するために、隣接する信号線間の距離を考慮して設計を行うことが考えられる。しかし、全ての隣接信号線間でクロストークノイズを避けるための設計を施すことは、高いオーバーヘッド、配線混雑、さらにパフォーマンス低下を引き起こす。そのため、スイッチング動作の分布に基づいた部分的な回路変更が現実的と言える。

また、クロストークノイズは機能動作時には問題にならなくても、テスト時には問題を起こす場合がある。これはテスト時のスイッチング動作が機能動作時よりも激しくなるためである⁹⁾。この問題を解決するために、クロストークノイズの影響を受けないことを確認するためのテストベクトルを用いるアプローチがある。この他、テスト時のスイッチング動作を機能動作時のスイッチング動作と同レベルまで低く押さえるアプローチもある。多くの低消費電力テスト生成手法がこの目的の達成に間接的に寄与するが、クロストークノイズを直接的に考慮することでより効果的なテスト生成手法が求められている。

3.3 製造ばらつき

製造ばらつきは同じダイの内部でも異なるダイの間でも起こりうる。プロセス変動によって、トランジスタや配線のパラメータは一定であると見なすことはできなくなり、確率密度関数による変数として見なさざるを得ない。

プロセス変動は機能動作時において重大な影響がある。例えば、50nmテクノロジーではクロックスキューが製造ばらつきのためにクロック周期の15%~30%にもなる可能性があるとの研究報告が出ている²¹⁾。

プロセス変動はスキャンテスト時においても重大な影響を与える。以前はプロセス変動がテスト時では無視できるものとして扱われ、多くの遅延テスト生成、IR-Drop削減手法は遅延時間を定数として扱うタイミング分析手法に基づいていた。これらの手法はプロセス変動が大きい場合では無効になる可能性があり、正しいテストができなくなる恐れがある。

3.4 エレクトロマイグレーション

エレクトロマイグレーションとは、電流により金属イオンが移動することによって、流れの上流に空洞を引き起こし、また流れの下流に金属イオンを蓄積する現象である¹⁶⁾。その初期段階の影響は、電源グリッドや信号線の抵抗を増加させ、IRドロップの増加に至り、後期段階では、LSI回路においてオープンやショートのような欠陥を引き起こすこともある。

エレクトロマイグレーションの主な原因は、高い信号値変化率による高い電流密度である。このため、スキャンテストにおいても、スイッチング動作を適切に削減しなければ、被テスト回路の信頼性が低下する恐れがある。特に、出荷前に一回のみではなく、システム稼働中にも定期的実施される組込み自己テスト(BIST)の場合、エレクトロマイグレーションの影響はさらに深刻になる。

4. IRドロップ削減技術

電源ノイズの主な原因はIRドロップである。スキャンテストにおいて電源ノイズの影響を抑えるための多くの手法は、IRドロップの削減に基づいている。以下では、IRドロップを削減するための3つの基本アプローチ(テスト生成、テスト容易化設計、及びテストスケジューリング)について紹介する¹⁸⁻¹⁹⁾。

4.1 テスト生成によるIRドロップ削減

テスト生成によるIRドロップ削減手法は、さらに特殊ATPG利用、ATPGフロー制御、ポストATPG処理という3つのタイプに分類することができる²²⁾。

● 特殊ATPG利用

IRドロップは、テストベクトルを特殊な ATPG アルゴリズムによって生成することで削減することができる。例えば、LCP(Low-Capture Power) ATPG²³⁾ と呼ばれるテスト生成手法は2つの目標を達成しようとする。1つ目は対象故障を検出することであり、2つ目はスキャン FF のキャプチャ後の出力値とキャプチャ前の出力値との違いを最小限にすることである。これらの目標は、従来の ATPG にある D-衝突(検出矛盾)の概念に加えて、C-矛盾(キャプチャ矛盾)の概念を導入することによって同時に達成される。C-矛盾は、スキャン FF のキャプチャ前とキャプチャ後の値に違いがあることを意味し、D-衝突と同様にバックトラック操作を通じてその解消を試みることが可能である。しかしながら、C-矛盾のためのバックトラックは、故障検出を不可能にしてしまう可能性がある。その場合は、試行されたバックトラックは破棄され、その C-矛盾は故障検出のために許容される。

特殊 ATPG 利用による IRドロップ削減の利点としては、高い削減効果がある。一方、その欠点は、ATPG アルゴリズムを大幅に変更する必要があることや、テストデータ量や CPU 時間が増えてしまうことが挙げられる。

● ATPGフロー制御

最近、いくつかの ATPG フロー制御による IRドロップ削減手法が提案されている^{9),24)}。これらの手法は、個々のテストベクトルでの検出故障の数と箇所を制限することによってテストキューブ中に残された多くのドントケアビット(故障検出に利用されていないビットのことで、X ビットとも呼ぶ)に適切な論理値を割り当てることで、最終テストベクトルによるスイッチング量を削減している。このような手法の利点は、ATPG アルゴリズムを変更する必要がなく、その実施フローの工夫だけで IRドロップを削減できることである。しかし、その欠点としては、テストデータ量の増加が挙げられる。

● ポストATPG処理

ポスト ATPG 処理による IRドロップ削減手法²²⁾は、対象故障の検出にはテストベクトル中の僅か一部のビットしか必要ではない(Xビットが多い)という事実に基づき、ATPG によって生成されたテストベクトルの内容を変更することによって IRドロップを削減している。X ビットに最適な論理値を割り当てることができれば、IR ドロップ削減のような故障検出以外の効果が得られる。

図6に示すように、ポスト ATPG 処理による IRドロップ削減は X ビット特定(X-Identification)と X 埋め込み(X-Filling)という2つの基本作業で構成されている。X

ビット特定作業では、故障検出率を維持したまま、論理値(0 または 1)ビットのみで構成されるテストベクトルから X ビットと呼ばれるドントケアビットを特定する。その結果として、X ビットを持ったテストキューブ集合が得られる。更に、X 埋め込み作業では、キャプチャによる信号値変化数が少なくなるように、テストキューブ中の X ビットに最適な論理値を割り当てる。このような論理値は、テストベクトルとテスト応答のハミング距離や重み付けノード遷移数などが小さくするように決定される²²⁾。

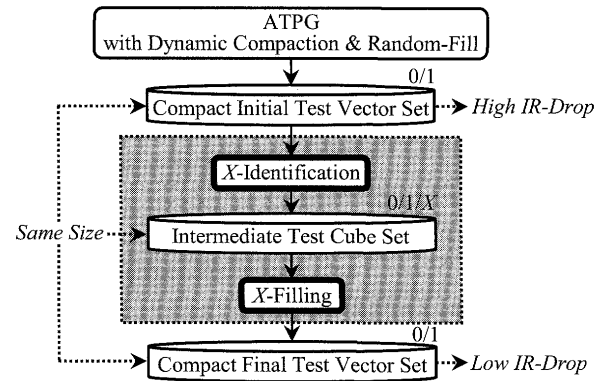


図6 ポスト ATPG 処理の基本フロー

ポスト ATPG 処理による IRドロップ削減の利点は、テストデータ量、回路面積、タイミング、設計フローへの影響がなく、任意の ATPG フローに実装できることである。

4.2 テスト容易化設計による IRドロップ削減

テスト容易化設計による IRドロップ削減は、テストモードにおける被テスト回路を変更することによって達成される。具体的な技術として、スキャン FF 変更²⁵⁾、スキャンチェーン分割²⁶⁾、追加回路挿入^{27), 28)}、スキャン FF 順序変更¹⁸⁾などがある。例えば、キャプチャ制限では、状態保持機能(ホールド)付きのスキャン FF を利用して、一部のスキャン FF しかキャプチャしないことによって回路のスイッチング量を削減する。なお、状態保持は、スキャン FF のデータ入力の代わりに出力からキャプチャすることで実現している。このため、キャプチャ制限を実行するためには、クロックシステムを変更する必要がない。しかし、この手法は、回路オーバーヘッドが高く、また故障検出率を維持するために ATPG アルゴリズムを変更しなければならない欠点がある。

4.3 テストスケジューリングによる IRドロップ削減

近年の LSI 設計は、機能モジュールによる階層構造を有していることが多い。テストスケジューリングでは、同時にテストするモジュールを選択する際、テスト時間の最適化の他に、消費電力またはスイッチング量を考慮

すれば、IRドロップを削減することができる²⁹⁾。また、IRドロップ削減に必要な TAM (Test Access Mechanism) 設計の最適化手法も提案されている³⁰⁾。

5. SIAT: Signal-Integrity-Aware Testing

シグナルインテグリティの重要性は、LSI回路の大規模化、微細化、高速化、及び低電圧化によって益々高まっている。シグナルインテグリティは設計上の重要事項だけではなく、DSM時代のLSI スキャンテスト、特に高品質実速度スキャンテストにとっても大きな問題である。そのため、シグナルインテグリティを考慮してテストを行うというシグナルインテグリティ考慮型LSIテスト (SIAT: Signal-Integrity-Aware Testing) が必要になる。

以下では、SIATの必要性、そしてSIATの概要について説明する。更に、SIAT関連の研究テーマ、及びSIATと設計の関係について述べる。

5.1 SIATの背景

シグナルインテグリティ問題の1つであるIRドロップは近年、実速度スキャンテストにおける重要な研究課題の1つになってきている。しかし、以下の問題に代表されるように、スキャンテストにおいて一般的なシグナルインテグリティ問題に関する研究はまだ不十分である。

- (1) シグナルインテグリティの安全性リミットは明確に確立されておらず、定量的に表す式も存在していない。これはスキャンテストにおいてシグナルインテグリティの安全性を保障することを困難にしている。
- (2) テストベクトルのシグナルインテグリティ特性を解析するための高速で正確な手法やツールが存在していない。現在利用可能なツールは大規模回路において膨大な時間を要する他、解析精度も十分でないという欠点がある。
- (3) 現在研究されているシグナルインテグリティ考慮のテスト手法のほとんどは、IRドロップ削減だけを目標にしている。これらの手法では、一定のIRドロップ削減効果が得られるものの、一般的なシグナルインテグリティ安全性を保障することができない。
- (4) スキャンテストにおいてシグナルインテグリティ問題を扱う場合でも、製造ばらつきに対する考慮が不十分である。そのため、スキャンテストにおけるシグナルインテグリティ対策が無効になる恐れがある。
- (5) 種々のシグナルインテグリティ問題は今まで個別に対処されている。シグナルインテグリティの諸問題を統合的に処理する方法がまだ存在していない。

このように、スキャンテストにおけるシグナルインテグリティの保障に関しては、まだ多くの課題が残っている。この状況を打破し、特に高品質実速度スキャンテストにおいてシグナルインテグリティ問題に起因する歩留り低下問題を解決するためには、総合的で新しいアプローチでシグナルインテグリティ問題を扱うことが求められている。SIATはこのために必要である。

5.2 SIATの概念

SIATの基本要素として、(1) シグナルインテグリティの安全性リミットを明確化すること、及び(2) 様々なテスト生成とテスト容易化設計技術を用いてその安全性リミットを守ることが挙げられる。

一般的に、スイッチング動作は常にシグナルインテグリティに影響を及ぼすため、設計においてまず考慮されなければならない。設計段階では、シグナルインテグリティ安全性を保障するために、様々な設計パラメータのトレードオフが行われる。明らかに、設計ごとにシグナルインテグリティ安全性のリミットが存在するはずである。

従来のスキャンテストでは、故障検出率、テストデータ量、テスト品質、発熱などを対象に最適化が行われるが、シグナルインテグリティが考慮されていない。そのため、スキャンテスト時のスイッチング動作はシグナルインテグリティの安全性リミットを越えてしまう可能性があり、結果としてテストに起因する歩留りの低下を引き起こす恐れがある。従って、図7に示すように、シグナルインテグリティを無視するテストから、シグナルインテグリティを考慮するテスト (SIAT) へ移行する必要がある。

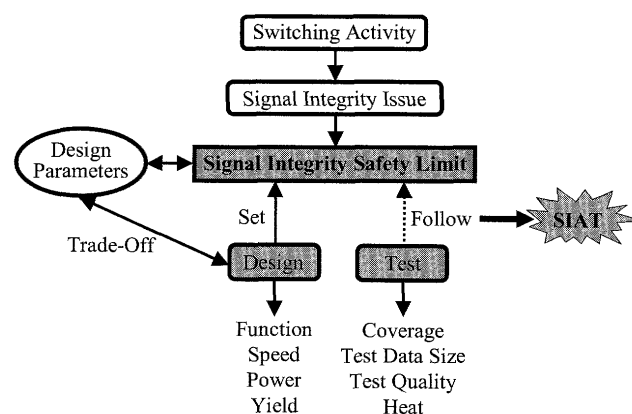


図7 SIATの概念

5.3 SIATの研究テーマ

SIATに関する研究はまだ始まったばかりであり、その大部分がIRドロップ問題に対して行われている。設計におけるシグナルインテグリティの安全性リミットの明確化、テストベクトルのシグナルインテグリティ特性の評

価方法などに関連する技術やツールはまだ完全なものとはなっておらず、SIATフローが確立されるまでの道のりはまだ遠い。その努力の一助になるという意味で、以下にSIAT関連の研究テーマを示す。

- シグナルインテグリティの安全性リミットの明確化
- テストベクトルのシグナルインテグリティ特性解析
- シグナルインテグリティへのスキャンテストの影響
- シグナルインテグリティと歩留り低下との関係
- 設計からテストへのシグナルインテグリティ情報提供
- SIATのための設計・プロセス情報の使用
- SIATのための回路やクロック変更
- SIATのためのATPG
- SIATのためのテストスケジューリング
- SIATのための効果的なテストデータ修正
- テスト圧縮、高品質テスト、低電力テストとの統合
- SIATにおける故障診断

5.4 SIATと設計の関係

図8に示すように、設計とSIATがシグナルインテグリティを通じて密接に関連していることは明らかである。

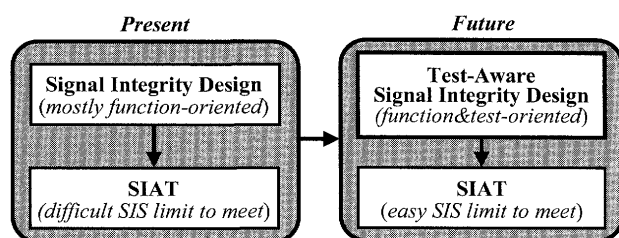


図8 設計とSIATの関係

シグナルインテグリティ問題の解決は最も重要な設計目標の1つとなっている。しかしながら、シグナルインテグリティに対するスキャンテストの影響は現在の設計プロセスでは考慮されていない。そのため、現状では、シグナルインテグリティの安全性(SIS)のリミットは、回路の機能モードによって決まる。しかし、テストモード時のスイッチング動作量は一般的に機能モード時より多いため、SISのリミットを越える可能性も高い。SIATのみでこの問題を解決するのでは、高い回路オーバーヘッドと設計手戻しコストがかかる可能性がある。

将来的には、設計段階においてもシグナルインテグリティに対するスキャンテストの影響を考慮することが好ましい。これにより、より現実的なシグナルインテグリティの安全性リミットを得ることができる。このような安全性リミットは、スキャンテストにおいても比較的容易に守ることができる。その結果、回路のオーバーヘッドや設計手戻しによるコストを抑えることができる。

6. 結論

シグナルインテグリティとテスト品質、テストデータ量、発熱との関係は、DSM時代でのスキャンテストにおける重要な問題となっている。スキャンテスト時のシグナルインテグリティの諸問題に対処する体系的なアプローチなしでは、スキャンテスト、特に高品質実速度テストにおいて誤テストによる歩留り低下の危険性が非常に高くなる。したがって、シグナルインテグリティの諸問題を統合的に考慮する新しいアプローチ、すなわちSIAT (Signal-Integrity-Aware Testing)の必要性は明らかである。

SIATの基本要件は、(1) シグナルインテグリティの安全性リミットを明確化すること、及び(2) 様々なテスト生成とテスト容易化設計技術を用いてその安全性リミットを守ることである。SIATに関する研究は初期段階にあり、現在はIRドロップによる電源電圧ノイズの削減に関する研究が主である。今後はLSIの大規模化、微細化、高速化、及び低電圧化により、スキャンテスト時のシグナルインテグリティ問題はさらに深刻化することが予想される。それに伴い、SIATの研究はより活発となり、最終的にはシグナルインテグリティを考慮した高品質テスト技術が体系的に確立されるまでに至ると期待される。

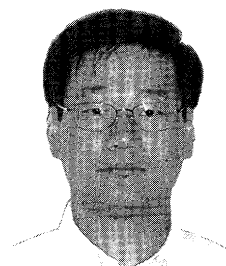
謝辞 本稿を作成するにあたり、有益なコメントを頂いた九州工業大学大学院情報工学研究院の梶原誠司教授と宮瀬紘平助教に感謝します。

参考文献

- 1) M. Abramovici, M. A. Breuer, A. D. Friedman: *Digital Systems Testing and Testable Design*, IEEE Press (1994)
- 2) L.-T. Wang, C.-W. Wu, X. Wen (Editors): *VLSI Test Principles and Architectures: Design for Testability*, Elsevier (2006)
- 3) T. M. Mak, A. Krstic, K. Cheng, L. Wang: New Challenges in Delay Testing of Nanometer, Multi gigahertz Designs, *IEEE Design and Test of Computers*, Vol. 21, No. 3, pp. 241-247 (2004)
- 4) Y. Sato, S. Hamada, T. Maeda, A. Takatori, Y. Nozuyama, S. Kajihara: Invisible Delay Quality - SDQM Model Lights Up What Could Not Be Seen, *Proc. Int'l Test Conf.*, Paper 47.1 (2005)
- 5) X. Lin, K. Tsai, C. Wang, M. Kassab, J. Rajaski, T. Kobayashi, R. Klingenberg, Y. Sato, S. Hamada, T. Aikyo: Timing-Aware ATPG for High Quality At-Speed Testing of Small Delay Defects, *Proc. Asian Test Symp.*, pp.139-146 (2006)
- 6) Y. Zorian: A Distributed BIST Control Scheme for Complex VLSI Devices, *Proc. VLSI Test Symp.*, pp. 4-9 (1993)

- 7) J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu: A Case Study of IR-Drop in Structured At-Speed Testing, *Proc. Int'l Test Conf.*, pp. 1098-1104 (2003)
- 8) J. Wang, D. M. H. Walker, A. Majhi, B. Kruseman, G. Gronthoud, L. E. Villagra, P. Wiel, S. Eichenberger: Power Supply Noise in Delay Testing, *Proc. Int'l Test Conf.*, Paper 17.3 (2006)
- 9) N. Ahmed, M. Tehranipoor, V. Jayaram: A Novel Framework for Faster-than-at-Speed Delay Test Considering IR-Drop Effects, *Proc. Int'l Conf. on Computer-Aided Design*, pp. 439-444 (2005)
- 10) X. Lin, R. Press, J. Rajski, P. Reuter, T. Rinderknecht, B. Swanson, N. Tamarapalli: High-Frequency, At-Speed Scan Testing, *IEEE Design & Test of Computers*, pp. 17-25, Vol. 20, No. 5 (2003)
- 11) N. Ahmed, M. Tehranipoor, V. Jayaram: A Novel Framework for Faster-than-at-Speed Delay Test Considering IR-Drop Effects, *Proc. Int'l Conf. on Computer-Aided Design*, pp. 439-444 (2005)
- 12) B. Kruseman, A. Majhi, G. Gronthoud, S. Eichenberger: On Hazard-Free Patterns for Fine-Delay Fault Testing, *Proc. Int'l Test Conf.*, Paper 9.1 (2004)
- 13) Y. Shao, I. Pomeranz, and S. Reddy: On Generating High Quality Tests for Transition Faults, *Proc. Asian Test Symp.*, pp. 1-8 (2002)
- 14) K. Yang, K.-T Cheng, L.-C Wang: TranGen: A SAT-Based ATPG for Path-Oriented Transition Faults, *Proc. Asian and South Pacific Design Automation Conf.*, pp. 92-97, (2004)
- 15) S. Kajihara, S. Morishima, A. Takuma, X. Wen, T. Maeda, S. Hamada, Y. Sato: A Framework of High-Quality Transition Fault ATPG for Scan Circuits, *Proc. Int'l Test Conf.*, Paper 2.1 (2006)
- 16) Magma Design Automation. Inc., "Deep-Submicron Signal Integrity," *White Paper*, 2002.
- 17) J. Wang, Z. Yue, X. Lu, W. Qiu, W. Shi, D. M. H. Walker: A Vector-Based Approach for Power Supply Noise Analysis in Test Compaction, *Proc. Int'l Test Conf.*, Paper 22.2, (2005)
- 18) P. Girard: Survey of Low-Power Testing of VLSI Circuits, *IEEE Design & Test of Computers*, Vol. 19, No. 3, pp. 82-92 (2002)
- 19) N. Nicolici, B. Al-Hashimi: *Power-Constrained Testing of VLSI Circuits*, Kluwer Academic Publishers (2003)
- 20) H. Li, P. Shen, X. Li: Robust Test Generation for Precise Crosstalk-Induced Path Delay Faults, *Proc. VLSI Test Symp.*, pp. 300-305 (2006)
- 21) V. Mehrotra, D. Boning: Technology Scaling Impact of Variation on Clock Skew and Interconnect Delay," in *Proc. Intl. Interconnect Tech. Conf.*, pp. 122-124 (2001)
- 22) X. Wen, S. Wang: Low-Power Test Generation, *Power-Aware Testing and Test Strategies for Low Power Devices*, Springer (2009)
- 23) X. Wen, S. Kajihara, K. Miyase, T. Suzuki, K. K. Saluja, L.-T. Wang, K. S. Abdel-Hafez, K. Kinoshita: A New ATPG Method for Efficient Capture Power Reduction During Scan Testing, *Proc. VLSI Test Symp.*, pp. 58-63 (2006)
- 24) A. Kokrady, C. P. Ravikumar: Fast, Layout-Aware Validation of Test Vectors for Nanometer-Related Timing Failures, *Proc. Int'l Conf. on VLSI Design*, pp. 597-602 (2004)
- 25) S. Gerstendorfer, H. J. Wunderlich: Minimized Power Consumption for Scan-Based BIST, *Journal of Electronic Testing: Theory and Applications (JETTA)*, 16(3): 203-212 (2000)
- 26) K. Lee, T. Huang, J. Chen: Peak-Power Reduction for Multiple-Scan Circuits during Test Application, *Proc. Asian Test Symp.*, pp. 453-458 (2000)
- 27) R. Sankaralingam, N. A. Touba: Inserting Test Points to Control Peak Power During Scan Testing, *Proc. Intl. Symp. on DFT*, pp. 138-146 (2002)
- 28) S. Gerstendorfer, H. Wunderlich: Minimized Power Consumption for Scan-Based BIST, *Proc. Int'l Test Conf.*, pp. 77-84 (1999)
- 29) T. Yu, T. Yoneda, D. Zhao, H. Fujiwara: Using Domain Partitioning in Wrapper Design for IP Cores Under Power Constraints, *Proc. VLSI Test Symp.*, pp. 369-374 (2007)
- 30) R. Sankaralingam, N. A. Touba: Controlling Peak Power during Scan Testing, *Proc. VLSI Test Symp.*, pp. 153-159 (2002)

(おん ぎょうせい/九州工業大学)



温 暁青

1986年7月中国清华大学計算機科学技術学科卒業。
1990年3月広島大学大学院情報工学研究科博士前期課程修了。1993年3月大阪大学大学院工学研究科博士後期課程修了。同年9月秋田大学鉱山学部(のち資源工学部)情報工学科講師。1995年10月～1996年3月米国ウィスコンシン大学マジソン校客員研究員。1998年1月米国 SynTest Technologies 社勤務, 故障シミュレーション, 組込み自己テスト, 及びテスト圧縮の研究開発に従事。2004年1月九州工業大学大学院情報工学研究科情報創成工学専攻助教授, 2007年4月より同大情報工学研究科情報創成工学研究系教授, 現在に至る。LSI回路の低消費電力テスト生成, 高精度故障診断, 及びテスト容易化設計の研究に従事。平成20年度電子情報通信学会情報・システムソサイエティ論文賞受賞。博士(工学)。日本信頼性学会正会員, 電子情報通信学会正会員, IEEE Senior Member。