

Academic Year 2020 DISSERTATION

パワー半導体産業の比較分析と 微細化技術の導入効果に関する研究

Comparative analysis of the power semiconductor industry and a study on the effects
of introducing miniaturization technology

馬場 嘉朗



九州工業大学 大学院 生命体工学研究科 生命体工学専攻

福岡県北九州市若松区ひびきの2番4号

概要

本論文では、パワー半導体に注目して半導体産業を詳細に比較分析することでパワー半導体産業が抱える課題を明確化にするとともに、積極的な微細構造の導入で高い競争力を保持できることを示した。さらに微細プロセスの工程能力を考慮した量産設計の新しいモデルを提案しその有効性を示した。

現在までの三十年間で半導体産業全体が大きく変化した。例えばかつて世界的に高い売上を誇った国内半導体メーカーのうち現在も上位 10 社に入っているのはキオクシア（旧東芝メモリ）のみとなった。その中であって比較的市場規模の小さなパワー半導体産業は国内パワー半導体メーカーを中心に内製による高性能化と投資コストの圧縮で高い収益性を確保してきたが、海外メーカーの成長による影響を受け始めている。

本論文の目的は、半導体産業を比較分析しパワー半導体への微細化構造導入の必要性を明確にすることと、その際の技術課題である微細化による特性への影響と工程欠陥が歩留に与える影響をモデル化し定量化することである。さらに実際の半導体工場でのデータを基にモデルの有効性を示すことである。

第 1 章では、半導体産業全体の市場変化や製品別ビジネスモデルの細分化からパワー半導体産業が置かれている状況を分析した。その結果、パワー半導体設計は微細化に向かっており、微細化ライン確保と自動車用の品質とコストの達成が重要課題であることが分かった。パワー半導体産業分野で企業が継続的成長するためには既存の生産設備（6 インチ、8 インチライン）を前提とした設計技術力だけでなく、300 mm ウェハ対応の生産設備による工程能力の飛躍的な改善やランダム欠陥の影響を考慮した量産コスト設計が必要である。本章では特に、パワー半導体産業で既存生産設備と 300mm ウェハ生産設備を比較し生産設備の能力を考慮した量産設計モデルの構築と体系化の重要性を述べた。

第 2 章では、パワー半導体産業の特徴を整理するため、世界半導体統計(WSTS)の 5 分類（IC4 分類+ディスクリート）を独自の視点からビジネスモデル別 3 分類（旧 IDM 型：アナログ IC とディスクリート, 専業 IDM 型：メモリと MPU, ファブレス/ファウンドリ型：システム LSI）に再分類し製品別売上シェアから各半導体メーカーの動向を調査した。なお、IDM とは垂直統合型デバイスメーカーを示す。パワー半導体では独 Infineon 社が最大の市場シェア（19%）を占めており、供給能力確保のため 300mm ウェハに対応した製造設備を有している。国内メーカーは全体で Infineon 社に匹敵する規模を持つものの製造設備の整備は遅れていることも明らかになった。特に、300mm ウェハに対応した製造設備による工程能力の改善と微細化によるパワー半導体の性能向上が重要であることを述べた。

第 3 章では、第 1 章で抽出したパワー半導体産業課題の背景を分析した。メモリやシステム LSI の産業が設備投資型なのに対して、パワー半導体産業は直接労務費の比率が大きく製造の自動化率が低いことが分かった。また製品の品種が多いため直接材料費の比率が大きいことも分かった。また現在パワー半導体の微細化レベルは 200mm 生産ラインの限界設計ルール（130nm）付近にあり 300mm 生産ラインへの移行が進み始めているが、設備

投資能力が今後の競争力を左右することを示した。

第 4 章では、微細化が進む中で、加工精度が電気特性に及ぼす影響を検討した。具体的には UMOSFET をモチーフに複数の加工装置によるバラツキの影響を受けるゲート・コンタクト距離 (crl:critical-length) に着目して微細 UMOSFET の V_{th} 上昇現象を解明した。一般的に考えられているコンタクト P+拡散層によるチャネル濃度上昇は $crl < 30nm$ で起こるが、実際には $crl < 150nm$ で V_{th} 上昇が観察されゲート空乏層がコンタクト P+層にパンチスルーすることで V_{th} 上昇が起こることを明らかにした。微細パワー半導体のセルサイズ縮小に伴ってセルサイズの約 1/10 で縮小が進むゲート・コンタクト距離 (crl) は現在 100nm 以下になっている。この領域では V_{th} は crl 依存を始める (crl が小さくなると V_{th} が急上昇する)。200mm ラインの限界は露光装置のパターニング限界(130nm)ではなく寸法変換差や合わせ精度(10~20nm)が律速している。 $crl < 100nm$ では V_{th} 制御が困難になることを示した。

第 5 章では、まず工程欠陥と製品歩留の関係を解明し、次に第 4 章との結果を結合したユニバーサルモデルを作成した。具体的には第 4 章と同じゲート・コンタクト距離 (crl) を共通パラメータとしてゲート不良と L 負荷耐量不良のモデルを作成した。ゲート不良については実不良率と良い一致を示した。L 負荷耐量不良については耐量がベース抵抗に逆比例すると仮定してクリティカルエリアモデルを適用した。ランダム欠陥密度 (場) とチップサイズ (設計)、ゲート不良と L 負荷不良をデータで結合し動的平行線図で可視化した。これによると crl 縮小に伴い工程欠陥がゲート不良や L 負荷耐量不良の急激な増加を招くこと、現状の加工装置の欠陥管理レベル ($\sim 0.01/cm^2$) でも標準的な 3mm \square チップの UMOSFET では無視できない歩留低下を起こすことを示した。また、第 4 章の V_{th} モデル、ベース抵抗モデルと本章の欠陥モデルを統合したユニバーサルモデルを使って工程能力と欠陥レベルによる特性・不良率影響を 200mm 想定ラインと 300mm 想定ラインで比較した結果、次世代 UMOSFET($crl < 80nm$)を量産する場合 300mm 想定ラインが必須であることを示した。

第 6 章では、本研究により得られた結果を総括して本論文の結論と今後の展望と課題をまとめた。

目次

第 1 章 背景と目的	1
1-1. 半導体産業と市場の変化	1
1-2. 半導体の分類	2
1-3. アナログ IC・ディスクリート半導体産業の課題	3
1-3-1. 旧 IDM 型エコシステム崩壊	4
1-3-2. 長期供給と高信頼性要求	5
1-4. パワー半導体の微細化	7
1-5. UMOSFET 微細化の課題	9
1-6. 本論文の目的	11
第 2 章 半導体メーカーの分類	13
2-1. IDM とファブレス/ファウンドリ	13
2-2. 半導体メーカーの売上	14
2-3. 半導体専業メーカーの売上	16
2-4. ファブレスメーカーの売上	16
2-5. 半導体部品メーカーの売上	18
2-5-1. アナログ IC	18
2-5-2. ディスクリート	19
2-5-2-1. パワー半導体	20
2-5-2-2. イメージセンサ	21
2-5-2-3. LED	21
2-6. まとめ	22
第 3 章 アナログ IC・ディスクリート/メモリ・MPU/システム LSI 産業比較	23
3-1. アプリケーション規模とライフサイクル比較	23
3-2. 半導体コスト構造の比較	24
3-2-1. DEP 比較	27
3-2-2. 直材費比較	27
3-2-3. ロットハンドリングコスト比較	28
3-3. 半導体製品の信頼性比較	30
3-4. 販売・生産管理比較	31
3-5. 生産工場の比較	33
3-5-1. 口径別 Fab	33
3-5-2. 口径別ウェハ使用量	34
3-5-3. 国別ウェハ消費量	36

3-6. ウェハ口径と生産性	38
3-6-1. ウェハ口径とデザインルール	38
3-6-2. ウェハ口径とチップ収率	40
3-7. 半導体製品ロードマップ	41
3-7-1. MPU とムーアの法則	41
3-7-2. フラッシュメモリと GB 単価	42
3-8. まとめ	43
第 4 章 微細パワーMOSFET の V_{th} モデル	44
4-1. 微細化による V_{th} の上昇現象	44
4-1-1. V_{th} の一般モデル	44
4-1-2. UMOSFET の V_{th} 一般モデル	45
4-1-3. 微細化による V_{th} 上昇の一般論	47
4-1-4. トレンチ側壁からの P+拡散長	48
4-2. トレンチコンタクト構造 UMOSFET のウェハ面内 V_{th} バラツキ	49
4-3. ゲート・コンタクト距離が短い場合の V_{th} モデル	52
4-3-1. ゲート空乏層パンチスルーモデル	52
4-3-2. 製造工程バラツキ	55
4-3-3. 製造工程バラツキを考慮したチップ V_{th} の計算	56
4-3-4. 製造パラメータ感度解析	62
4-3-5. モデル検証	63
4-4. 微細化による V_{th} 制御性の課題	65
4-5. まとめ	67
第 5 章 微細化による工程欠陥の影響	68
5-1. 工程欠陥と不良モード	68
5-1-1. パワー半導体の不良モード	68
5-1-2. 欠陥の種類と不良モード	69
5-2. ゲート不良のモデル化	71
5-2-1. ゲート不良のクリティカルエリアモデル	71
5-2-2. セル微細化とゲート歩留	75
5-2-3. 偏在欠陥による歩留のチップ面積依存性	78
5-3. L 負荷破壊と欠陥サイズ	80
5-3-1. P+インプラ遮蔽欠陥によるベース抵抗上昇モデル	80
5-3-2. 欠陥サイズとセルトランジスタの耐量低下率	82
5-3-3. ゲート不良/L 負荷耐量不良の欠陥密度とチップサイズ依存性	83
5-4. 微細化パラメータによるユニバーサルモデル生成	86
5-5. まとめ	90

第 6 章 結論	91
謝辞	92
参考文献	93
図一覧	97
表一覧	100
研究業績論文	101
講演実績	102
委託研究	102
Abbreviations	103
半導体メーカー略名称一覧	105
付録	

第1章 背景と目的

1-1. 半導体産業と市場の変化

半導体産業は過去六十年間成長を続けている。図 1-1-1.に 1955 年から 2019 年までの世界半導体売上高の推移を示した[1][2] (1986 年以降は[1]、以前は[2])。1959 年の売上は 4.6 億ドル、2019 年には 4123 億ドルで年平均売上成長率 (CAGR:Compound Annual Growth Rate) は 12%と大きな成長を遂げた。最近十年間でも 2009 年 2262 億ドルを基準にすると CAGR は 5.8%で成長を続けている。半導体産業の成長の背景には、過去六十年間にテレビ、エアコン等の家電機器やパーソナルコンピュータや携帯電話等のアプリケーションが途絶えることなく現れ半導体品種増加と購買層増加の相乗効果で成長が続いている。2019 年は米中貿易摩擦、2020 年はコロナ影響で減少傾向にあるが長期的には成長は続くと考えられる。2020 年の統計データは現時点で未公開であり第 2 章の売上分析には 2018 年 (売上最大) と第 3 章の生産や投資に関する分析は 2019 年のデータを使用した。

過去六十年間に半導体製品の主役の変化も起こっている。1970 年代には、トランジスタ等のディスクリート部品やオペアンプ等アナログ IC がラジオやテレビに搭載され機器の小型化・省エネを推進した。1980 年代には、メモリ・MPU 等の LSI がパーソナルコンピュータのキー部品になり半導体産業のけん引役となった。2000 年代には、通信機能を取り込んだシステム LSI がメモリ製品と合わせて携帯電話のキー部品となった。2010 年代にはパワー半導体やセンサが自動車分野や産業分野での IoT ブームを背景に拡大が始まっている。

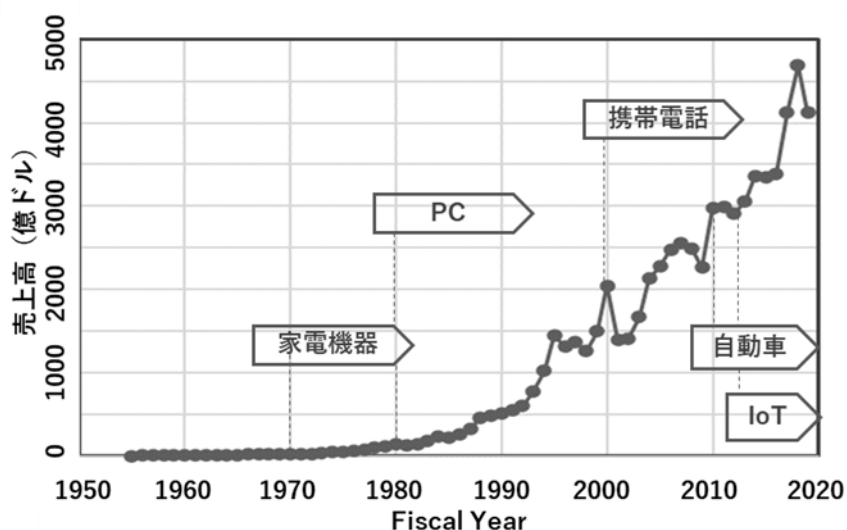


図 1-1-1. 世界半導体市場とアプリケーションの変化 ([1][2]を基に作成)

1-2. 半導体の分類

世界半導体市場統計(WSTS:World Semiconductor Trade Statistics)の製品分類（IC4 分類+ディスクリート（光半導体とセンサを含む））と各製品群を構成する製品を表 1-2-1.に示した。製品分類ごとに製品提供プレーヤの状況が異なっている。第 2 章で詳細分析を行うが、メモリやマイクロプロセッサはメーカーの寡占化が特徴である。メモリは Samsung、SK Hynix、Micron、Kioxia（旧東芝メモリ）の 4 社が売上の 90%を占めている。マイクロプロセッサは Intel 1 社で 90%でありプレーヤが限られている。システム LSI は Qualcomm、Broadcom 等の通信半導体メーカーや AI 分野で拡大する Nvidia 等の存在は大きいがアプリケーションは家電や産業・車載領域まで応用分野が広いとプレーヤ数が多い。アナログ IC、ディスクリート製品は市場登場の歴史が古く製品寿命が長い。また産業や車載向けのカスタム製品に応用されてきたため品種数が非常に多い。そのため製品個々の規模が小さくプレーヤ数はシステム LSI 以上に多い。市場登場はディスクリート・アナログ IC、メモリ、MPU、システム LSI の順番であった。歴史の古いディスクリート・アナログ IC 製品は、機能がシンプルであるため抵抗器やコンデンサと同じく一般的な電子部品として広まり、電子部品カタログに掲載されるほどの定番製品となっている。

表 1-2-1. 半導体分類と代表製品

メモリ	MPU	システムLSI	アナログIC	ディスクリート
DRAM	MPU	ASIC/ASSP	オペアンプ	トランジスタ
SRAM	MCU	SoC	コンパレータ	ダイオード
フラッシュメモリ	DSP	FPGA	タイマーIC	サイリスタ
その他		その他	パワーマネージメントIC	LED
			インターフェースIC	フォトカプラ
			通信IC	センサ
			車専用IC（IPD）	その他
			その他	

図 1-2-1.に最近 7 年の半導体分類別売上の推移を示した[1]。2013 年から 2019 年までの CAGR は+4.4%であった。分類別ではメモリが+7.3%、システム LSI が+3.5%、MPU が+2.5%、アナログ IC が+4.1%、ディスクリート（センサー含む）が+4.5%ですべての分類でプラス成長している。メモリが全体の CAGR を牽引している一方で変動が激しい。アナログ IC とディスクリートは 4%以上で安定的に成長を続けている。パワー半導体やセンサ製品が自動車産業や IoT で応用拡大されていることが成長の背景にはあると思われる。

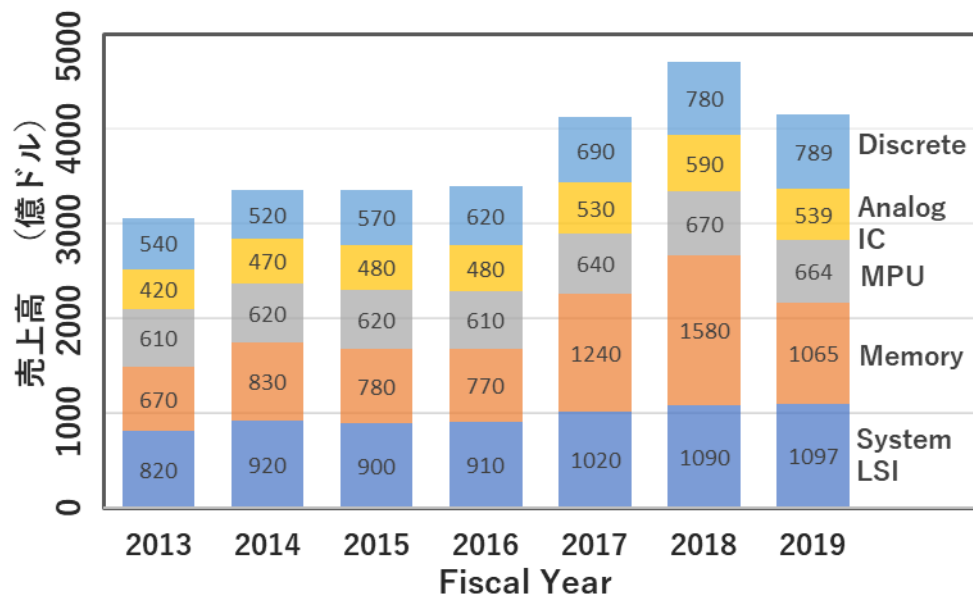


図 1-2-1. 半導体製品分類別売上高の推移

1-3. アナログ IC・ディスクリート半導体産業の課題

1990 年代は国内の NEC、富士通、東芝、日立等が世界半導体トップメーカーであったが 2020 年現在日本国内において世界規模の半導体メーカーは Kioxia（旧東芝メモリ）と Sony（CMOS センサ）の 2 社くらいである。システム LSI 分野でも国内には世界規模のファブレスメーカーは存在しない[3]。第 3 章で日本は国別ウェハ消費量（面積消費量）では世界 3 位であるが口径 200mm 以下の生産比率 40%と大きいことを示す。これは国内の半導体メーカーの大部分は付加価値の小さいアナログ IC とディスクリート製品を製造していることを意味する。アナログ IC・ディスクリートは、前節で示したとおり衰退期にあるのではなく自動車や産業分野で年率 4%以上の成長を続けている。多くの製造ラインを有する国内半導体メーカーにとっては再成長のチャンスでもある。しかし歴史あるアナログ IC・ディスクリート産業の成長課題は大きく 2 つある。それは“IDM 型エコシステム崩壊後の微細化対応”と“高品質要求への対応”である。

1-3-1. IDM 型エコシステム崩壊

1990 年代までは、半導体メーカーの主流は垂直統合型（IDM: Integrated Device Manufacturer）で研究開発、設計、量産を一貫して行ってきた。この方式はディスクリートからメモリまでを製造販売する国内の総合半導体メーカーには大きなメリットがあった。メモリやシステム LSI 製品の開発や生産で古くなった設備や製造ラインをアナログ IC やディスクリートに活用するというエコシステムが成り立っていた。しかし 2000 年以降システム LSI はファブレス/ファウンドリが新しいビジネスモデルになり、製品規模が大きいメモリや MPU は設備投資に必要な資金や技術リソースを専門化することでオーバーヘッドを減らした専門 IDM に発展した。図 1-3-1. に 2000 年以降に垂直統合 (IDM) から専門 IDM や水平分業型へ変化した様子を示した。新しいビジネスモデルに変わった製品群はメモリ・MPU・システム LSI であり、それぞれが新しいエコシステムに移行した。

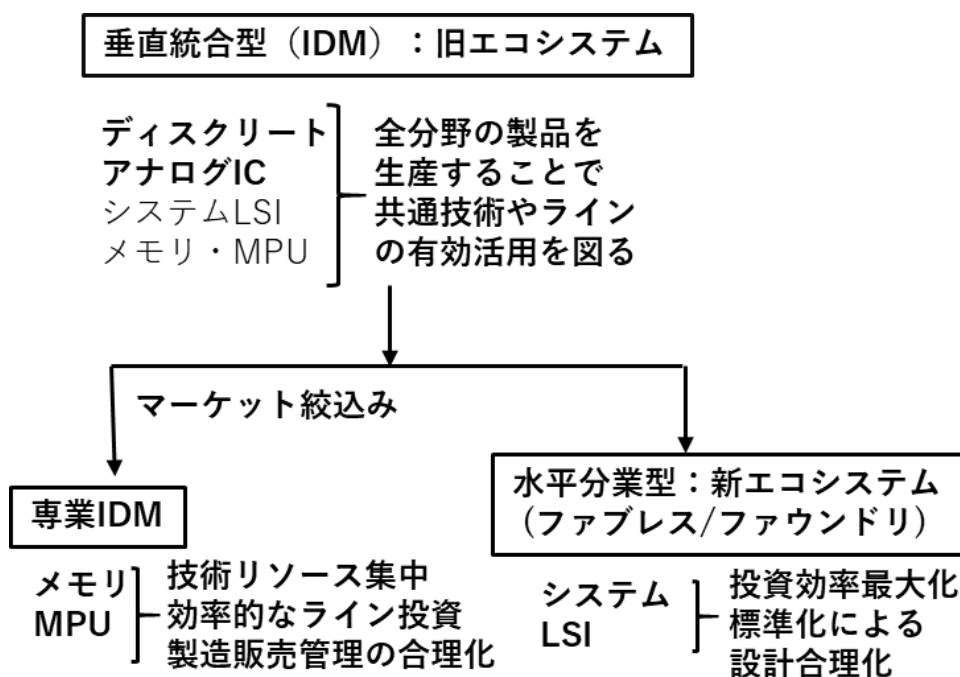


図 1-3-1. 垂直統合型 (IDM) ビジネスモデルの変化

一方で、アナログ IC とディスクリート半導体は社内のメモリやシステム LSI 事業部からの設備調達や技術リソース活用のアドバンテージを失った。特に製品コスト改善のベースとなる大口径化や微細化技術を易く入手することが困難になった。図 1-3-2. に総合半導体メーカーの強みであった微細化大口径化投資の有効活用（旧エコシステム）が 2000 年以降（特

にウェハ口径 300mm 化を境界にして)に崩壊していく様子を示した。メモリは専業 IDM、システム LSI はファブレスに転換したがアナログ IC・ディスクリート半導体は取り残された。(200mm ラインでの限界設計ルールは露光装置で律速され 130nm で停滞)

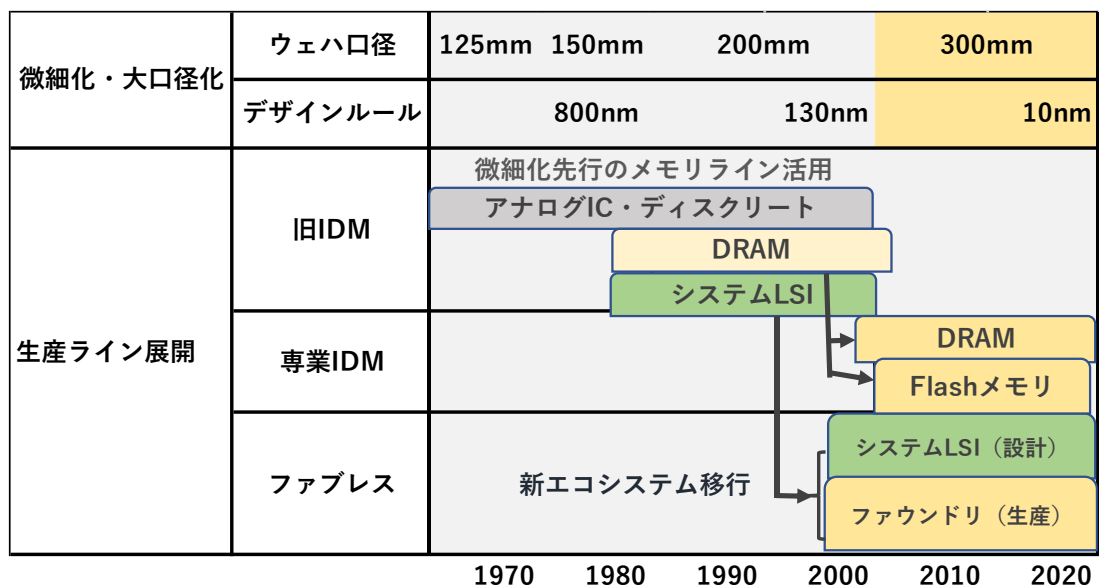


図 1-3-2. ウェハ口径変化と製品群の生産ライン展開

1-3-2. 長期供給と高品質要求

表 1-3-1. に半導体応用製品寿命と主要半導体を示した。個人消費製品スマートフォンの年間出荷台数は 13.7 億台、PC(パーソナルコンピュータ)は 2019 年 WindowsOS 更新時期でもあり年間出荷台数は 2.6 億台であった[4][5]。半導体の大量消費を支えるこれら情報通信機器の寿命は約 2~4 年、新製品上市サイクルは 0.5~1 年と短い。情報通信機器市場は、メモリ・MPU・システム LSI 各社のターゲット市場でもある。常に性能改善が行われているため陳腐化するスピードも速く使用される半導体製品の寿命も短い。

表 1-3-1. 半導体応用製品寿命と主要半導体

用途	代表製品	製品寿命	主要半導体
情報通信	スマートフォン P C	2 4	メモリ・MPU・システムLSI
家電	T V エアコン	7 10	システムLSI・ディスクリート
産業・車載	自動車 電車	10 20	アナログIC・ディスクリート

TVやエアコン等の家電製品寿命は 7～10 年と長く液晶バックライト、電源回路やインバート回路にはディスクリート半導体が使用される。液晶TVなど家電製品の単価が下っており、お客様の製品が故障した場合に修理するよりも交換保障することが一般的になっている。半導体に対して長期供給と高信頼性が要求されている産業・車載市場については、車や電車の寿命は 10～20 年であり、部品の故障が人命に関わるため高信頼性が要求されている。特に走行系に使用されるパワー半導体は車両メーカー毎に仕様が異なる（多品種）ことに加え製造ライン（設備や製造プロセス）の変更は基本的に認められない。生産ラインを維持したままで 10 年以上の供給責任を果たさねばならない場合もある。

図 1-3-3.は、複数の半導体製造ラインを経験した有識者からのアンケートに基づき作成した 200mm ラインと 300mm ラインを比較したレーダーチャートである。各項目について 300mm ラインをフルマーク（青線）とした場合の 200mm ラインの点数を赤線でプロットした。（ただし比較の 300mm ラインはメモリラインなどの全自動 Big Fab である。）

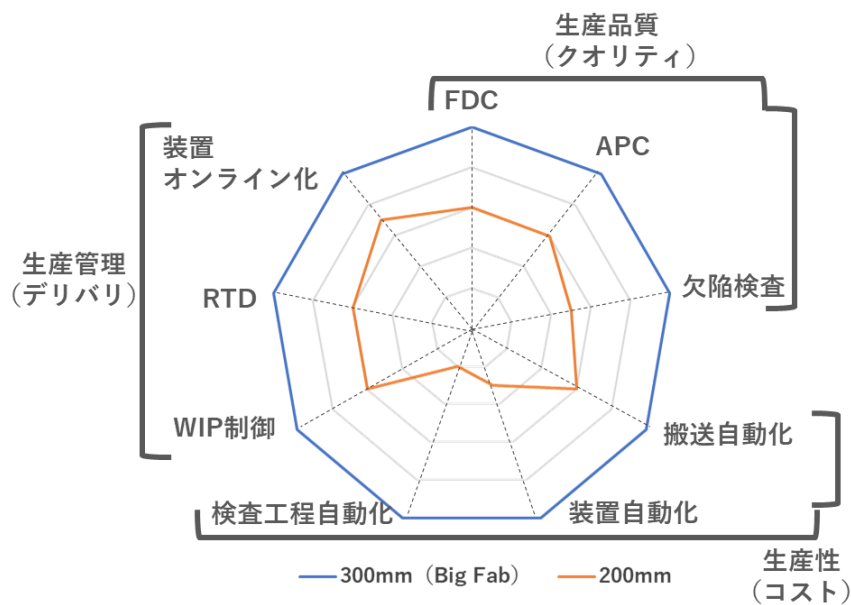


図 1-3-3. 200mm/300mm ラインの品質・生産性・生産管理能力比較

自動化による生産性や生産管理は、圧倒的に 300mm ラインが優位である。品質についても装置ログデータから異常を予測する FDC（Failure Detect Control）や工程バラツキを自動でフィードバックする APC（Advanced Process Control）等、300mm の装置オンライン化による相乗効果が 200mm ラインでは不足している。また、200mm ラインでは工程中の欠陥検査の自動化が進んでおらず品質を管理するための情報の質や量に乏しい。そのため製品事故が発生した場合に原因系の特定と出荷製品への影響を直ちに分析できないこともあ

る。大規模な 300mm ラインは 200mm ラインに比べ生産管理・生産性・品質の総合的な改善がなされている。品質管理の観点から高信頼性が要求される産業・車載用途の半導体製品は 300mm ラインで生産すべきである。しかし長期供給と高品質要求にはジレンマが存在する。高品質を要求する産業・車載顧客は生産ラインや材料や作業者の変更を基本的に許さず 10 年を超えて同一製品供給を要求される。車載メーカーが希望する実績のある 200mm ラインや設備は 20 年近く稼働し老朽化している。設備保守スタッフも高齢化しており装置レベルを人間系で安定に維持することが困難になってきている。アナログ IC は 300mm 以降の微細化プロセスもファウンドリから提供準備は完了しておりアナログ IC メーカーは移行を始めている。ディスクリート製品（特にパワー半導体）はトランジスタの独自ルールによる設計や特殊なプロセスを使うことを他社との差異化技術としているためアナログ IC に比べてプロセス・デザインの標準化が進んでいない。製造プロセスの標準化が困難なため自前のラインを維持活用する必要がある。しかしディスクリート製品の中でもパワー半導体のようなチップ面積が大きく微細化により更に性能改善が望めるパワー MOSFET や IGBT の分野では、Infineon が自前で 300mm ライン生産に移行を始めている[6]。300mm 化で高い生産性と製造品質が確保されることは間違いない。Infineon の 300mm 製品が車載メーカーに認知されればパワー半導体の 300mm 化は必須になると思われる。その時、国内パワー半導体メーカーは自前で 300mm ラインを整備できるかが課題である。自前力がない場合、新製品開発量産はファウンドリ活用が必須となる。

国内パワー半導体メーカーは 1990 年以降もデバイス設計・生産で優位性を維持し続け次々と新たな微細構造パワー半導体を世に生み出してきた。しかし微細パワー半導体は 200mm ライン限界の設計ルール(130nm)の端境期に来ている。国内パワー半導体メーカーが新しい環境で優位性を維持するためには微細構造設計のみならず微細化による特性影響や欠陥影響を熟知し影響を考慮したデバイス設計を行う必要がある。微細化による特性影響に加え工程能力や欠陥影響が製品歩留に与える影響をモデル化した本論文はその一助になることを期待する。

1-4. パワー半導体の微細化

半導体の微細化を代表する MPU やシステム LSI の集積度ロードマップには、ムーアの法則が背景にある。法則は半導体の微細化を示す指標で、“チップに搭載されるトランジスタ数は 5 年で 1 桁集積度が向上する”というものである。単純なトランジスタのシュリンクに限定しなければ現在に至る四十年間続いている。微細化による高性能化や速度性能向上に加えてコスト削減の効果が有りロードマップを業界全体で共有することで半導体産業成長の原動力となってきた法則である[7]。第 3 章で MPU とメモリの微細化について詳細分析を行うが、それらの製品とアナログ IC・ディスクリートの微細化レベルは雲泥の差となっている。

アナログ IC は 200mm ライン限界のデザインルール 0.13 μm で停滞しているが、ディस्कリートはパワー半導体で微細化が継続している。図 1-4-1. に設計/開発レベルのパワー MOSFET と IGBT の微細化レベルの推移を示した。システム LSI に比べ大幅な遅れが生じていることが判る。微細パワー半導体設計では微細化レベルは 100nm 以下に達しており 200mm ラインで一般的な限界 130nm を超え始めている[8]。300mm 化を視野に入れるべき時期に来ている。パワー半導体では 2010 年以降、単純なセル縮小による特性改善ではなく新しいセル構造の提案が行われている。パワー MOSFET は 1990 年にトレンチゲートの UMOSFET から現在の Field Plate 構造 MOSFET (FP-MOSFET) まで進化を続けている。IGBT も UMOSFET 同様に 1990 年中頃からトレンチゲート構造が採用された。チャネル抵抗を削減する UMOSFET と異なり IE (Injection Enhancement) 効果により $V_{ce(sat)}$ の改善が図られる[9]。2012 年にスケーリング IGBT が大村等により提案されセルサイズは一定で、セル内部のトレンチゲート構造 (幅、深さとゲート膜厚)、Si メサ幅、コンタクトサイズ、ベース深さをスケーリングすることで $V_{ce(sat)}$ の改善が可能なが示された[10]。その後、2019 年に更屋等により $K=1$ (メサ幅=3.0 μm) , $K=3$ (メサ幅=0.6 μm) の試作結果が報告された[11]。また 2017 年に Hao Feng 等は Si メサを FIN 構造 (side-wall gate 構造) にした IGBT を提案し FIN 構造の微細化で $V_{ce(sat)}$ が更に改善されることを予想している[12]。

Si パワー半導体は微細技術を活用した新しいトランジスタセルの発明により更に進化する可能性がある。

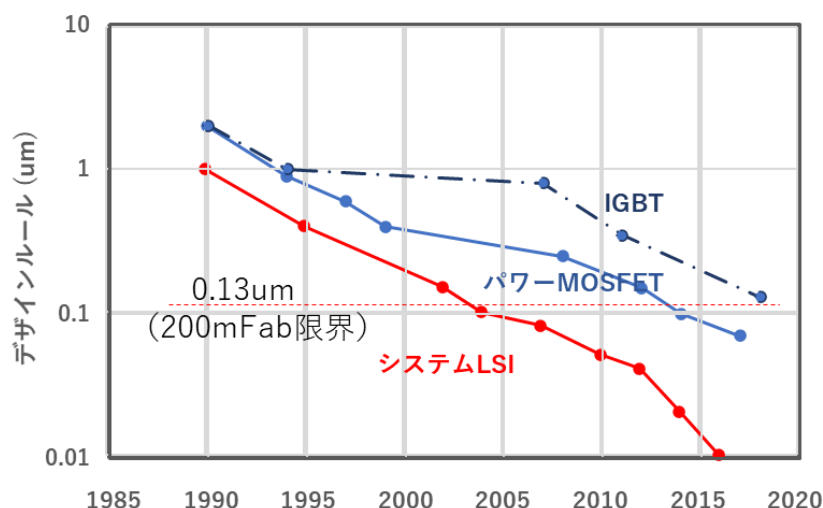


図 1-4-1. パワー半導体の微細化

本論文では、パワー半導体製品で微細化を牽引している UMOSFET をモチーフに微細化による特性影響や欠陥影響をモデル化し影響の定量化を試みた。得られた知見を次期微細デバイス設計に役立てることを目的とした。

1-5. UMOSFET 微細化の技術課題

図 1-5-1.に 60V 系 UMOSFET のセルサイズと R_{onA} (面積規格したオン抵抗)のトレンドを示した。1980 年代に主流であった DMOSFET (プレナーゲート構造) はセル間 (P ベース間隔) が短くなると P ベース と N ドレインのビルトインポテンシャルによる空乏層が P ベース間のドレイン領域で広がりオン電流を遮断するピンチオフを起こす構造であるため微細化に限界があった[13]。1990 年に現れたトレンチゲートを使用した UMOSFET は電流経路が上下になりピンチオフによるセル微細化の制約がなくなった[14]。

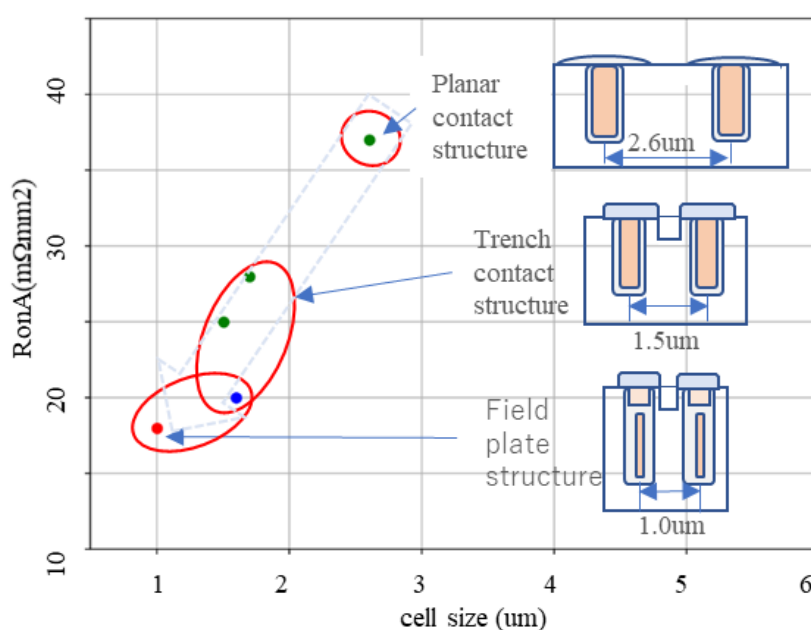


図 1-5-1. 60V 系 UMOSFET のセルサイズと R_{onA} トレンド

UMOSFET はセルを微細化することでオン抵抗の主要成分であるチャネル抵抗の削減が可能となった。UMOSFET のセルサイズは一般的に 2.6μm 程度となった。2000 年代にはメタル埋込技術を応用してプレナーコンタクト構造からトレンチコンタクト構造に変化した[15]。コンタクト領域のシュリンクにより一般的なセルサイズは 1.5μm 程度となった。2010 年代には深いトレンチを形成する FP(Field Plate)構造が現れチャネル抵抗のみならずドリフト層抵抗を大幅に削減することが可能となった[16]。トレンチ内にソース FP を形成しゲートはトレンチ構造の上部に組み込まれている。セルサイズは約 1.0μm まで微細化

された。また FP-MOSFET は帰還容量が小さく高速動作に向いた構造でもある[17]。

図 1-5-2. にセル構造微細化に伴って、トレンチ幅、コンタクト幅、CVD 幅（ゲート上の絶縁膜幅）の縮小を図示した。トレンチ内のポリシリコンは CVD 膜を介してソースメタルと絶縁されている。パターン上でトレンチゲート側面からコンタクトエッジまでの距離はソース電極とゲート電極の絶縁距離でありポリシリコンダストのようなランダム欠陥の影響を受けやすいクリティカルな距離（crl:critical length）である。セル微細化によりこの距離も小さくなっており初期のプレナーコンタクト構造では $0.6\mu\text{m}$ 、トレンチコンタクト構造では $0.15\mu\text{m}$ 、最新の FieldPlate 構造では $0.1\mu\text{m}$ となっている。セルサイズの約 1/10 で縮小している。 $0.1\mu\text{m}$ は 200mm 露光装置の限界寸法 $0.13\mu\text{m}$ を超えたレベルである。更に UMOSFET の製造工程ではトレンチゲートのパターンを基準にコンタクトパターンが形成されるため上記ゲート・コンタクト距離は、露光装置のバラツキやパターンの合わせずれ、トレンチ形成のドライ加工装置のバラツキ等複数工程の影響を受ける。crl が短くなることで製造工程でのランダム欠陥に敏感になることや V_{th} 等特性の制御が困難になることが予測される。本論文では既存デバイスの特性バラツキや歩留情報を使って解析モデルを検証し定量的な影響を予測することでパワー半導体の微細化に関する製造設計手法を提案する。第 4 章では crl が短くなることによる V_{th} 上昇現象と V_{th} 制御性の低下のモデル化を行った。第 5 章では工程のランダム欠陥によるゲート不良と L 負荷耐量不良をモデル化した。

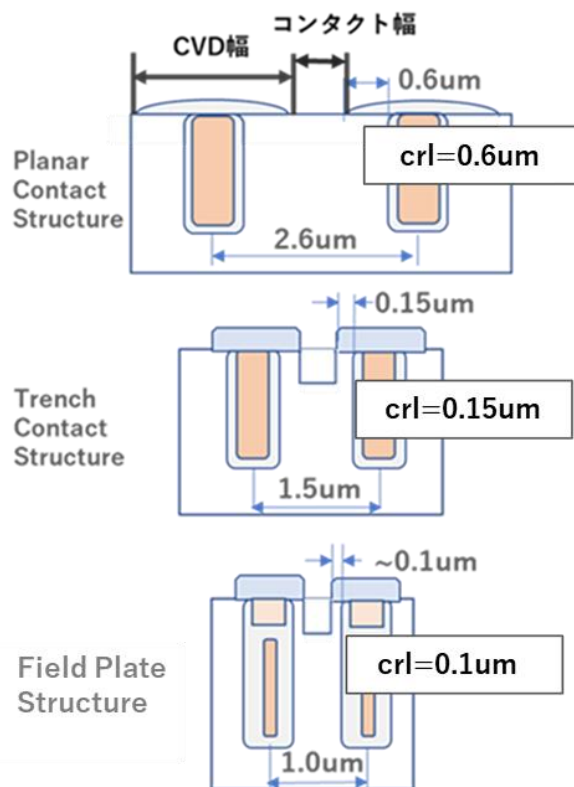


図 1-5-2. セル構造微細化とゲート・コンタクト距離(crl)の推移

1-6 本論文の目的

現在パワー半導体の微細レベルは 200mm ラインの限界設計ルール (130nm) 付近にあり更なる微細化 (300mm 化) へのターニングポイントにきている。しかし国内では 300mm 投資しているメモリやシステム LSI メーカーは親会社から分社独立したためパワー半導体メーカーが従来のように易く 300mm ラインや微細化技術を楽しむことができない状況になっている。国内パワー半導体メーカーが継続成長するためには既存ラインを前提とした T-CAD による設計技術力だけでなく、生産ライン変更 (場) と微細化 (設計) による工程能力の変化やランダム欠陥の影響を把握したコスト設計力が必要である。檜崎等はトレンチコンタクト構造を採用した UMOSFET でゲート・コンタクト距離(crl)が短くなることで L 負荷耐量上昇とゲート不良増加を実験データで示した[76]。しかし、製造ラインの工程能力やランダム欠陥を加味したパワー半導体設計は各メーカーのノウハウ事項であることや性能重視の学会発表で取り上げられにくい内容であるため情報は少なくモデル化や体系的に取り組まれた報告例は稀有である。本論文の目的は、半導体産業を比較分析しパワー半導体産業の将来課題を明確にするとともに微細化パワー半導体の技術課題として微細化による特性そのものへの影響に加え工程能力や工程欠陥が特性や歩留に与える影響をモデル化し定量化することで将来の微細パワー半導体の量産設計を体系化することである。

第 1 章では、半導体産業全体の市場変化や製品別ビジネスモデルの細分化からパワー半導体産業が置かれている状況を分析した。結果、微細パワー半導体はデザインルールの端境期にあり微細化ライン確保と車載品質の確保が大きな課題であることを示した。国内メーカーが微細パワー半導体分野で成長するためには優位性をもつデバイス設計に加え製造ラインの工程能力やランダム欠陥を考慮したコスト設計と信頼性設計が重要であることが判った。本研究では UMOSFET をモチーフにセルトランジスタの微細化に伴って起こる特性影響と工程欠陥による歩留や信頼性影響を実験的かつ理論的に明らかにし将来の微細パワー半導体に必要な製造ラインのスペックを明確化することの重要性について述べた。

第 2 章では、国内のパワー半導体産業の状況を把握するため、世界半導体統計(WSTS)の 5 分類 (IC4 分類+ディスクリート) をビジネスモデル別 3 分類 (旧 IDM 型: アナログ IC とディスクリート, 専業 IDM 型: メモリと MPU, ファブレス/ファウンドリ型: システム LSI) に再分類し製品別売上シェアから各半導体メーカーの動向を調査した。パワー半導体は Infineon がトップシェア (19%) であり 300mm ラインで既に生産開始している。国内メーカーは併せると Infineon に匹敵する規模を持つが微細化は遅れている。最大のビジネス課題は将来の微細化ライン(300mm ライン)の確保であることを示した。

第 3 章では、第 1 章で抽出したパワー半導体産業課題の根拠をメモリやシステム LSI 産業と比較することで示した。現在パワー半導体の微細レベルは 200mm 生産ラインの限界設計ルール (130nm) 付近にあり 300mm 生産ラインへの移行が必要な端境期である。しかし日本は他国と比べ 200mm 以下の生産ライン比率が多く微細化後進国となっている。国

内では微細技術や製造技術に対する知見が全体的に乏しくなっている。端境期を迎えた今、連続性が無くなる製造ラインの変化(200→300mm)に対して工程能力や欠陥レベルを考慮しコストを意識したデバイス設計が重要であることを示した。

第4章では、微細化が進む中で加工精度が電気特性に及ぼす影響を検討した。具体的にはUMOSFETをモチーフに複数の加工装置によるバラツキの影響を受けるゲート・コンタクト距離(crl)に着目して微細UMOSFETの V_{th} 上昇現象を解明した。一般的に考えられているコンタクトP+拡散層によるチャネル濃度上昇は $crl < 30nm$ で起こるが、実際には $crl < 150nm$ で V_{th} 上昇が観察されゲート空乏層がコンタクトP+層にパンチスルーすることで V_{th} 上昇が起こることを明らかにした。微細パワー半導体のセルサイズ縮小に伴ってセルサイズの約1/10で縮小が進むゲート・コンタクト距離(crl)は現在100nm以下になっている。この領域では V_{th} はcrl依存を始める(crlが小さくなると V_{th} が急上昇する)。200mmラインの限界は露光装置のパターニング限界(130nm)ではなく寸法変換差や合わせ精度(10~20nm)が律速している。 $crl < 100nm$ では V_{th} 制御が困難になることを示した。

第5章では、まず工程欠陥と製品歩留の関係性を解明し、次に第4章との結果を結合したユニバーサルモデルを作成した。具体的には第4章と同じゲート・コンタクト距離(crl)を共通パラメータとしてゲート不良とL負荷耐量不良のモデルを作成した。ゲート不良については実不良率と良い一致を示した。L負荷耐量不良については耐量がベース抵抗に逆比例すると仮定してクリティカルエリアモデルを適用した。ランダム欠陥密度(場)とチップサイズ(設計)、ゲート不良とL負荷不良をデータで結合し動的平行線図で可視化した。これによるとcrl縮小に伴い工程欠陥がゲート不良やL負荷耐量不良の急激な増加を招くこと、現状の加工装置の欠陥管理レベル(～0.01/cm²)でも標準的な3mm²チップのUMOSFETでは無視できない歩留低下を起こすことを示した。また、第4章の V_{th} モデル、ベース抵抗モデルと本章の欠陥モデルを統合したユニバーサルモデルを使って工程能力と欠陥レベルによる特性・不良率影響を200mm想定ラインと300mm想定ラインで比較した結果、次世代UMOSFET($crl < 80nm$)を量産する場合300mm想定ラインが必須であることを示した。

第6章では、本研究により得られた結果を総括する。微細パワーデバイスのセルサイズ縮小に伴ってセルサイズの約1/10で縮小が進むゲート・コンタクト距離(crl)は現在100nm以下になっている。この領域では V_{th} はcrl依存を始める。200mm露光装置のパターニング限界(130nm)より寸法変換差や合わせ精度の限界(10~20nm)が深刻な影響を与え V_{th} 制御が困難になることを示した(第4章)。また、現状の加工装置の欠陥管理レベル(～0.01/cm²)でも標準的な3mm²チップのUMOSFETでは無視できない歩留低下を起こすことを示した。量産を意識した場合、加工装置の欠陥レベルを1桁以上管理改善する必要があることを示した(第5章)。微細化パラメータによるユニバーサルモデルから“現状の200mmラインは $crl < 100nm$ の微細パワー半導体の量産には適しているのか否か”“300mmラインでは生産可能か否か”という結論を導き出した。

第2章 半導体メーカーの分類

2-1. IDM とファブレス/ファウンドリ

本章では国内のパワー半導体産業の状況を把握するため、世界半導体統計(WSTS)の5分類（IC4分類+ディスクリート）をビジネスモデル別3分類（旧IDM型：アナログICとディスクリート, 専業IDM型：メモリとMPU, ファブレス/ファウンドリ型：システムLSI）に再分類し製品別売上シェアから各半導体メーカーの動向を調査した。第1章で2000年以降それまでの半導体メーカーのビジネスモデルであったIDM（Integrated Device Manufacturer）型のエコシステムが崩壊したことを述べた。システムLSIメーカーはファブレス化しファウンドリを活用して製品を供給する水平分業の新エコシステムを構築した[18]。また製品規模が大きいメモリやMPUは設備投資に必要な資金や技術リソースを専業化することで集中する専業IDMに発展した。図2-1-1.に新旧2つのIDMとファブレス/ファウンドリの半導体メーカーのビジネスプロセスを示した（[18]に組立/テスト/営業フローを追加）。

ビジネスモデル	垂直統合型ビジネス		水平分業型ビジネス
半導体産業での分類	IDM (Integrated Device Manufacturer)		Fabless/Faundry
半導体ビジネスプロセス	要素技術・IP開発 ↓ チップ設計 ↓ チップ生産 ↓ 組立・テスト ↓ 自社 OSAT* ↓ 営業（自社/販社）		IP開発 IP開発会社 (Arm社等) ↓ チップ設計 Fabless (Qualcomm等) ↓ チップ生産 Faundry (TSMC等) ↓ 組立・テスト OSAT* * Outsourced Assembly and Test (ASE等) ↓ 営業（自社/販社）
製品分類 (本論文)	ディスクリート アナログIC	メモリ MPU	システムLSI
ビジネス分類 (本論文)	半導体部品	半導体専業	ファブレス/ファウンドリ
分類上の 特徴	少量多品種生産 長寿命高品質要求	多量少品種生産	設計ルールと標準化により 数量・品種に柔軟に対応

図 2-1-1. IDM とファブレス/ファウンドリ

従来の IDM は、要素技術・IP 開発からチップ設計、チップ生産、パッケージ組み立て、テスト、販売までのプロセスを一貫して行っていた。半導体製品の品種と規模が増えてくると問題になるのが、研究開発費と設備投資費であった。Intel は DRAM 事業から撤退し MPU (Micro Processor Unit) のみに注力し全世界の工場で製造プロセスを統一することで投資した設備稼働率を高めた。またムーアの法則に従った業界ロードマップを PC メーカーと共有し計画的投資と計画的生産が行える専業 IDM という安定したビジネスモデルを作った。R&D を解散し社外リソースを積極的に活用することで研究開発費の圧縮を図った[19]。

また、ファブレスを代表する Qualcomm は得意の通信技術にアームコアを取り込んだシステム LSI を設計し、世界最大のファウンドリである TSMC のクリーンルームでチップ製造を行っている[20]。TSMC は Broadcom や Nvidia 等他の巨大ファブレスメーカーの製造を請け負うことで各半導体分野の製品市場動向をいち早く入手し自社の生産規模を把握することができる。これにより無駄のない設備投資や設備稼働率を高く維持できるメリットがある。

アナログ IC・ディスクリート半導体メーカーは第 1 章でも取り上げた様に扱う製品が多く寿命が長い他ビジネスのように特定製品特化やファウンドリ委託が困難である。2000 年以降旧 IDM のエコシステムが崩壊した後、新たな生産技術や生産ラインの更新スピードが落ちている。また新製品開発や設備投資が回らない状況にある。詳細分析は第 3 章でメモリ・MPU、システム LSI とビジネス構造の比較を行う。本章ではまず各メーカーの売上高を分析しビジネスモデルごとの特徴を抽出する。

2-2. 半導体メーカーの売上

表 2-2-1. に 2019 年(CY)の半導体メーカーの売上ランキングを示した[21]。売上金額(単位: 億ドル)と表 2-1-1. で 3 分類したビジネスタイプを併記し色分けした。上位 15 社の売上合計は、3148 億ドルで、半導体全売上(4121 億ドル)の 76% を占める。半導体専業メーカーを橙色に着色した。Intel (1 位) は MPU 専業メーカーであり、Samsung (2 位) SK Hynix (4 位)、Micron (5 位)、Kioxia (9 位) はメモリメーカーである。

ファブレス/ファウンドリを緑色に着色した。ファウンドリは TSMC (3 位) で、Broadcom (6 位)、Qualcomm (7 位)、Nvidia (10 位)、Media Tek (15 位) はシステム LSI メーカーである。半導体部品メーカーを水色に着色した、TI (8 位)、Infineon (12 位)、STMicro (13 位)、NXP (14 位) はアナログ IC とディスクリート製品の老舗半導体メーカーである。国内メーカーの多くはこのビジネス分野に属するが CMOS センサの Sony (11 位) を除いてランキングに含まれていない。また日本半導体メーカーの 2019 年度売上シェアは僅か 6% となっている。

表 2-2-1. 2019 年半導体売上(CY)ランキング (ファウンドリ含)

ランキング		売上(億ドル)	タイプ
1	Intel	698	半導体専業
2	Samsung	556	半導体専業
3	TSMC	345	ファウンドリ
4	SK Hynix	229	半導体専業
5	Micron	200	半導体専業
6	Broadcom	177	ファブレス
7	Qualcomm	143	ファブレス
8	TI	135	半導体部品
9	Xioxia	113	半導体専業
10	Nvidia	105	ファブレス
11	Sony	96	半導体部品
12	Infineon	95	半導体部品
13	ST Micro	89	半導体部品
14	NXP	89	部品
15	Media Tek	79	ファブレス

図 2-2-1.に専業メーカー、ファブレス/ファウンドリメーカー、電子部品（アナログ IC・ディスプレイ）メーカーの売上比率を示す。

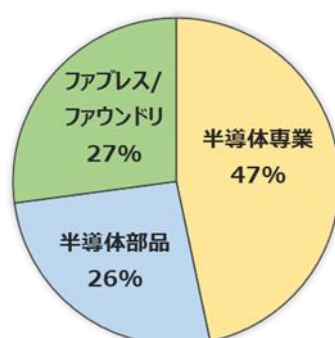


図 2-2-1. メーカー分類別売上比率 (上位 15 社:3148 億ドル)

表 2-2-1.の上位 15 社には各ビジネスタイプ毎 5 社がランクインしている。売上比率は半導体専業が全体の 5 割、ファブレス/ファウンドリと半導体部品が 2.5 割という構成になっている。半導体専業メーカーは一社当たりの売上高は他業態の 2 倍であることが判る。また、国内メーカーでランクインしているのは Kioxia（旧東芝メモリ）と Sony の 2 社だけである。国内メーカーの状況を把握する目的で次節以降で詳細にタイプ別売上分析を行った。

2-3. 半導体専門メーカーの売上

半導体売上ランキングに含まれていた半導体専門メーカー 5 社の専門分野での市場シェアを、図 2-3-1.に示した。メモリ製品は、DRAM と NAND フラッシュメモリ売上进行を合わせた 2018 年度(貿易摩擦やコロナ影響がない過去最高)売上进行を採用した。メモリの総売上は 1633 億ドルであった。1 位 2 位は、韓国の Samsung と SK Hynix であり、両方で 61%を占めている。3 位が米の Micron で 17%、4 位が東芝メモリ(現 Kioxia) と WD(旧 SanDisk: チップ製造は日本)が 16%となっており、4 社でメモリ全体の 94%を占めている[22]。

MPU 市場(2019 年度)の総売上は 773 億ドルで Intel が 698 億ドルで圧倒的シェア(90%)を占めている[23]。一般的にシェア 40%を確保するとセットメーカーに対し価格設定が優位になる。Samsung や Intel は PC やスマートフォンメーカーに対し優位な立場にあるといえる。PC やスマートフォン業界の開発や販売のロードマップを共有することで精度の高い開発計画と無駄の少ない投資計画を作成できることも半導体専門メーカーのメリットである。

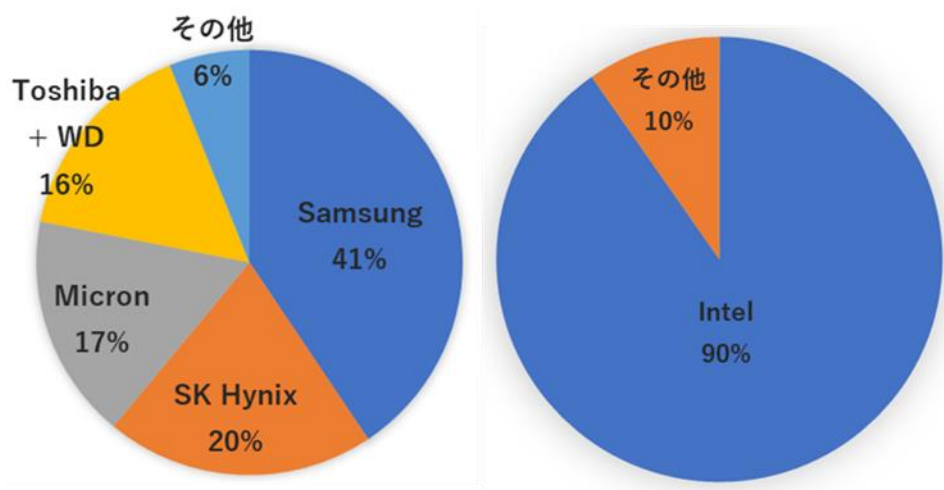


図 2-3-1. 半導体専門メーカーの市場シェア (左図: メモリ、右図: MPU)

2-4. ファブレスメーカーの売上

表 2-4-1.に、ファウンドリを除くシステム LSI (ファブレス) メーカーの売上ランキング(2018 年)を示した[24]。総売上は 1090 億ドルで上位 10 社が占める割合は 65%である。この数字はメモリや MPU の専門メーカー比率(90%以上)には及ばない。原因は、プレーヤ数が多いことにある。ファブレス/ファウンドリは新エコシステムであり今後はシステム LSI のみならずアナログ IC メーカーも参入しプレーヤ数は増えると予想される。

表 2-4-1. 2018 年システム LSI（ファブレス）ランキング

ランキング		売上（億ドル）	本社
1	Broadcom	189	米
2	Qualcomm	164	米
3	Nvidia	112	米
4	MediaTek	79	台湾
5	AMD	65	米
6	Xilinx	29	米
7	Marvel	28	米
8	Novatek	18	台湾
9	Realtek	15	米
10	Dialog	14	米

通信 LSI の Broadcom(1 位)、Qualcomm (2 位)、GPU や AI チップの Nvidia(3 位)の売上が大きい。MediaTek (4 位) と Novatek (8 位) は台湾のメーカーであるがその他はすべて米メーカーである。米・台湾メーカーがファブレス/ファウンドリビジネスで成功を収めていると言える。図 2-4-1.にファブレス各社の売上比率を示す。

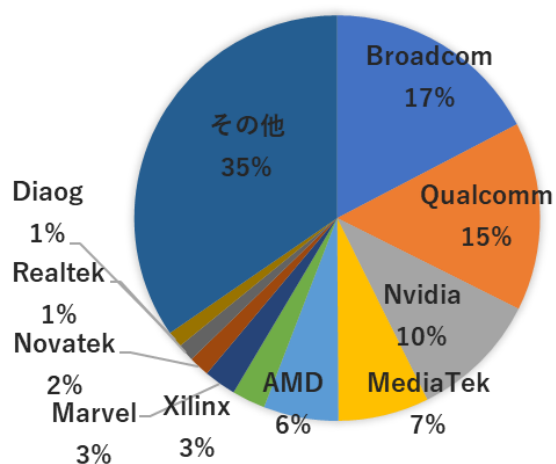


図 2-4-1. ファブレスメーカーの市場シェア

残念ながら国内の半導体メーカーはランキングに入っていない。2000 年以降旧 IDM システムが崩壊した後、日本のシステム LSI ビジネスはファブレス/ファウンドリという新しいエコシステムへの乗り換えが遅れたのが原因である[25]。

2-5. 半導体部品メーカーの売上

アナログ IC・ディスクリートメーカーは、オペアンプやトランジスタなど製品寿命が長く、抵抗やコンデンサのような電子回路を構成する部品と同じように、品種が多く単価が安い
ため製品としての付加価値が少なく生産数量は多いものの売上高は小さい場合が一般的である。また、古い歴史があるため製品分野が広く分野ごとに多くのプレーヤが存在する。本章では、アナログ IC とディスクリートで売上規模の大きいパワー半導体、イメージセンサ、LED のプレーヤに着目して分析した。

2-5-1. アナログ IC

表 2-5-1. に 2018 年度のアナログ IC メーカーランキングを示した[26]。上位 10 社中 6 社は米メーカーで他 4 社も日欧メーカーが占めている。上位 10 社の売上合計は 361 億ドルでアナログ IC 市場全体(590 億ドル) の 61%である。製品寿命が長く品種が多いビジネスであるため専業半導体メーカーに比べプレーヤ数が多いがシステム LSI (ファブレス) の 65%と同レベルにある。2015 年以降、上位のアナログ IC メーカーは他社を買収することにより売上シェアを上げている。2 位の ADI(Analog Devices)は 2016 年に Linear Tech (Linear Technology)を買収し 2020 年に 7 位の Maxim を買収した。3 位の Infineon は 2015 年にパワーデバイスの老舗である IR(International Rectifier) を買収した。このようにアナログ IC 大手メーカーの近年売上拡大は新たなヒット商品販売によるものではなく買収によるマーケット獲得によるものである。

表 2-5-1. 2018 年アナログ IC 売上メーカーランキング

ランキング		売上 (億ドル)	本社所在地
1	TI	108	米
2	ADI	55	米
3	Infineon	38	独
4	Skyworks	37	米
5	ST Micro	32	スイス
6	NXP	26	オランダ
7	Maxim	21	米
8	ON Semi	20	米
9	Microchip	14	米
10	Renesas	9	日本

図 2-5-1. にアナログ IC の市場シェアを示した。また、10 位までのメーカーは米国、欧州、

日本であり韓国や台湾メーカーの参入は見られない。米メーカー 6 社で全体シェアの 40%を占めている。

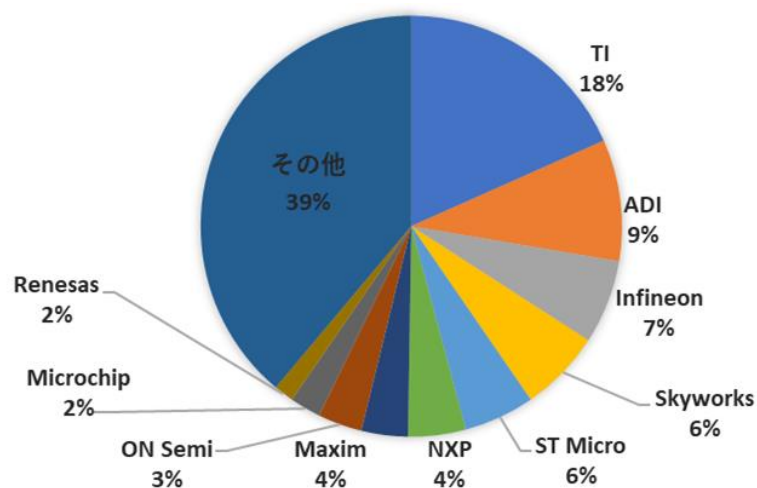


図 2-5-1. 2018 年 アナログ IC の市場シェア

今後、パワーIC や通信 IC 等の付加価値の高い新製品の開発や生産はアナログファウンドリや 300mm アナログ混載プロセスを提供する TSMC 等の巨大ファウンドリを活用したファブレスに移行すると思われる。

2-5-2. ディスクリート

ディスクリート製品は、アナログ IC より更に品種数が多い。ディスクリート製品を構成する製品群には、パワー半導体、センサ・アクチュエータ、イメージセンサ、LED、光半導体、小信号半導体等がある。表 2-5-2.に、2018 年度ディスクリート製品群の売上を示した [27]。ディスクリート全体の売上は 778 億ドルでアナログ IC の約 1.3 倍であるが、全く性質の異なる製品群ごとにプレーヤが存在し品種の多さはアナログ IC の比ではない。

表 2-5-2. 2018 年ディスクリート製品別売上

製品群	売上 (億ドル)
パワー半導体	194
センサ・アクチュエータ	187
イメージセンサ	157
LED	147
小信号デバイス	26
その他	67

図 2-5-2.に製品群ごとの売上比率を示した。ディスクリート製品群で売上比率が大きい製品群は、パワー半導体(25%)、センサ・アクチュエータ(24%)、イメージセンサ(20%)、LED(19%)の4製品群で約 90%を占める。

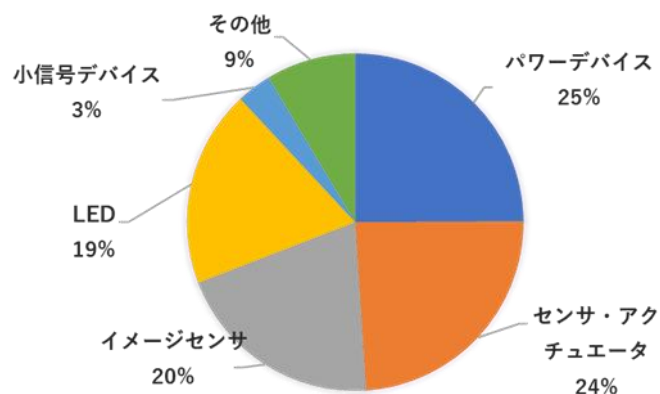


図 2-5-2. 2018 年ディスクリート製品別売上比率

2-5-2-1. パワー半導体

近年の産業車載応用、IoT 応用で売上の伸びを牽引しているパワー半導体市場シェアを図 2-5-3.に示した[28]。パワー半導体は、2015 年に IR (International Rectifier) を買収した Infineon のシェアが 19%で突出している。ON Semi が 9%、STMicro が 5%、日本メーカーは Mitsubishi が 5%、Toshiba は 4%である。国内には Mitsubishi、Toshiba の他に Rohm、Renesas、Fuji など親会社グループの重電部門にパワー半導体を供給しているメーカーが存在する。これらのメーカーは日本のインフラを支える産業構造の一環を担っている。国内メーカーを合算すると Infineon に匹敵するがパワー半導体の分野では Infineon の存在が大きくパワー半導体専用の 300mm 量産ラインを二拠点に保有する唯一のメーカーとなっている。

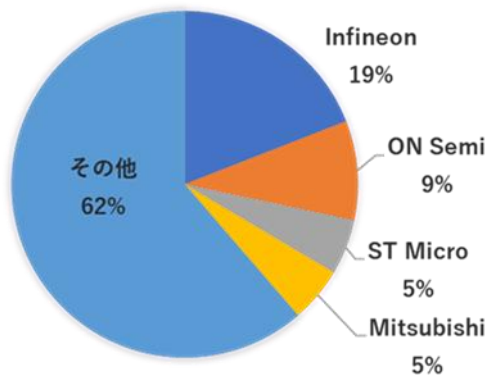


図 2-5-3. 2018 年パワー半導体市場シェア

2-5-2-2. イメージセンサ

IoT 応用でセンサやイメージセンサの需要が高まっている。イメージセンサの市場シェアを図 2-5-4.に示した[29]。

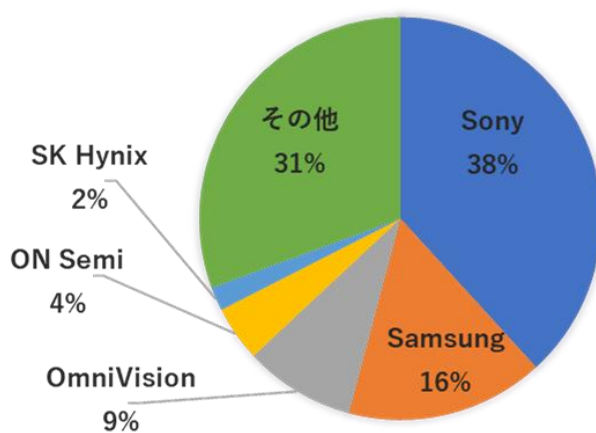


図 2-5-4. 2018 年イメージセンサ市場シェア

CMOS イメージセンサ分野は Sony が 38%と世界最大のシェアを有している。国内 300mm ラインで生産を行っている。一方 4 位でシェア 4%の ON Semi は車載カメラ分野に特化している。今後の動向が注目される。

2-5-2-3. LED

液晶テレビや照明分野で伸張してきた LED の市場シェアを図 2-5-5.に示した[30]。

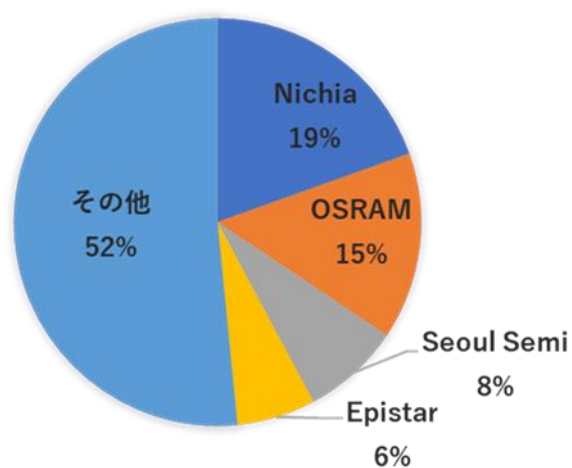


図 2-5-5. 2018 年 LED 市場シェア

白色LEDが登場して以来LED製品分野の主要プレーヤーであったNichia(日本)、OSRAM(独)、Epistar(台湾)はシェアランキングに残っているもののシェアは減少している。先行メーカーの蛍光体等に関する有力特許の有効期間が切れ始めていることや中国メーカーの参入が原因と考えられる。

2-6. まとめ

第1章では、WSTS統計に従い製品分類を、メモリ、MPU、システムLSI、アナログIC、ディスクリートの5分類とした。第2章では更にビジネスモデルからアナログIC・ディスクリート製品を製造する旧IDM型、メモリ・MPUを製造する専業IDM型、システムLSIを製造するファブレス・ファウンドリ型の3分類を定義した。各モデルの特徴を把握するため、米中貿易摩擦影響のない2018年(近年最高売上)の半導体売上データをもとに売上規模や各製品のメインプレーヤーをピックアップした。メモリは、韓国のSamsungとSK Hynixが全体シェアの60%、MPUは米Intelが90%シェアを持つ専業メーカーとなっている。また、システムLSIは台湾ファウンドリと米のファブレスメーカーのコラボで半導体製造の新しいエコシステムを構築している。

一方で、アナログICとディスクリートは寿命が長く品種が多岐に亘るためという理由で依然としてプレーヤー数が多い。アナログICは企業買収による売上拡大の動きとファブレス移行の動きがある。ディスクリートはパワー半導体・小信号半導体・光半導体・センサ等多岐にわたる製品群があり各製品群の売上規模が小さいことと素子単体ごとに性能による差異化を行ってきた経緯から標準化が困難となりファブレスに移行できず、旧IDM型の既存ビジネスを延長していると考えられる。

第3章 アナログ IC・ディスクリート/メモリ・MPU/システム LSI 産業比較

3-1. アプリケーション規模とライフサイクルの比較

表 3-1-1. に半導体を使用したアプリケーション規模(2019 年度)とライフサイクルを示した。メモリ・MPU の専業メーカはスマートフォン、パソコン、ゲーム機等の情報通信分野の民生製品がメインのターゲット顧客である。市場規模は年間 16.6 億台で平均製品寿命は 2～5 年であり短い[4][5][31]。更にモデルチェンジサイクルは 1 年程度と短い。TV やエアコン等の民生家電製品は省エネ指向を背景に年間 2.5 億台で販売され平均寿命は 7～10 年と長い[32][33]。自動車は年間 9200 万台で寿命は 12 年と家電製品より長い[34]。電車は 2 万台で生産台数は極めて少ないが寿命は短いもので 20 年である[35]。それぞれのアプリケーションで主要な半導体製品は異なり情報通信系の民生品にはメモリ・MPU・システム LSI が多く使用されているが、家電・自動車・産業機器にはパワー半導体やアナログ IC が使われている。IoT の定義は広く一般家庭、公共施設、社会インフラ等でセンサ、エッジマイコン、通信 LSI、システム LSI、メモリ、パワー半導体等が広く製品として含まれている。IoT の出荷規模は 274 億台となっているが他アプリケーションと重複している可能性があるため本章では分析対象から除いた。

表 3-1-1. アプリケーション規模とライフサイクルの比較

	寿命 (年)	出荷 (億台/年)	主な半導体製品
スマートフォン	2	13.7	メモリ、システム L S I
ゲーム機	5	0.3	メモリ、システム L S I
パソコン	5	2.6	メモリ、MPU
TV	7	1.4	システム L S I
エアコン	10	1.1	パワーデバイス
自動車	12	0.92	システム L S I、パワーデバイス
電車	20	0.0002	パワーデバイス
IoT	5～15	274	センサ、システム LSI、アナログ IC
サーバー	10	0.12	メモリ、MPU、システム LSI

図 3-1-1. に年間出荷台数を縦軸にライフサイクル横軸にアプリケーションをグループに色分けした。寿命が短く出荷台数が多い緑色はスマートフォン、PC、ゲーム機でありメモリ・MPU・システム LSI が製品の性能を決定する主要部品である。ハードウェアコストの大部分を占める高付加価値な半導体製品である。スマートフォンの寿命はバッテリー寿命の 2 年程度と短い。ユーザーは 2 年毎に買い替えることが一般的となっている。この短いライフサイクルは、セットメーカと半導体メーカが製品や技術のロードマップを共有して作り上げた高収益ビジネスモデルのひとつであるといえる。

家電製品代表の TV やエアコンは橙色で示している。エアコンの年間出荷台数は地球温暖化影響もあり 2019 年には 1 億台を超えている。省エネ買い替え需要もあり高性能インバータ搭載が求められパワーデバイス需要が高まっている。寿命が 10 年以上と長い自動車は、機械部品から電子部品への転換が進んでおり、使用される半導体は、インバータ用 IGBT やパワーステアリング・燃料ポンプ用パワー MOSFET などディスクリート半導体が多用されている。

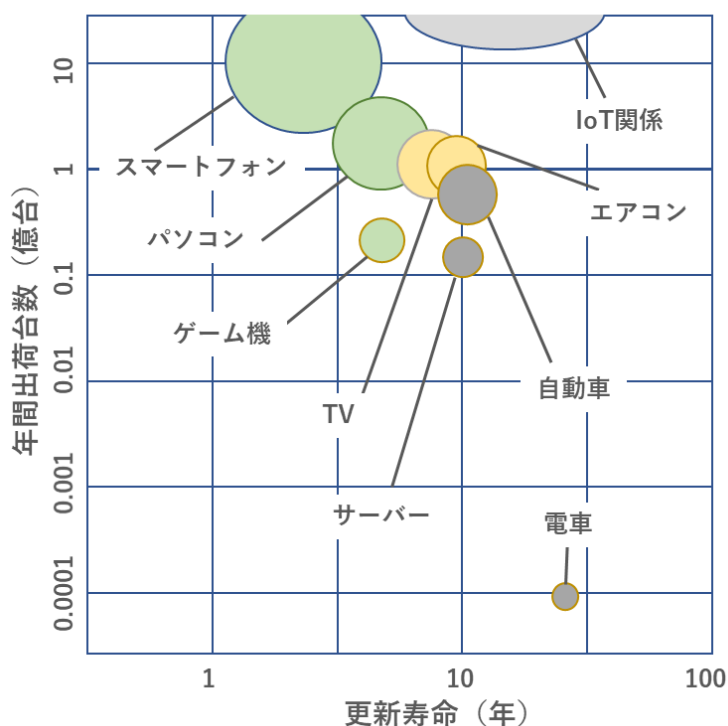


図 3-1-1. アプリケーション規模とライフサイクルによるグルーピング

3-2. 半導体コスト構造の比較

表 3-2-1. にメモリ、システム LSI、パワー MOSFET のコスト構造を示した。半導体製品間でコスト構造の比較をする場合、チップ面積が異なると組立コスト差影響が大きくなる。比較に際してメモリやシステム LSI で一般的な 5~7mm² のチップを想定して製品のコスト構造を比較した。ディスクリート製品の代表としてクリーンルームでの生産規模が最も大きいパワー MOSFET を選択しチップサイズ 5mm² の製品を想定した。

製品コストは各メーカー社外秘であるため文献情報など公開情報をもとにコスト費目の比率を示した[36] (メモリとシステム LSI のコスト比較[37])。コスト費目はチップコストと組立コストと広義販売管理費 (Large Commercial Cost) からなる。チップと組立は材料や直接労働など変動費と管理労務費や設備維持や減価償却などの固定費からなる。

表 3-2-1. 半導体製品コスト構造の比較

費用分類		メモリ	システムLSI	パワーデバイス
チップコスト	直接材料費	4	3.8	12
	直接労務費	4	3.8	20
	変動費（間材+外注）	7.2	6	18
	減価償却費	32	28.6	7
	その他固定費	9.6	9	6
組立コスト	パッケージ材料費	1.6	2.3	16
	労務費+変動費	3.2	3	8
	減価償却費+固定費	18.4	18.8	3
LCC	研究開発費	12	17	5
	販売管理費	8	7.5	5

単位(%)

図 3-2-1.にメモリ製品のコスト構造と図 3-2-2.にシステム LSI 製品コスト構造を示した。両者での構造差は少ない。システム LSI はファウンドリを使用しているが設備投資の減価償却費は相応に負担しており同じレベルになっている。両者で差が大きいのは、研究開発費でありシステム LSI の場合 17%となっている。メモリも新製品開発や微細化技術開発で多くの研究費が必要だがシステム LSI の場合は回路設計に関する研究費が大きい。メモリに比べ多品種であることも研究費比率が大きい要因の一つと考えられる。

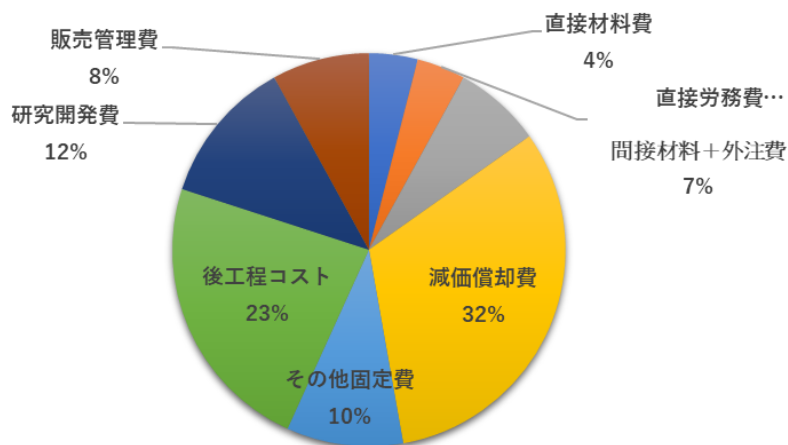


図 3-2-1. メモリ製品のコスト構造

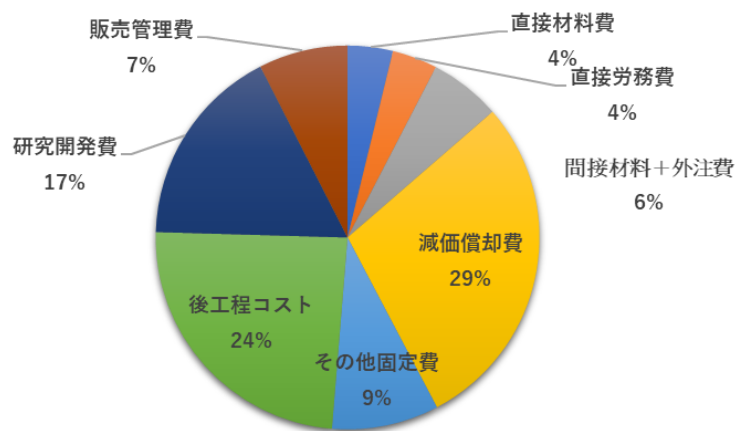


図 3-2-2. システム LSI 製品のコスト構造

図 3-2-3. に示すパワー MOSFET のコスト構造はメモリやシステム LSI と大きく異なっている。組立コストは一般的にパッケージのピン数やテスト項目に依存するが、パワー MOSFET は放熱のためのフレーム材や樹脂材の直接材料コスト大きい。組立材料費の内訳はメモリやシステム LSI と異なるものの組立コスト比率は 3 製品で 23~27% で大差はない。

一方でチップコストの内訳が大きく異なる。パワー MOSFET の減価償却費率は 7% でメモリやシステム LSI の 1/4 以下である。直接労務費が 20% とメモリやシステム LSI の 5 倍である(製品の工程数を考慮すると 10 倍以上大きいといえる)。また研究開発費は 6% でメモリの半分以下となっている。

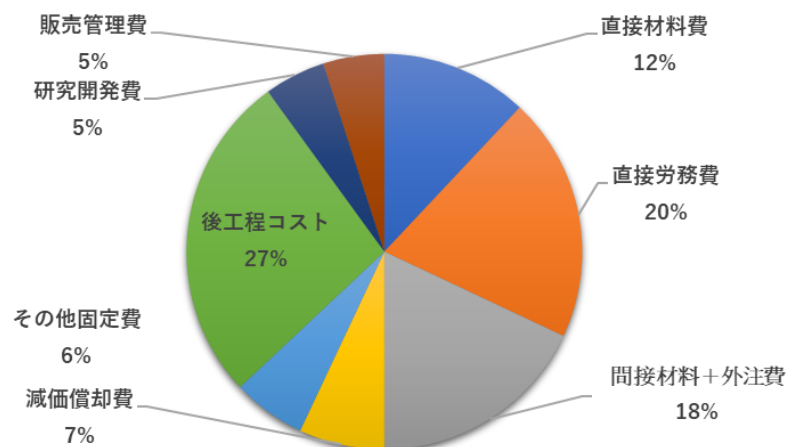


図 3-2-3. パワー半導体 (パワー MOSFET) のコスト構造

3-2-1. DEP 比較

減価償却費（DEP: Depreciation）は、設備投資に要した費用を設備使用期間で配分したもので製品寿命の短いメモリでは3年程度、寿命の長いアナログ IC などでは5年程度が設定される。メモリやシステム LSI は競争力の源である“微細化と生産性”を得るために巨額の設備投資が必要である。表 3-2-2.に 2019 年の製品メーカー別投資額をまとめた[38]。

表 3-2-2. 2019 年度 設備投資金額

メモリ・MPU		システムLSI	アナログIC・ディスクリート	
Samsung	Intel	TSMC（ファウンドリ）	Renesas	Infineon
226	155	103	3	18

単位：億ドル

メモリトップシェアの Samsung が 226 億ドル、MPU シェア 90%の Intel は 155 億ドル、システム LSI の生産受け皿である TSMC（ファウンドリ）は 103 億ドルである。メモリ・MPU メーカーやファウンドリは毎年このレベルでの投資を続けている。アナログ IC 世界 10 位の Renesas は 3 億ドル、パワー半導体トップの Infineon でさえ 18 億ドルでありメモリメーカーと比較して桁違いに少ない。パワー半導体の生産ラインの自動化投資を節約することで DEP 発生を抑えることができるものの直接労働費比率が高止まり（20%）の理由にもなっている。

3-2-2. 直材費比較

直材比率は、メモリやシステム LSI では 4%に対しパワー半導体では 12%と大きい。直材費の殆どは材料メーカーから購入するウェハ費用と考えてよい。メモリやシステム LSI は 300mm ウェハの極表面領域にデバイスを形成するため、基板濃度など標準化した MCZ（Magneticfield applied Czochralski）ウェハの使用が可能である[39]。一方で、パワー半導体ではデバイスの耐圧系によりエピ層の濃度や厚さが異なり非常に複雑である。パワー半導体で生産規模が大きい低耐圧(100V 以下)のパワーMOSFET の場合、通電方向がウェハ上下であるためヒ素や赤燐等の高濃度不純物基板に耐圧やオン抵抗を最適化したエピタキシャル成長を行ったエピウェハを使用する。耐圧やその他特性にカスタマイズした製品ごとのエピウェハを材料メーカーから購入するため 200mm の単純なエピウェハ（単層エピウェハ）でも 300mm のメモリウェハより高額な場合もある。中耐圧 MOSFET で主流になっているエピ層を積み重ねる Super Junction 構造のウェハは、製品ごとのパターニングとイオン注入を 5 回程度繰り返し製造するためセルトランジスタを形成する本工程以上に費用が掛かる場合がある[40]。更に生産規模は極めて少ないがハイパワー（2500V 以上）のウ

ェハは均一な低濃度のバルクを確保するため中性子線照射（NTD:Neutron Irradiation）により Si を P（リン）に替える技術が使われる[41]。この場合低濃度の FZ（Floating Zone）インゴット[42]に原子炉内で中性子線を照射し数か月の冷却期間をおいてウェハ加工するといった手間のかかる作業が必要である。図 3-2-2-1.に 300mm メモリウェハ、200mm 低耐圧パワーMOSFET ウェハ、200mm 高耐圧 SJ-MOSFET 用ウェハ、2500V クラスの HV パワーデバイス用中性子線照射（NTD）ウェハのコスト構造を示した。図 3-2-4.は一枚当たり（面積換算なし）のウェハコスト比較である。

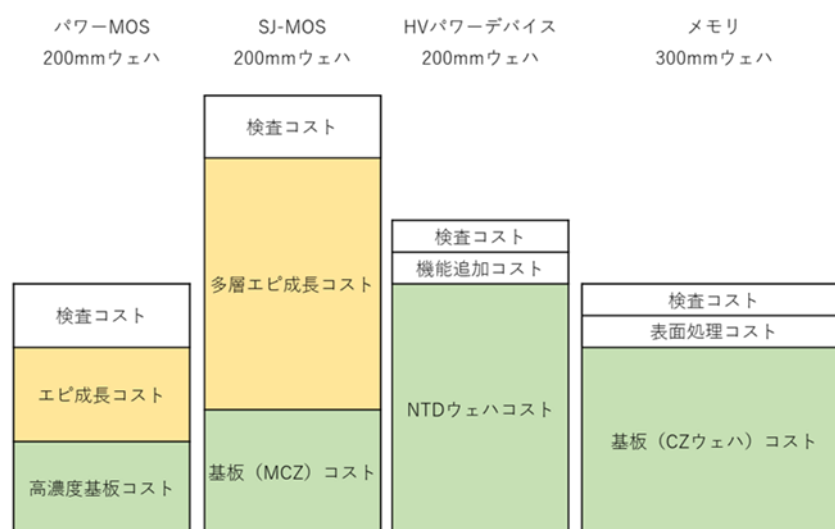


図 3-2-4. 200mm パワー半導体ウェハと 300mm ウェハのコスト比較

パワー半導体向けのウェハは多品種に及ぶためエピ厚やエピ抵抗は抜き取り破壊測定を行う場合もあり検査コスト比率も大きい。また 300mm 標準ウェハの製造リードタイムは、1 週間程度に対してパワー半導体は耐圧が高くなるほど長くなる。NTD ウェハはインゴットに原子炉中性子を照射し Si を P に変換することで非常に均一な不純物濃度（ $1e12cm^{-3}$ 程度）を得る秀逸な技術ではあるが放射化するため約 3 カ月の放置冷却期間が必要であり原子炉の能力で生産が制限されることもある。

3-2-3. ロットハンドリングコスト比較

パワー半導体コスト構造で直接労務費率が 20%（メモリやシステム LSI の 5 倍）と大きい理由は DEP 比較で説明したが投資を抑えた既存 200mm ラインで生産しているため自動化が遅れていることが理由である。直労費（直接労務費）は、既存の 200mm ラインでは凡そロットハンドリング数に比例する。ウェハ 25 枚をロットケースに収め、人が処理装置に仕掛ける。処理が終了すると終了したロットケースを人が次の処理装置に運ぶといった作

業を行う。大規模な 300mm ラインでは高速な天井搬送（OHV:Over Head Vehicle)を使用して無人でロットハンドリングが行われている[43]。人運搬に比べ 2 桁以上の生産性を有している。

第 1 章で示した生産性比較のレーダーチャートを図 3-2-5.に再度示した。300mmBig Fab をフルマークとして品質・生産性・生産管理を比較したものである。コストに大きくかわる生産性の項目で、搬送・装置・検査工程自動化が 200mm ラインでは大きく遅れている。特に国内半導体メーカーの場合、歴史的な背景もあり 200mm 化は 150mm ラインをベースに設備の口径アップだけの切り替えを行ってきた。生産管理システムもそのまま利用してきた経緯がある。200mm 切替当時としては投資圧縮とシームレスな生産を行うメリットがあった。しかし現在では装置オンライン化率が低いとか、天井の高さが低いため天井搬送システムが導入できないとか、細密に設備を配置したため装置のロードアンロードの自動化（装置自動化）ができないなど弊害が起こっている。人を使って搬送やロードアンロードや検査を行うため人海戦術的なラインに留まっている。また国内メーカーは人からの発塵を心配するために、SMIF ポッド[44]を使用して装置外ダストを減らす努力をしてきた。2000 年以降に新設された海外 200mm ラインでは、安価なオープンカセットの天井搬送を導入し SMIF ポッドを使用しない生産ラインを構築しているファウンドリもある。ベンチマークに使用した 300mm の Big Fab*は生産性・品質・デリバリを考慮して設計されておりその生産性は既存 200mmFab の 10~50 倍のスループット（ロット出力）を持っている。

注)*BigFab 以外の少量生産 300mm ラインの生産性は既存 200mm ラインと同等である。

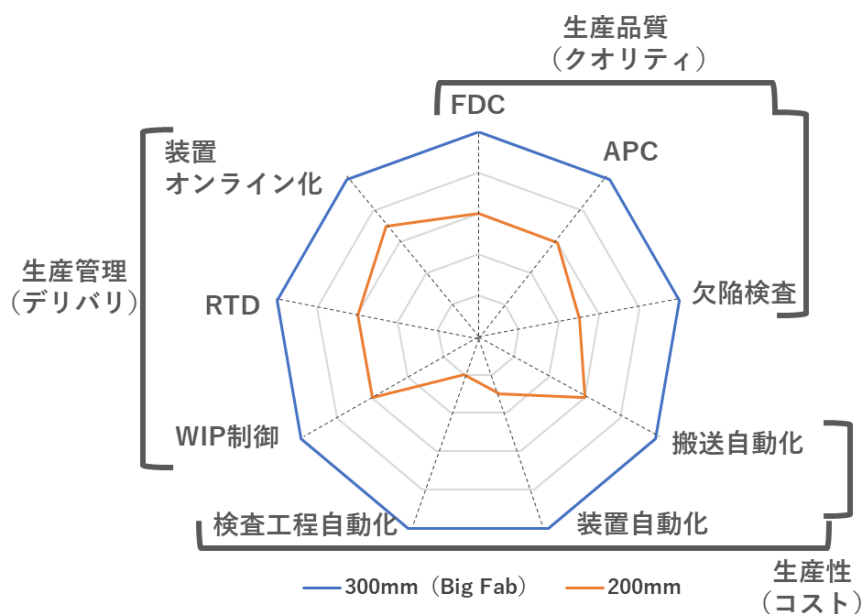


図 3-2-5. 200mm/300mm ラインの品質・生産性・生産管理能力比較

3-3. 半導体製品の信頼性比較

図 3-3-1.に表 3-1-1.の製品寿命と製品平均単価を示した。スマートフォンの平均単価は 300 ドル程度で交換寿命はバッテリー寿命に依存し約 2 年、PC の平均単価は 500 ドル程度で、寿命は内臓 SSD (5 年保証) に依存している。一般ユーザー向けで単価が安い製品の場合、故障時に原因を追究し修理対応することは少なく。短い製品寿命を考慮して新品と交換するケースが一般的になっている。民生半導体に要求される品質レベルは不良率~200ppm 程度である[47]。一方で自動車の平均単価は 20000 ドル程度と故障時の新品交換対応は困難であることに加えて人命に関わる事故に繋がる可能性もあり“ゼロデフェクト”を要求される。実際の要求レベルは 1ppm 未満である[45][46]。2019 年トヨタ自動車の販売台数は 971 万台で不良が 1 台出た場合が 0.1ppm に相当する。Tier1 からの実要求レベルは車メーカーより更に厳しくパワー半導体で 0.03~0.1ppm が要求されている。パワー半導体は民生半導体に比べ車載や産業用半導体は 2~3 桁高い信頼性を要求されている。

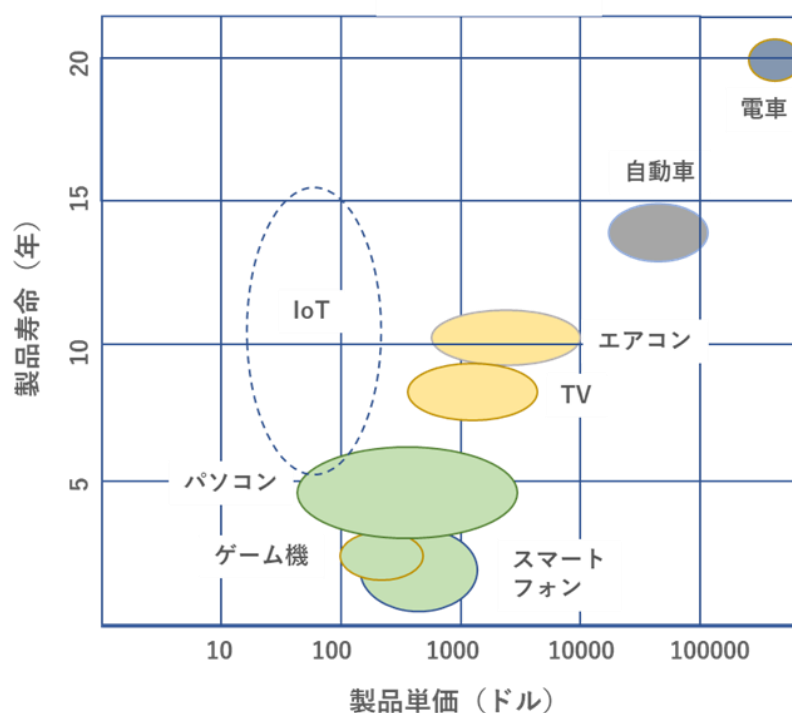


図 3-3-1. 製品寿命と製品単価

3-4. 販売・生産管理比較

表 3-4-1.にメモリ・MPU とアナログ IC・ディスクリート製品メーカーの販売・生産管理と併せて新製品寿命・新製品生産比率*をまとめた。（*新製品比率は、全体売上に対する過去3年間に開発された製品の売上と定義する）

表 3-4-1. 販売・生産管理と新製品寿命・新製品生産比率の比較

製品	流動製品	販売予測	需給管理	生産	製品寿命	新製品切替	新製品比率*	投資効率	在庫
メモリ・MPU	数十種	易	易	変動小	2～5年	0.5年	90%	高	少
アナログIC・ディスクリート	数千種	難	難	変動大	2～25年	2年	10%	低	多

メモリ・MPU メーカーは寡占化が進み、PC やスマートフォンメーカーと販売・生産・新製品開発計画ロードマップを共有しているため、生産・販売予測精度が高く計画的な設備投資と投資回収が可能となっている。また新製品切り替えサイクルが短く、製品寿命も短いため、過去の製品は在庫として残ることはない。一方でアナログ IC・ディスクリートメーカーは、多品種で競業プレーヤ数が多く、販売・生産予測が困難なうえに、製品寿命が長いため、新製品の入れ替わりスピードは非常に遅い。また車載や産業用の新製品の場合、設備投資しても認定作業により投資回収が開始できるのは3年後というケースもある。民生分野の製品では競合が多く存在するため少量多品種で短納期のオーダーに対応しないと販売機会を失うため在庫保有量が多い。図 3-4-1.にメモリ・MPU メーカーの販売・生産管理を示した。PC メーカーも寡占化が進み HP、Dell、Apple など大手からの販売計画をもとに MPU はシェア 90%の Intel が外すことのない MPU 販売計画を作成しそれを基に全世界の自社工場に生産指示を出す。Intel の工場はコピーイクザクトリーでありどここの工場でも同じ品質で製品を製造することができる。

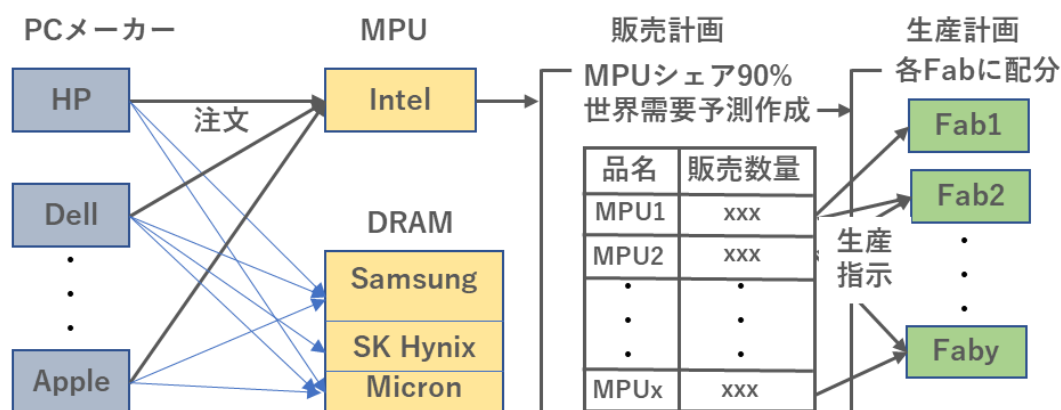


図 3-4-1. メモリ・MPU メーカーの販売・生産管理

DRAM は、Samsung、SK Hynix、Micron でシェアしており MPU に比べ販売予測精度は劣るものの PC での需要変化に対してはマーケットの異なるスマートフォン向けへの製品に配分することも可能で安定した生産計画を工場に指示することができる。

図 3-4-2. にアナログ IC・ディスクリートメーカーの販売・生産管理を示した。メモリ・MPU のような専門半導体メーカーとは異なりアプリケーション分野が広く競合する半導体メーカーの数も多い。日本も家電メーカーが国内で生産を続けていた 2000 年以前は精度の高い販売予測とそれをもとにした生産計画作成が可能であったが円高が進み国内産業の空洞化で生産拠点が中国・東南アジアに移った影響で直接営業から現地販社を介した営業を行うようになった。引取責任を伴わない現地販社には投機的な動きをするものも現れ実需要予測が非常に困難になっている。また、製品寿命が長いいため新製品との入れ替えを計画しても顧客の切り替え認定作業が進まず品種数は増加の一途をたどり流動品種数だけでも数千品種を管理する必要に迫られている。生産を合理化するためにライン間で製品移管しラインを集約することが望ましいが客先認定とプロセスチューニングなどを行うリソースが必要である。現状ではそのリソースは不足しているため引取保証のない製品在庫を確保することや採算性を無視して古い生産ラインを維持する国内メーカーも多い。

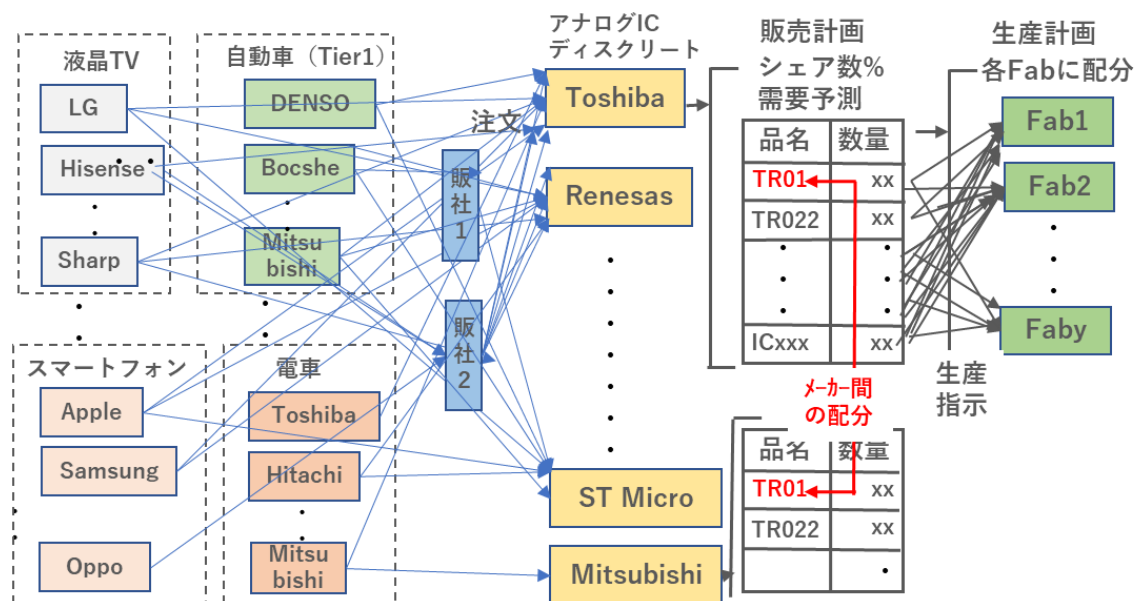


図 3-4-2. アナログ IC・ディスクリートメーカーの販売・生産管理

3-5. 生産工場の比較

3-5-1. 口径別 Fab

ウェハ口径別 Fab 数の推移を図 3-5-1.に示した[47]。また 2019 年の口径別 Fab 数の比率を図 3-5-2.に示した。世界総 Fab 数 538 に対して、口径 150mm 以下の Fab 数は 243 で 2015 年から CAGR マイナス 1.5%で減少しているが、現在でも全体の 40%を占めている。口径 200mm の Fab 数は 194 で 150mm 以下の Fab と同様に減少していると予測されていたが、実際は CAGR+1.9%で増加している。IoT や車載用途のセンサ (MEMS センサ含む) やパワー半導体、エッジマイコンなどの需要増加が背景にある[48]。口径 300mm の Fab 数は 121 で全体では 23%であるが CAGR+7.8%で増加している。Big Fab を有する専門半導体メーカーに加え中国が国産メモリ製品生産のため 300mm の Fab を建設していることが背景にある。

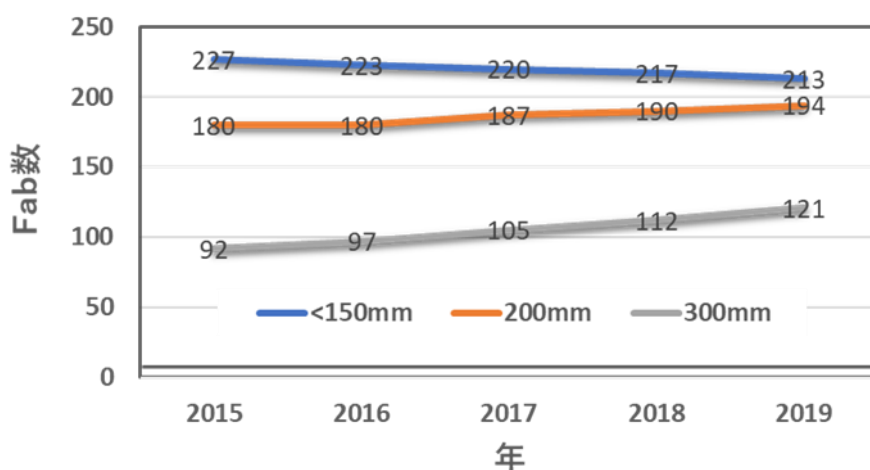


図 3-5-1. ウェハ口径別 Fab 数の推移

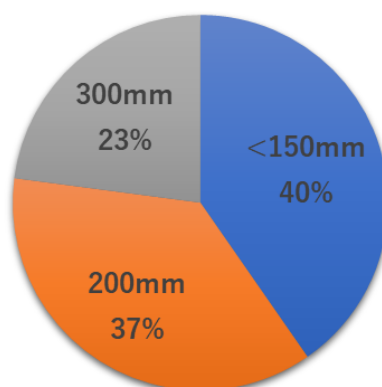


図 3-5-2. 口径別 Fab 数の比率 (2019 年)

3-5-2. 口径別ウェハ使用量

2019 年の Si ウェハの口径別面積使用量比率を図 3-5-3.に示した[49]。Fab 数比率 23%の 300mm ラインがウェハの使用量全体の 66%を占めている。単純な面積比率(2.25 倍)の要因以外に 300mmFab 一棟あたりの生産性が高いことを示している。それぞれの Fab 平均面積使用量を 200mm ウェハ枚数に換算し Fab 一棟当たりの使用量(K 枚/月・Fab)と、Fab 一棟当りのストレートロット数 (1 ロット=25 枚) でまとめたものを表 3-5-1.に示した。Fab の生産性を表すハンドリングロット数は上記ストレートロット数に製品の工数を掛けたものである。製品の工程数が同じだと仮定した場合でも 300mmFab は 200mm Fab の 4.5 倍、150mmFab の 22 倍の生産性を有していることが判る。面積換算してない出力ロット数で比較した場合 200mm ライン一棟の平均出力は 1000 ロット/月程度に対し 300mm ライン一棟の平均出力は 2000 ロット/月程度と倍になっている。しかしメモリなどの 300mmBig Fab は 10000 ロット/月近くの出力を持つところも少なくない。300mmFab 一棟当たりの平均出力が 200mmFab の 2 倍程度である理由として総数 121 棟の 300mmFab には試作レベルの小規模な Fab もカウントされていることが考えられる。実際の面積出力は 200mmFab と全自動 300mmBigFab を比較すると 1 桁以上の差があると思われる。

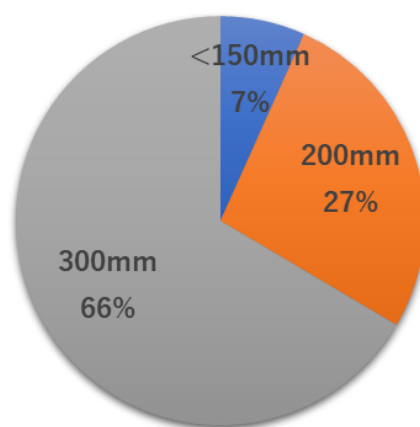


図 3-5-3. 口径別ウェハ使用量（面積換算）

表 3-5-1. 口径別 Fab 平均ウェハ使用量と平均ロット出力

口径	200mm換算枚数(K枚/Fab・月)	ロット*換算(ロット/Fab・月)
<150mm	5.1	360
200mm	25	1000
300mm	113	2000

300mmFab のメーカおよびファウンドリ生産高（製品売上高と異なる）ランキングを、図 3-5-4.に示した[49]。300mm 生産量 1,2,3,5 位はメモリメーカで全体の 65%を占めている。システム LSI の生産を引き受けている TSMC(4 位) と GF (7 位) で 20%、MPU を独占している Intel は 7%にとどまっている。PC を構成する MPU は基本 1 個、DRAM やフラッシュメモリは複数個使用されていることから、Si 面積を大量に消費する製品はメモリであることがわかる。

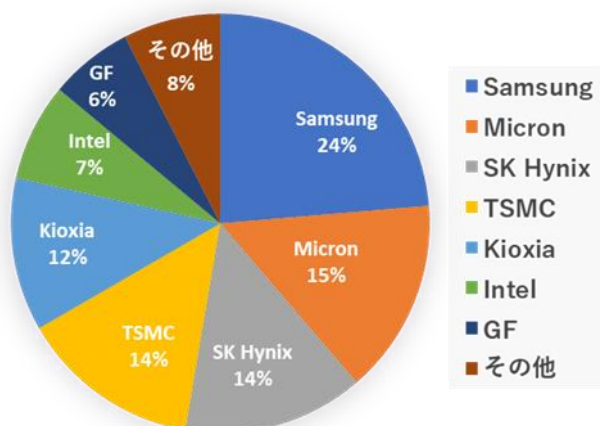


図 3-5-4. 300mmFab のメーカおよびファウンドリ生産高比率

同じく 200mmFab についての生産高ランキングを図 3-5-5.に示した[49]。200mm ラインを使用する製品はアナログ IC とディスクリットである。1 位と 4 位は TSMC と UMC の台湾 200mm ファウンドリ合わせて 17%、その他は TI が 7%、ST Micro が 6%、Infineon が 5%、NXP と Toshiba が 4%で、老舗の半導体メーカが 200mm ラインを維持活用していることがわかる。その他が 57%を占めており各製品ごとのプレーヤが多く存在しそれぞれが 200mm ラインを維持しているものと考えられる。

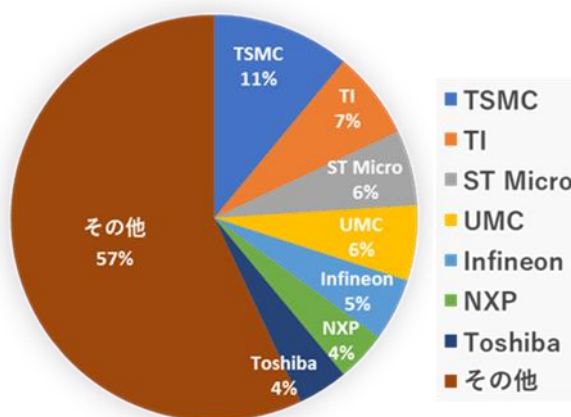


図 3-5-5. 200mmFab のメーカおよびファウンドリ生産高比率

200mm ウェハの使用用途について分析するために製品別生産高を図 3-5-6.に示した[49]。ファウンドリが 28%を占めている。これはアナログ IC・ディスクリートのファブレスメーカーの生産サポートをしていると思われる。次にディスクリートが 26%を占めるが、チップ面積を消費するパワー半導体が大部分を占めていると考えられる。アナログ IC が 22%、低速度低集積度 MPU、MCU（車載用途等）が 15%、MEMS が 9%、不揮発性小容量メモリが 0.5%の構成となっている。将来的にアナログ IC や MPU 製品は Fab の老朽化で既存製品生産を維持できなくなった場合はファウンドリを使って生産を継続することになるとと思われる。ディスクリート（パワー半導体）や MEMS（センサ）は、微細化や新規技術の導入により開発要素が高く市場成長が期待できる。特にパワー半導体は 200mm から 300mm へのライン移行の時期にきていると思われる。性能向上効果と製品信頼性と経済性から判断すべきことである。300mm でパワー半導体の生産を始めているのは現時点で Infineon 1 社のみであり、今後も拡大するのか否か、経済性の課題をどう解決するのか注視したい。

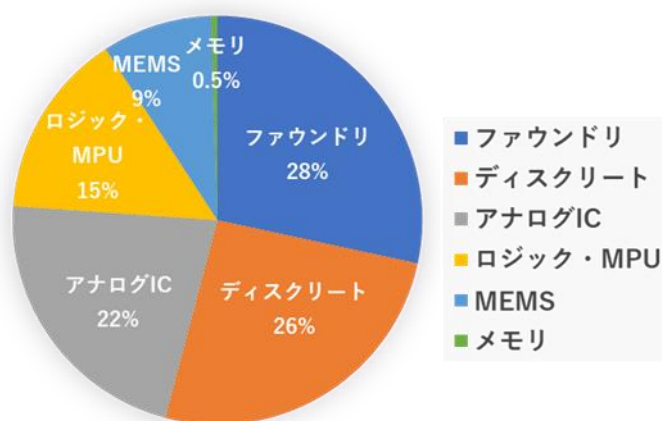


図 3-5-6. 200mm ウェハの製品別生産高比率

3-5-3. 国別ウェハ消費量

表 3-5-2.に 2019 年の国別口径別ウェハ使用量を示した[49]。表の数値は月あたりの 200mm 換算ウェハ使用量で単位は百万枚である。国別総ウェハ消費量比率を図 3-5-7.に示した。台湾が 22%で 1 位、韓国が 21%で 2 位、日本が 16%で 3 位となっている。第 2 章の表 2-2-1.で日本の半導体メーカーの売上規模は Kioxia（旧東芝メモリ）を除いて TOP10 には存在していないことを示した。一方でウェハ（Si 面積）の消費量は世界 3 位である。米国は日本に次いで 4 位（13%）と少ないが台湾ファウンドリでシステム LSI やアナログ IC を生産していることを考慮すると実質は世界ウェハ面積の 30%以上を消費していると推定される。日本の半導体メーカーはウェハ消費シェア(16%)と売上シェア(6%)が結びついていない。理由のひとつとして日本のメーカーは低付加価値製品の生産比率が大きいことが考えられる。

表 3-5-2. 国別口径別ウェハ使用量(単位：M 枚/月,200mm 換算)

	300mm	200mm	<150mm	ウェハ消費量
台湾	3.2	0.9	0.2	4.2
韓国	3.5	0.5	0	4.1
日本	1.9	0.8	0.5	3.2
米国	1.6	0.7	0.2	2.5
中国	1.4	0.9	0.3	2.6
欧州	0.3	0.7	0.1	1.2
その他	1	0.7	0.1	1.8

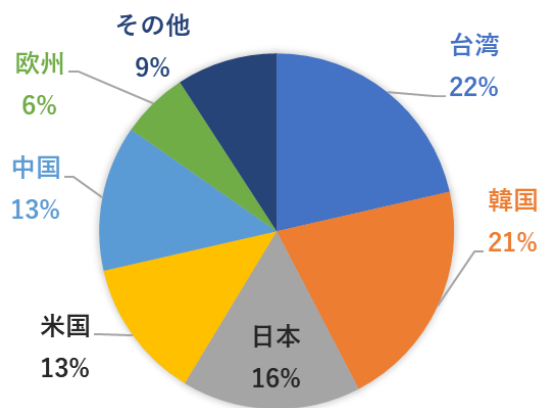


図 3-5-7. 国別の Si ウェハ消費比率 (Si 面積比率)

ウェハ消費量は各国 Fab の生産状況や生産ラインの合理化を反映する指標として有益である。図 3-5-8.と図 3-5-9.に台湾と韓国の口径別ウェハ消費量比率を示した。

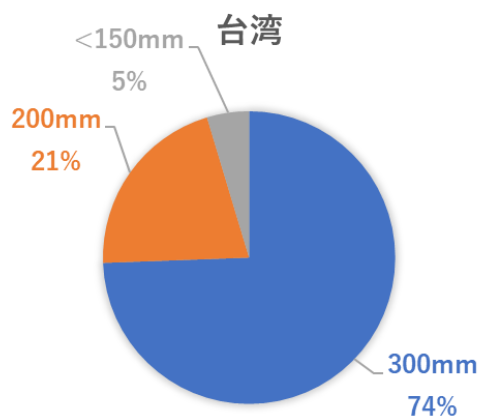


図 3-5-8. 台湾の口径別消費比率

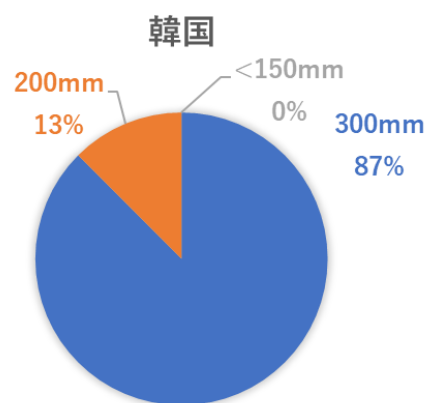


図 3-5-9. 韓国の口径別消費比率

図 3-5-10.と図 3-5-11.に日本と米国の口径別ウェハ消費量比率を示した。

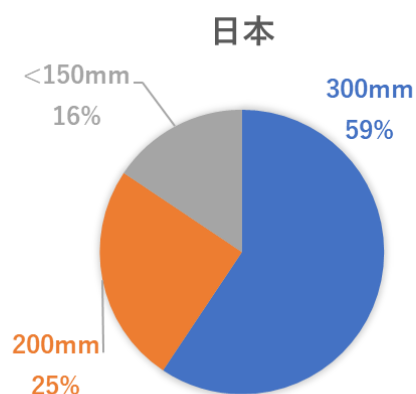


図 3-5-10. 日本の口径別消費比率

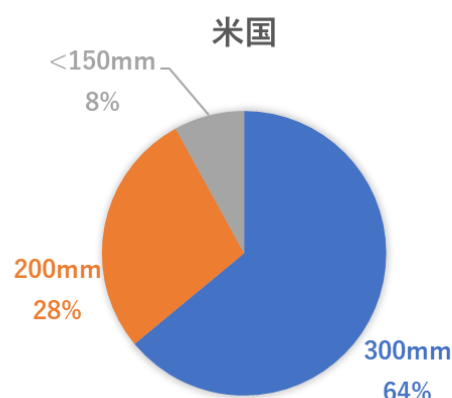


図 3-5-11. 米国の口径別消費比率

4 か国中で韓国の比率が特徴的である。150mm 以下は生産していない。また 300mm 生産が 87%を占めており半導体最先端国と言える。台湾はファウンドリ生産が比率に影響しており TSMC や UMC は 300mmFab を新設している一方で 200mm 以下の Fab も維持しアナログ IC やディスクリートメーカの生産受皿の役目を担っていることもあり 300mm 比率は 74%である。日本と米国の構成比は類似しているように見えるが米国のシステム LSI メーカーは台湾の 300mm ファウンドリを活用しており米国の実質 300mm 比率は 80%以上あると考えられる。日本は 300mm 比率 59%と低く 200mm 比率 25%、150mm 以下 16%と 200mm 以下が非常に多い。日本の半導体メーカーの多くは総合電機メーカーから派生しており重電部門へのパワー半導体の供給を行ってきた経緯がある。パワー半導体やハイパワー半導体の材料は特殊なものが多くウェハ材料の口径アップは容易ではない。200mm 以下の Fab が残存する理由のひとつとして FZ ウェハなど特殊材料を使用しかつ寿命の長い製品を産業・車載分野に供給している産業界全体の背景が考えられる。

3-6. ウェハ口径と生産性

3-6-1. ウェハ口径とデザインルール

半導体産業の発展には微細化によるトランジスタの集積度向上と大口径化による生産性向上が基本となってきた。“5 年で 1 桁の集積度アップ”はムーアの法則としてデジタル IC のすべてのロードマップとなった。ウェハ口径アップと併せて半導体設備メーカーは、微細化に対応する新技術を導入し提供するようになった。図 3-6-1.に 200mm 以降のウェハ口径とデザインルールの関係を示した[8]。200mm の露光装置での限界は一般的に 0.13 μ m であり以降は 300mm 液浸露光装置や EUV(Extreme UltraViolet)露光装置で装置開発が継続され

ている。現在はプロセスの工夫と組み合わせて 10nm レベルまでのパターニングが可能となっている。微細化の恩恵がデジタル IC ほど得られないアナログ IC やディスクリートは 200mm 露光装置限界に留まっている。

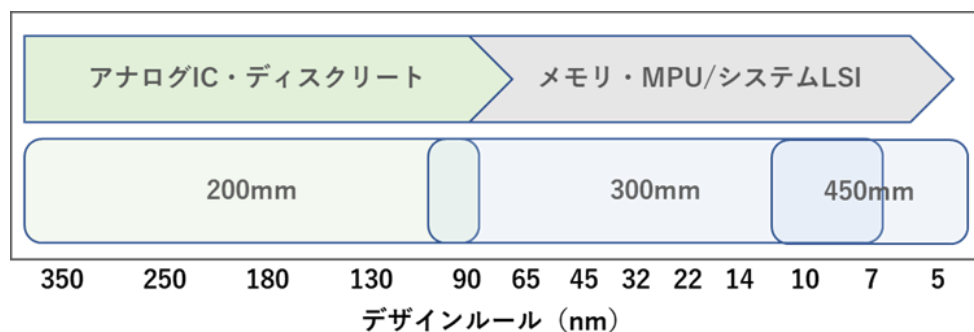


図 3-6-1. ウェハ口径とデザインルール

材料開発状況について図 3-6-2.に示した[50]。メモリ・MPU・システム LSI 製品用ウェハが材料メーカーの大口径化を牽引している。300mm は 1990 年後半に 450mm は 2010 年に開発が完了している。一方で、パワー半導体用高濃度サブウェハや低濃度の MCZ ウェハや FZ ウェハの 300mm 開発は 2010 年後半からスタートしたばかりで、現在の 300mm パワー半導体ウェハ消費者は Infineon 1 社である。パワー半導体でポスト Si の最有力候補である SiC ウェハは 150mm で生産が行われているが全世界での使用量は極めて少ない。産業として発展するためには暫く時間が掛かると考えられる。

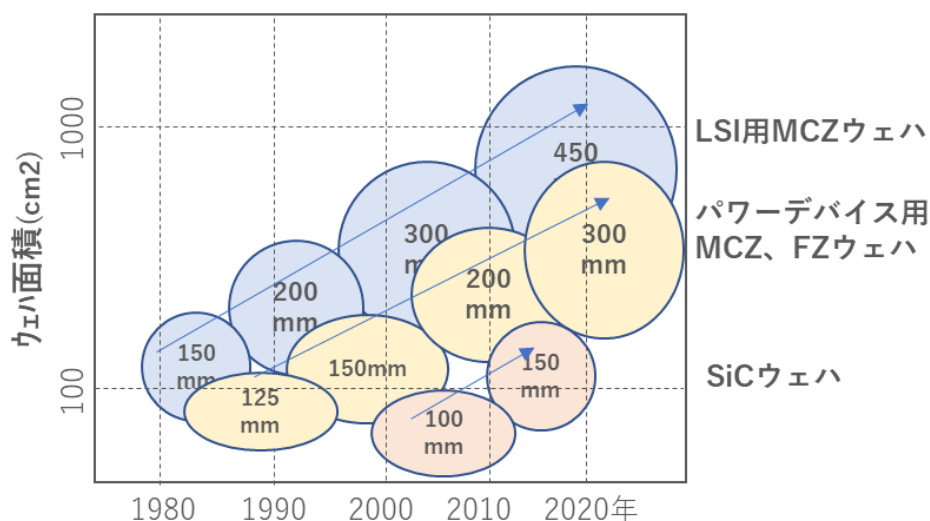


図 3-6-2. 製品別材料ウェハの大口径化

3-6-2. ウェハ口径とチップ収率

450mm ウェハが開発されて 10 年が経過している。大口径化には材料メーカーのみならず装置メーカーとの協業が必要である。半導体メーカーとしてはインテルや TSMC（ファウンドリ）は 450mm へ移行を積極的に検討しているが、Si 面積消費量が多いメモリーメーカーが積極的でないように思われる。

図 3-6-3. にウェハ口径が変わるとウェハ内のチップ取高にどの程度の差がでるのかを計算する簡単なモデルを示した。計算ではチップは正方形で一辺が a (mm)、ウェハ半径を r (mm)、図中の同心円で挟まれた部分のチップ収率を 0.5 ($\alpha=2$)、エッジカット幅 $b=0$ とした。ウェハ総面積に対する製品チップ総面積比率 Y (チップ収率) は式(1)で表される。

$$Y = 1 - \frac{(r - \sqrt{2}a)^2}{r^2} \alpha \quad (1)$$

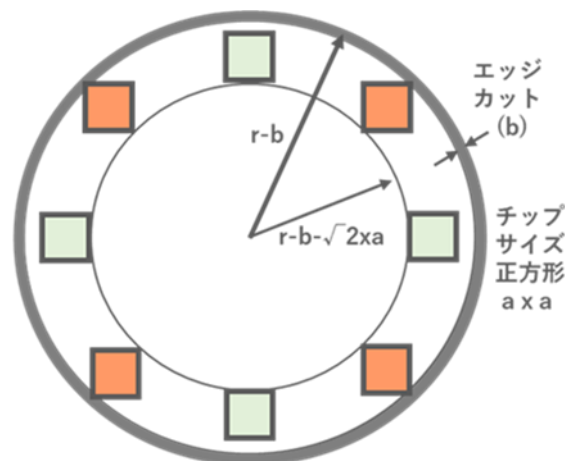


図 3-6-3. 正方形チップによる収率計算

計算結果を図 3-6-4. に示した。チップサイズが 5mm の場合は 200mm→300mm で収率は +2 ポイント、300mm→450mm で収率は +1 ポイント変化する。標準的なメモリーチップの大きさを 6mm□とした場合は、450mm 化しても収率改善は +1 ポイント程度に留まる。一方、チップサイズが 20mm と大きい場合は、200→300mm で収率は +11 ポイント、300→450mm では +5 ポイント増加する。450mm 化で収率恩恵が得られる製品は、チップサイズが大きい MPU、AI チップ、ハイエンド CMOS センサである。10mm□の IGBT の場合は、現状 200→300mm で収率 +4 ポイント程度アップが望める。Infineon のパワー半導体の 300mm 化は IGBT などの電力素子を製造する場合に +4 ポイントの収率アップが望める。これは 300mm ラインで生産するだけで収益率 +4 ポイント改善に直結することを意味する。

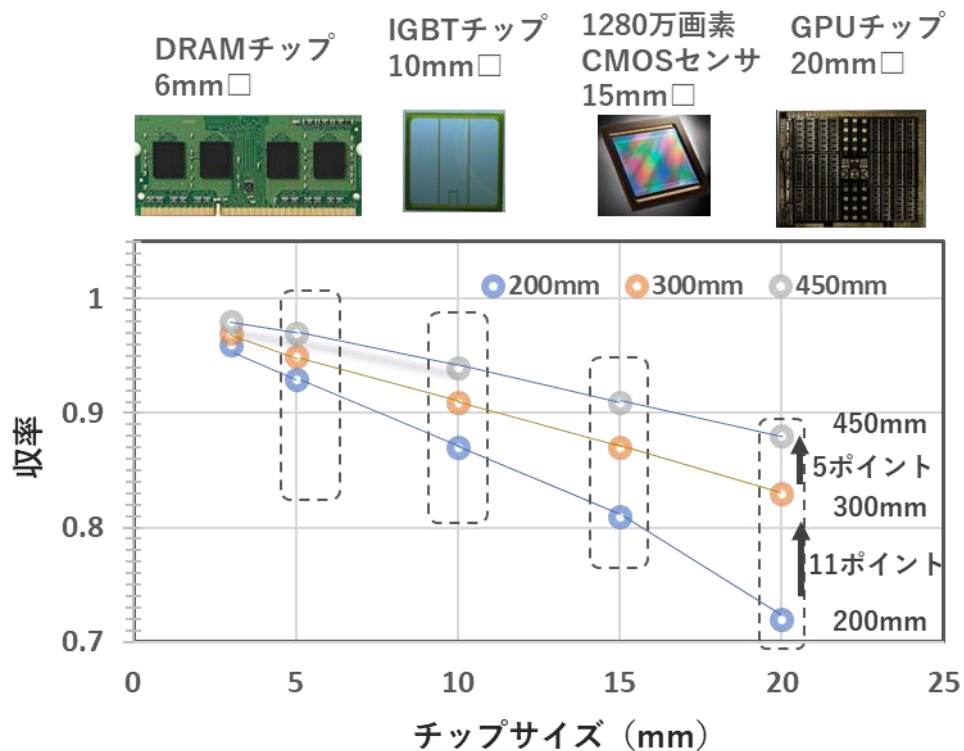


図 3-6-4. チップサイズによる収率の変化

3-7. 半導体製品ロードマップ

3-7-1. MPU とムーアの法則

メモリ・MPU メーカーは、PC メーカーと MPU 集積度やメモリ容量・スピード等の開発ロードマップを共有し業界全体でコンカレントな開發生産体制を築いてきた。MPU の集積度のロードマップには、ムーアの法則が背景にある[9]。半導体の微細化を示す指標で、“5 年で 1 桁集積度が向上する”というものである。単純なシュリンクに限定しなければ現在に至る四十年間続いている。図 3-7-1. に MPU チップ内トランジスタ数の変化を示した。近年少し停滞はあるが、ムーアラインに近い傾向を示している[51]。微細化による速度性能向上に加えてコスト削減の効果が有り、半導体産業成長の原動力となる法則である。

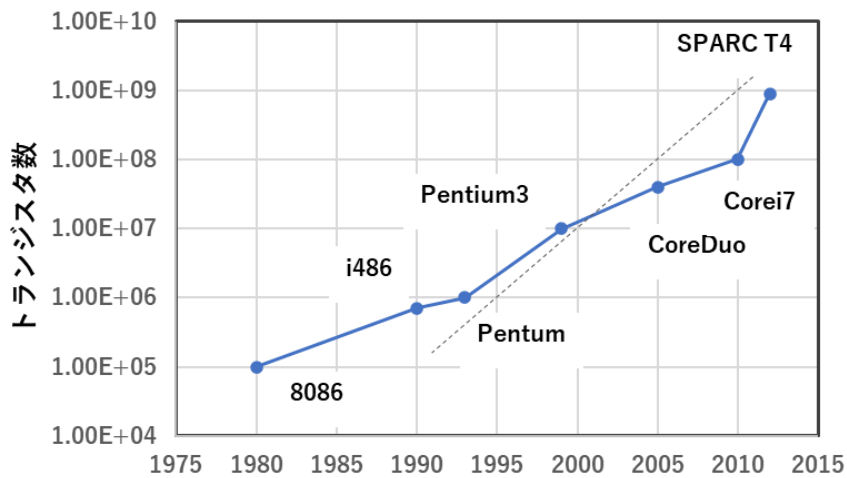


図 3-7-1. MPU チップ内トランジスタ数の推移

3-7-2. フラッシュメモリと GB 単価

NAND フラッシュメモリの場合のロードマップは、ハードディスク (HDD) と比較して GB(ギガバイト) 当たりの単価を如何に下げていくべきかを示したものである。単純な微細化だけでなく多値化による容量アップが行われてきた。2015 年以降は構造を従来の 2 次元から 3 次元に変え容量アップを続けている[52]。図 3-7-2. に GB 単価の推移を HDD と比較して示した。2005 年当初は HDD との差は 2 桁以上あったが 2018 年以降の差は 3 倍程度まで下がっている。プライスダウン線は 2005-2019 年の期間で同レート (5 年で 1 桁) で減少している。MPU やメモリ製品は集積度や GB 単価を共通ロードマップとして材料や装置メーカーとコラボ体制を構築してきており、今後もコラボ体制を強化し成長を続けるものと思われる。

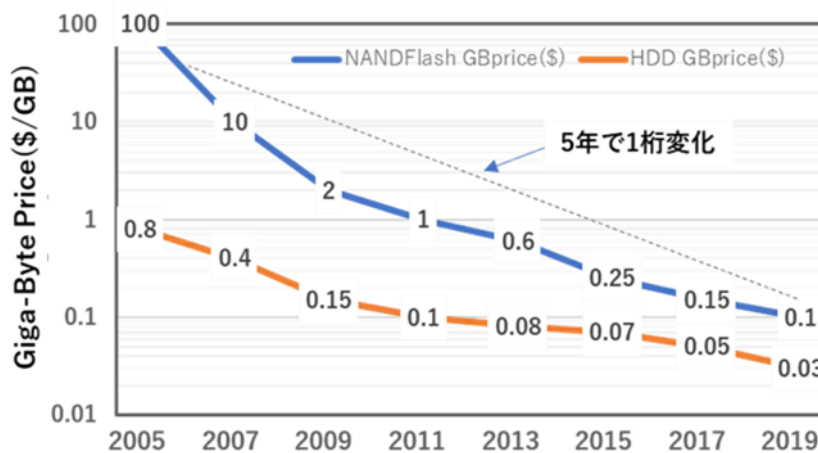


図 3-7-2. NAND フラッシュメモリと HDD のギガバイト単価の推移

3-8. まとめ

2000 年に旧 IDM 型エコシステムが崩壊して 20 年経過した現在、アナログ IC・ディスクリートメーカーとメモリ・MPU メーカーは、投資規模、コスト構造、利益率などの経営指標が大きく異なっている。少量多品種製品を扱うアナログ IC・ディスクリートメーカーは販売・生産管理、在庫管理が非常に複雑であり販売計画や生産計画の精度が低い。またアナログ IC・ディスクリート製品は産業や車載分野で多く使用されており寿命が長い。口径変更や合理化のための変更には客先認定が必要であり既存ラインを変更することが困難である。新製品の開発費は少なく微細化のためのライン投資なども困難になっている。半導体産業はアナログ IC・ディスクリートの旧 IDM 型ビジネスモデルとメモリ・MPU の専業 IDM 型ビジネスモデルの隔たりが拡大している。両ビジネス間の隔たりを埋めるものがファブレス/ファウンドリモデルである。国内の半導体メーカーは新製品開発に積極的にファウンドリの活用を図るべきである。

微細パワー半導体は 300mm ライン移行への端境期にあるが、微細化投資で先行している Infineon に比べ国内パワー半導体メーカーは製造ラインや微細化技術に関する知見に乏しい。微細化による技術課題を早期に予測し設計に反映することが国内パワー半導体メーカーの継続成長に必要であると考え。第 4 章では、微細化による特性影響と露光装置や加工装置の工程能力影響を定量化する。第 5 章では、工程欠陥の歩留に及ぼす影響を定量化する。これらの結果は、量産に耐え得る微細パワー半導体設計の一助になるものと考え。

第 4 章 微細パワーMOSFET の V_{th} モデル

4-1. 微細化による V_{th} の上昇現象

4-1-1. V_{th} の一般モデル

一般的な Nch 横型 MOSFET の断面構造を図 4-1-1.に示す。P 型基板に N+型ソースとドレイン拡散層を形成しゲート酸化膜を介しソース拡散層とドレイン拡散層の間にゲート電極を形成する。ゲートをソース電位基準でプラスにバイアスすることでゲート酸化膜直下が N 型に反転し電流が流れる。横型 MOSFET の V_{th} を式(2)に示す[53]。

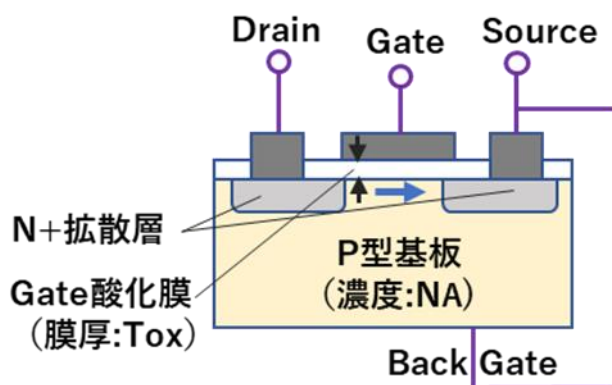


図 4-1-1. Nch 横型 MOSFET の断面構造図

$$V_{th} = V_{FB} + 2\phi_b + \frac{\sqrt{4\epsilon_{Si} N_A q \phi_b}}{\left(\frac{\epsilon_{ox}}{Tox}\right)} \quad (2)$$

式(2)で電気素量 q 、Si と SiO_2 の比誘電率(ϵ)については表 3-1-1.に示した。計算では P 型基板濃度（チャネル濃度） NA を $1e17(cm^{-3})$ 、ゲート酸化膜厚 $Tox=50nm$ を使用した。 ϕ_b は P 基板(NA)のフェルミレベルと真性順位の電位差であり、 NA の 1 桁変化で $0.05V$ 変化することから $\phi_b=0.3(V)$ とした。また V_{FB} はゲート電極仕事関数と Si コンダクションバンドの電位差で N 型ポリシリコン $1e18 (cm^{-3})$ を想定し V_{FB} は $0.15V$ である。式(2)から V_{th} は酸化膜厚(Tox)と P 基板濃度(NA)が主パラメータである。本章では UMOSFET の V_{th} をモデル化するが、図 4-1-1.の横型 MOSFET と比べてベース濃度（チャネル方向） NA が一定でないこと、ゲート・コンタクト距離（横型ではゲートとバックゲート距離）が短い場合にチャネル垂直方向の影響（ NA の濃度変化がなくとも）で V_{th} 上昇が起こることをモデル化する。

4-1-2. UMOSFET の V_{th} 一般モデル

横型 MOSFET と UMOSFET の構造差は、電流を横方向に流すか縦方向に流すかの差である。横型 MOSFET のチャネル濃度は、基板濃度 (N_A) が一定であるが、UMOSFET はバイポーラトランジスタの製造工程に同じくベース拡散・ソース拡散の二重拡散が用いられる[54]。二重拡散により形成される N 基板のドレインとソース(N+)層に挟まれたベース領域がチャネル領域になる。そのため、チャネル領域の濃度は横型 MOSFET のように一定ではない。図 4-1-2.に UMOSFET の断面構造図を示す。

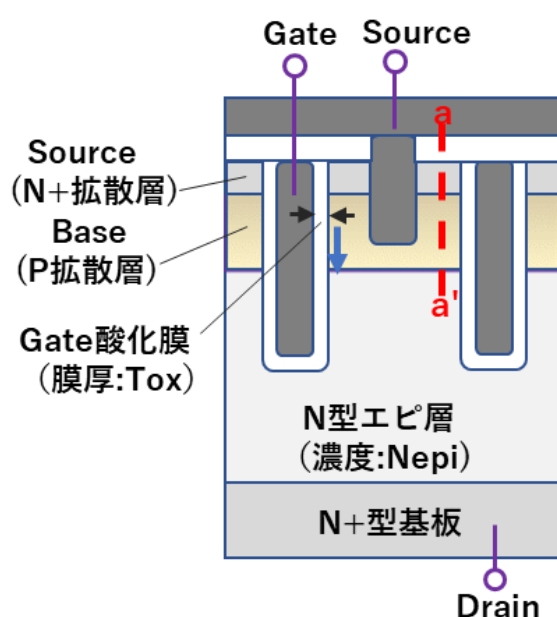


図 4-1-2. UMOSFET の断面構造図

図 4-1-2.の a-a'位置で切り出した UMOSFET のチャネルプロファイルを図 4-1-3.に示す。一次元のチャネルプロファイル計算は、インプラ飛程や不純物拡散定数等から容易に計算できる[55]。図 4-1-3 のプロセス条件は、エピ層濃度(N_{epi}) $3.07 \times 10^{16} \text{ (cm}^{-3}\text{)}$ の基板にベース層を加速電圧 140KeV、ドーズ量 $1 \times 10^{13} \text{ (cm}^{-2}\text{)}$ で Boron を注入、ソース層を加速電圧 90KeV、ドーズ量 $8 \times 10^{15} \text{ (cm}^{-2}\text{)}$ で As を注入した後、N₂ 雰囲気です 1000℃、40 分の拡散を行った場合のプロファイルである。ソース拡散層に近い領域でのベース Peak 濃度は、 $1.4 \times 10^{17} \text{ (cm}^{-3}\text{)}$ である。ゲート酸化膜厚を 50nm とし式(2)の N_A の替りに Peak 濃度を使って求めた V_{th} は 2.3V となった。

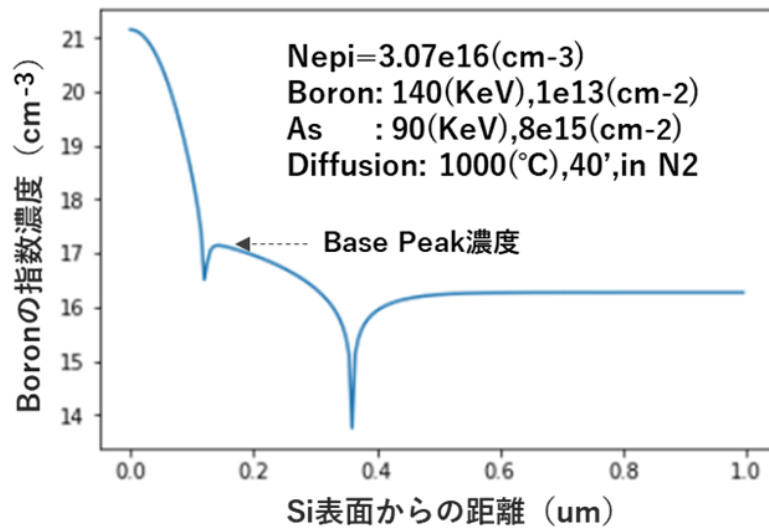


図 4-1-3. UMOSFET の一次元プロファイル

二重拡散による不均一ベース濃度の場合にベース Peak 濃度を用いることで、UMOSFET の V_{th} が見積れることを検証するために、2 次元プロセス・デバイスシミュレータとの比較を行った。ゲート酸化膜厚が 50nm の場合、ベースの Boron 注入量をパラメータに V_{th} を求めた結果を図 4-1-4.に示した。1 次元モデルでベース Peak 濃度を使用した場合を赤線（1 D-Peak）とベース平均濃度を使用した場合を緑線（1 D-Average）で表示した。2 次元シミュレータで計算した結果を青線で示した。一次元計算では平均濃度より Peak 濃度を使用することで二次元計算に近い結果が得られることが判った。

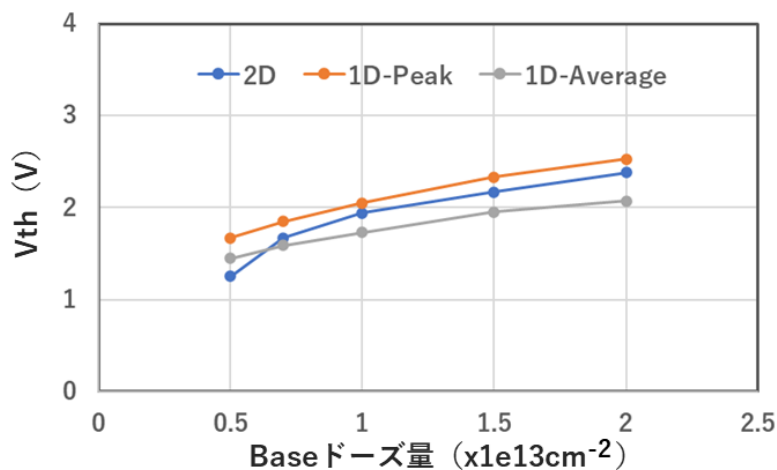


図 4-1-4. UMOSFET の V_{th} 計算（二次元シミュレータとの比較）

4-1-3. 微細化による V_{th} 上昇の一般論

トレンチコンタクト構造の底部と側壁には、コンタクトのオーミック性を得るために P+ 拡散層を形成する[15]。一般的にはコンタクトオーミック形成には複数回の BF_2 イオン注入が行われる。側壁注入のため $\pm 7^\circ$ の斜めインプラと底部注入のための 0° インプラが行われる。活性化で P+ 拡散層を広げないために RTA (Rapid Thermal Anneal 装置) により $900^\circ C$ 30 秒程度の活性化アニールが行われる[56]。UMOSFET のコンタクト部に形成された P+ 拡散層の断面図を図 4-1-5. に示した。

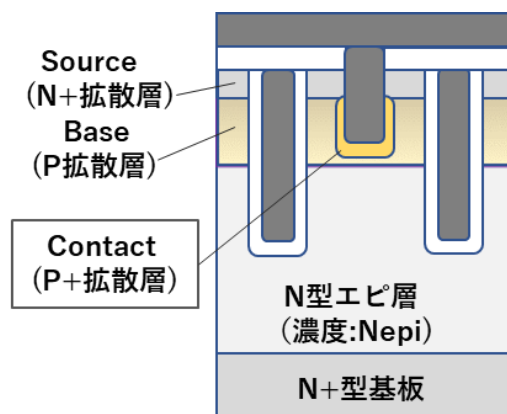


図 4-1-5. UMOSFET のコンタクト P+ 拡散層

微細化による V_{th} 上昇はゲート・コンタクト距離 (crl) が短い場合や P+ 拡散がゲート界面領域まで拡散した場合にベースチャネル領域濃度の上昇に伴って V_{th} 上昇が起こる現象である。図 4-1-6. 微細化によりコンタクト P+ 拡散層がゲート界面に近づいた場合にチャネル領域の濃度が上昇する様子を示した。

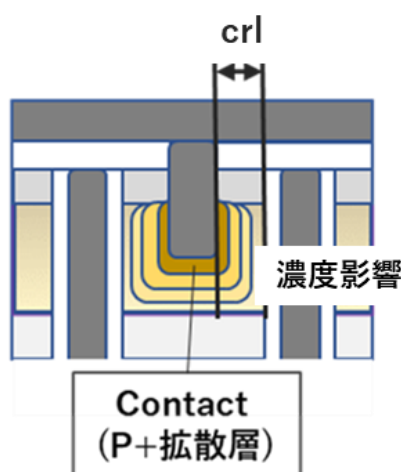


図 4-1-6. 一般的に考えられている微細化による V_{th} 上昇モデル

4-1-4. トレンチ側壁からの P+拡散長

ゲート・コンタクト距離 (crl) が 150nm のトレンチコンタクト構造を持つ一般的な UMOSFET の P+拡散層を 2 次元のプロセスシミュレータにより計算した。結果を図 4-1-7.に示す。P+層はコンタクト底部では深くなっているが側壁方向の拡散層は短くなっている。0°注入と±7°2 回の BF₂ インプラを行うが両方の影響を受ける底部で深く、±7°注入のみの影響を受ける側壁部では浅く形成される。

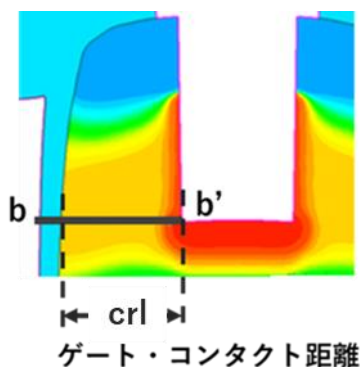


図 4-1-7. 2 次元プロセスシミュレータによるコンタクト付近の Boron 分布

図 4-1-7.の b-b'方向のゲート界面からコンタクト側壁までの Boron 拡散プロファイルを図 4-1-8.に示した。ゲート・コンタクト距離 (crl) は 150nm であり、側壁 P+拡散層の厚さは 30 (nm) 程度である。ゲート界面からは 120nm 離れており P+拡散層によるチャネル濃度への影響はない。

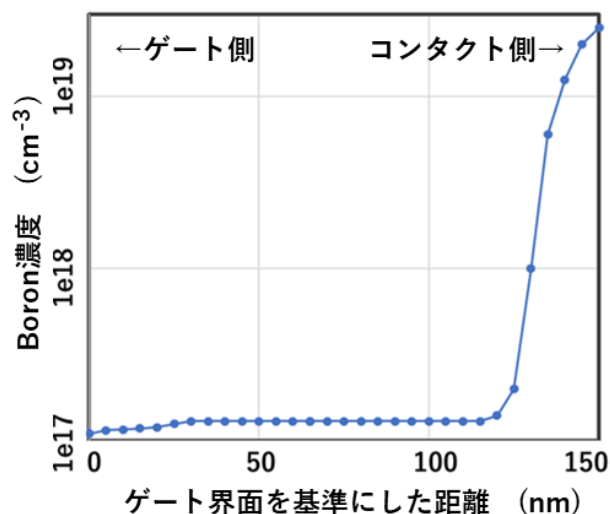


図 4-1-8. コンタクト側壁からの P+拡散層プロファイル

4-2. トレンチコンタクト構造 UMOSFET のウェハ面内 V_{th} バラツキ

ゲート・コンタクト距離が共通 ($crl=150nm$) な 2 種類の UMOSFET についてウェハ面内 V_{th} 分布に大きな差が見られた (図 4-2-2.)。構造差は一般的な垂直コンタクト構造とソース拡散層より下部で 30° のテーパを持つテーパコンタクト構造の差であり両構造を図 4-2-1. に示した。

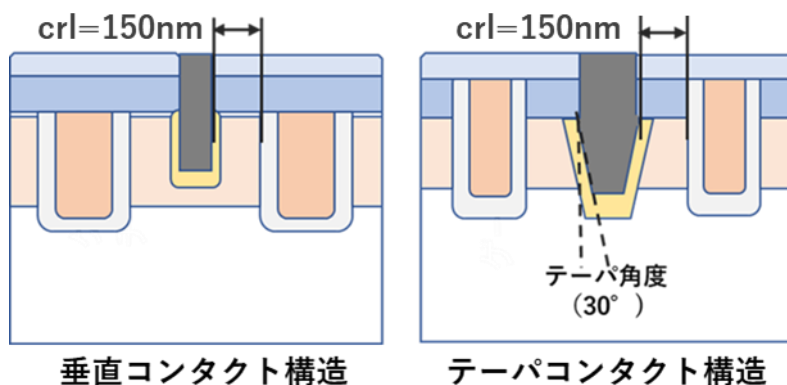


図 4-2-1. コンタクト構造の異なる UMOSFET

両構造でセルサイズ、ドレイン領域不純物濃度(N_{epi})、ベース Peak 濃度は略同じであるが、ゲート酸化膜厚は垂直コンタクト構造で $60nm$ 、テーパコンタクト構造で $50nm$ であった。垂直コンタクト製品は車載用でありゲート信頼性を確保するため通常のゲート膜厚 $50nm$ に対して 1.2 倍の $60nm$ となっている。両構造のウェハ面内 V_{th} マップを図 4-2-2. に示す。

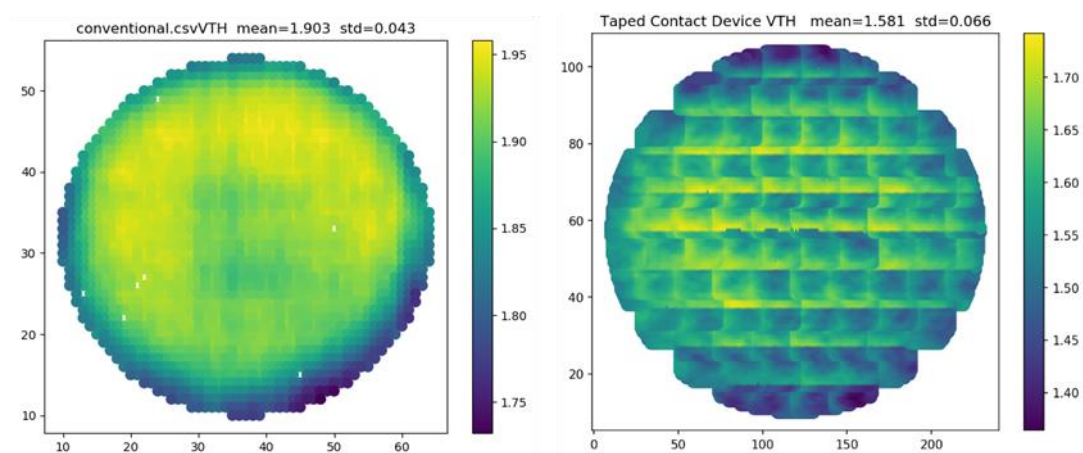


図 4-2-2. 垂直コンタクト構造とテーパコンタクト構造のウェハ面内 V_{th} マップ

テーパコンタクト構造では、鱗状の周期パターンが現れている。周期パターンは露光装置のショットマップを反映したもので、露光装置レンズ収差等が原因で発生する露光寸法バラツキの影響によるものと考えられる[57]。次節以降で、テーパコンタクト構造で発生する周期パターンについて露光バラツキを考慮したモデル検証を行う。

ウェハ内のチップトランジスタの V_{th} ヒストグラムを図 4-2-3.に示した。垂直コンタクト構造のゲート酸化膜厚は 60nm であり V_{th} の平均値は 1.90V、標準偏差は 43mV であった。テーパコンタクト構造の V_{th} 平均値は 1.58V、標準偏差は 66mV であった。平均 V_{th} はゲート酸化膜厚比 60/50 に対して平均 V_{th} 比は $1.90/1.58=1.2$ であり膜厚比による上昇分である。一方で V_{th} バラツキには大きな差がみられる。両構造で V_{th} 低い側のテールはウェハ周辺の低 V_{th} に引っ張られており共通の事象であるが、それを除いたテーパコンタクト構造の分布バラツキは面内バラツキ以上のショットエリア内のバラツキによるものである。(テーパコンタクト構造 V_{th} の $\sigma=66mV$ をショット内と面内に分解すると、ショット内の $\sigma=46mV>$ 面内 $\sigma=42mV$ であり、ショット内のバラツキが大きい。)

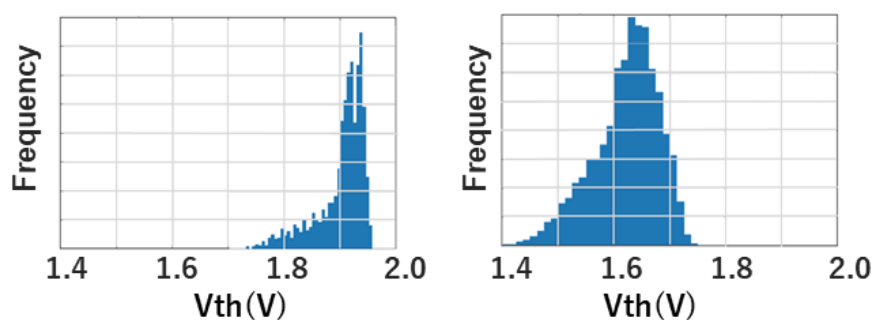


図 4-2-3. 垂直コンタクト構造とテーパコンタクト構造のウェハ面内 V_{th} 分布

両構造での大きな違いはコンタクトテーパの有無である。コンタクトインプラ工程で 0° 注入と $\pm 7^\circ$ 注入を行う。垂直コンタクト構造では基本的にコンタクト側壁には $\pm 7^\circ$ 注入分のみであるが、テーパコンタクト構造では $\pm 7^\circ$ と 0° 両方の注入影響を受ける。また 30° テーパによりコンタクト側面からの P+拡散長が大きくなると考えられる。 V_{th} はベース Peak 濃度に依存するため Peak 領域であるソース・ベース接合位置の P+拡散プロファイルと比較することが重要である。シミュレーションにより両構造のベース Peak 位置でのコンタクト側壁からの P+拡散プロファイルを計算し図 4-2-4.に示した。プロファイルのこぶは実際のプロセスでコンタクト BF_2 イオン注入を 3 回行なっているためである。図 4-2-4.からテーパコンタクト構造ではソース拡散層直下（ベース Peak 濃度付近）の P+拡散長は 58nm となり垂直コンタクトの 30nm に比べ 2 倍近く深くなっている。しかしテーパコンタクト構造でもゲート界面からベース濃度変化が起こってない距離は 92nm ある。これはテーパコンタクト構造がチャネル領域濃度に影響を与えるレベルにはないことを意味している。

P+拡散層がチャネル領域に影響を与え V_{th} 上昇が起こる前に P+拡散層を除くゲート・コンタクト距離を実効 cr 長 (cr) として crl と区別する。図 4-2-4.の垂直コンタクト構造の $cr=120nm$ に対しテーパコンタクト構造では $cr=92nm$ である。 cr が $80nm$ を切るあたりで V_{th} が上昇するメカニズムが存在すると考えられる。

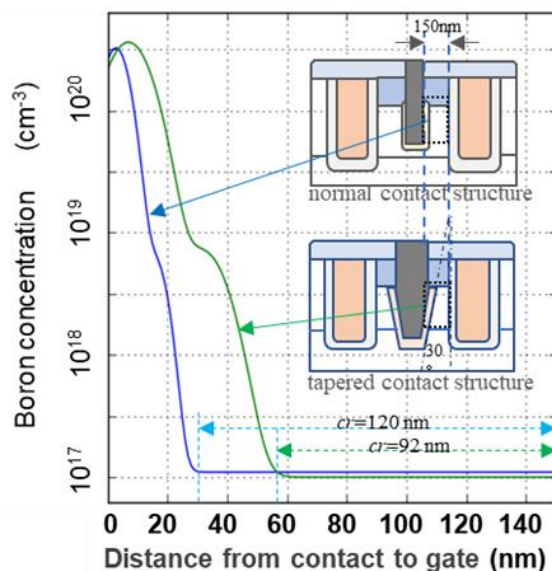


図 4-2-4. 垂直コンタクト構造とテーパコンタクト構造の P+拡散プロファイル

図 4-2-5.にゲート・コンタクト距離 (crl) が短くなると起こる V_{th} 上昇現象について、従来の P+拡散の影響でベース濃度が上がり V_{th} 上昇するモデルとの違いを明確にするために crl 長値を併記した。P+拡散影響が起こる前の $30nm < crl < 150nm$ の領域で起こる V_{th} 上昇を次節でモデル化する。

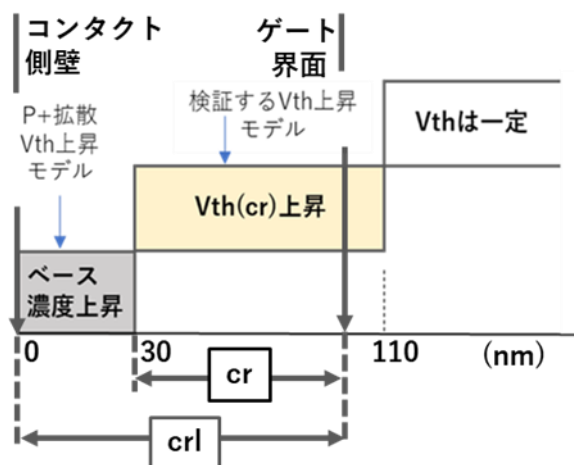


図 4-2-5. ゲート・コンタクト距離 (crl) と V_{th} 上昇モデル

4-3. ゲート・コンタクト距離が短い場合の V_{th} モデル

4-3-1. ゲート空乏層パンチスルーモデル

本節の V_{th} 計算では、 crl から P+拡散層を除いた実効的なゲート・コンタクト距離 cr を使用した。 cr が十分大きな場合、ゲートバイアスによるゲート空乏層は P+拡散層まで到達せずベース領域内部で終端するためゲート表面電位は cr の影響を受けない。 cr が小さくなるとゲート空乏層が通常 V_{th} より低いゲート電圧で P+拡散層にパンチスルーを起こすことが考えられゲートバイアスによる表面反転層を形成する感度が小さくなり表面を N 型に反転させるためにはより高いゲートバイアスが必要になり V_{th} が上昇すると考えられる。ゲート空乏層幅を w とし、 $w < cr$ (パンチスルーしない場合) と $w \geq cr$ (パンチスルーする場合) に分けてそれぞれのポテンシャルを図 4-3-1.に示した。

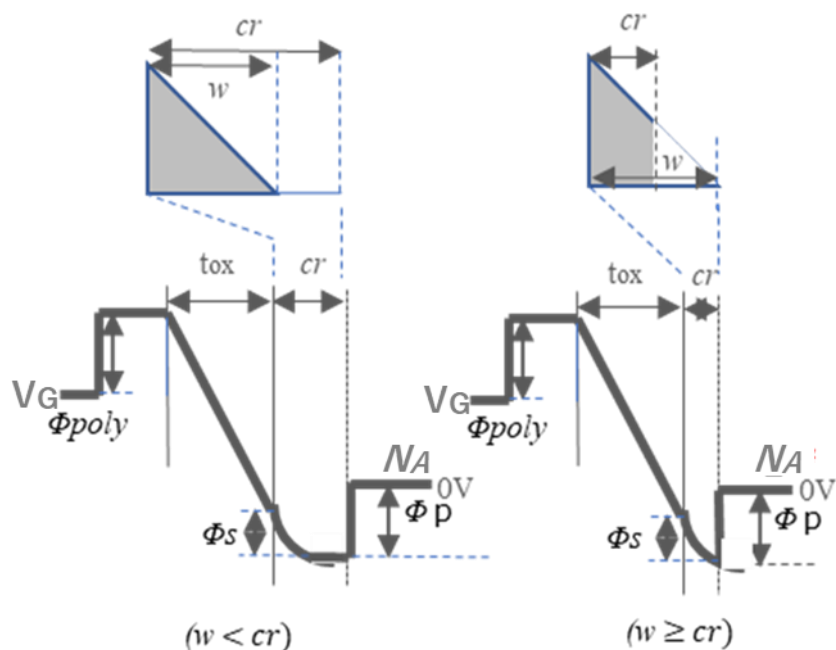


図 4-3-1. ゲート空乏層(w)と cr の大小関係によるポテンシャル図

ゲート空乏層幅 w は、式(3)より求められる。

$$w = E_{si} \cdot e \cdot \epsilon_{si} q \cdot N_A, \quad (3)$$

$w < cr$ の場合は、式(4)により、Si 表面電界 E_{si} に対して、表面電子濃度 N_{sl} とゲート電圧 V_{gl} を求めることができる。

$$\begin{aligned}
\phi_{s1} &= w \cdot E_{si}/2 - \phi_p, \\
N_{s1} &= n_i \exp(q \phi_{s1}/kT), \\
V_{g1} &= t_{ox} \cdot \mathcal{E}_{ox} - \phi_n - \phi_{s1}.
\end{aligned} \tag{4}$$

また同じように $w > cr$ の場合は、式(5)により、Si 表面電界 E_{si} に対して、表面電子濃度 N_{s2} とゲート電圧 V_{g2} を求めることができる。

$$\begin{aligned}
\phi_{s2} &= cr \cdot (2E_{si} - q \cdot NA \cdot cr/\epsilon_{si}/e)/2 - \phi_p, \\
N_{s2} &= n_i \exp(q \phi_{s2}/kT), \\
V_{g2} &= t_{ox} \cdot \mathcal{E}_{ox} - \phi_n - \phi_{s2}.
\end{aligned} \tag{5}$$

使用した物理定数を表 4-3-1.に示す。

表 4-3-1. 物理定数

q	Elementary charge	1.6 x 1e19 C
\mathcal{E}_{si}	Si dielectric	11.7 x 8.854 x 1e14 F/cm
\mathcal{E}_{ox}	SiO2 dielectric	3.8 x 8.854 x 1e14 F/cm
k	Boltzmann constant	1.38 x 1e23 J/K
n_i	Intrinsic concentration	1.18 x 1e10 cm ⁻³

また、使用したデバイスパラメータを表 4-3-2.に示す。

表 4-3-2. デバイスパラメータ

P base concentration (NA)	1.0 x 1e17 cm ⁻³
Gate poly-Si concentration	1.0 x 1e18 cm ⁻³
Gate oxide thickness (t_{ox})	50 nm

UMOSFET のベース濃度(NA)は、第 4 章 1 節で説明したベース Peak 濃度である。実際の計算は、 cr を 20,40,60,80nm として式(5)を使用して計算した。また従来の $w < cr$ の場合は cr 依存性のない式(4)を使用した。Si 表面電界を媒介パラメータとしてゲート電圧と Si 表面の電子濃度を計算したものを図 4-3-2.に示した。

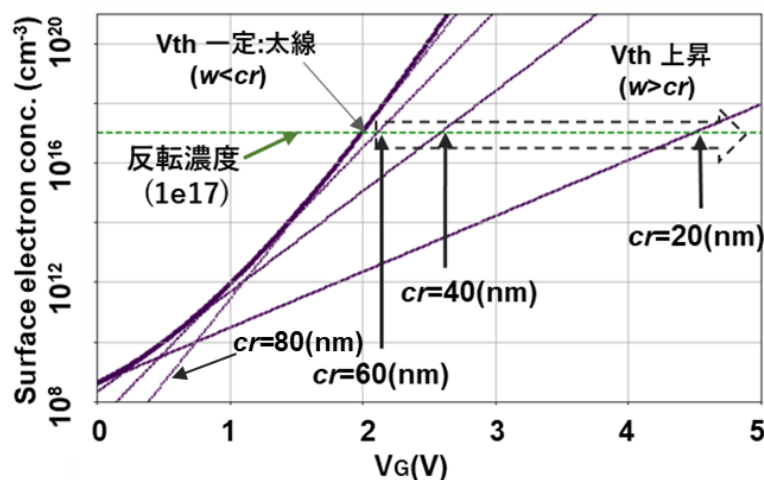


図 4-3-2. ゲートバイアスと Si 表面電子濃度($cr=20,40,60,80\text{nm}$)

図 4-3-2.の太線は $w < cr$ の場合で cr 依存性はない。 $w > cr$ の場合（ゲート空乏層パンチスルーモデル）表面電子濃度カーブは cr に依存する。太線と各 cr 値のカーブは接しており、その接点電圧が各 cr でのパンチスルー電圧である。 $cr=60\text{nm}$ のパンチスルー電圧は 1.2V であり 1.2V 以下では電子濃度は太線カーブに従い 1.2V 以上では $cr=60\text{nm}$ のカーブに従う。 $cr=60\text{nm}$ での反転 V_{th} は約 2.1V とわずかに上昇する。 $cr=40\text{nm}$ の場合のパンチスルー電圧は 0.5V で反転 V_{th} は約 2.5V となる。 $cr=20\text{nm}$ の場合の反転 V_{th} は約 4.5V となり急激に上昇する。図 4-3-3.に cr と V_{th} の関係を示した。 $cr < 80\text{nm}$ で V_{th} の上昇が起こり始める。 $cr < 25\text{nm}$ で V_{th} は 2 倍の 4V を超え、拡散やゲート酸化等のプロセスより加工寸法依存性が大きくなる。垂直コンタクト構造の P+拡散層 30nm に cr を加えるとゲート・コンタクト距離(cr_l)が 55nm になると v_{th} が 4V まで上昇することになる。テーパコンタクト構造では P+拡散層長が垂直コンタクト構造(30nm)の約倍の 58nm と大きいため寸法バラツキの影響に敏感になることが予測される。

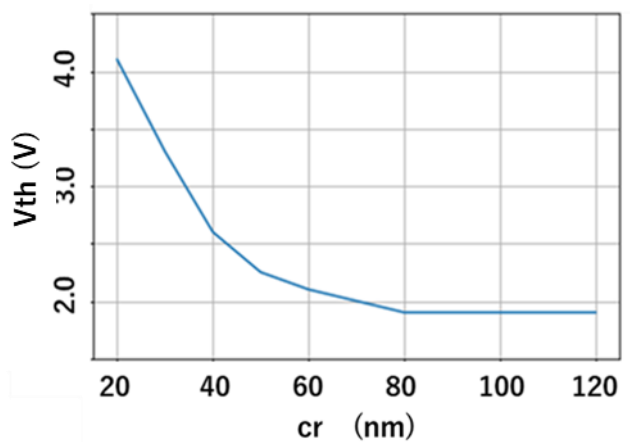


図 4-3-3. V_{th} の実効 cr 長依存性

4-3-2. 製造工程バラツキ

ゲート・コンタクト距離 (crl) が短くなると急峻な V_{th} 上昇が起こることを示した。crl をばらつかせる製造要因はゲート・コンタクトの加工バラツキ、露光装置のバラツキとパターンの合わせずれの3要因が考えられる。加工バラツキに関しては、露光装置のバラツキを排除して加工バラツキを調べるために図 4-3-4.に示したウェハ面内のショットエリアの右上のチップ断面から crl をウェハ全領域で測定した。結果平均 crl は 150(nm)、標準偏差は 13.3nm であった。

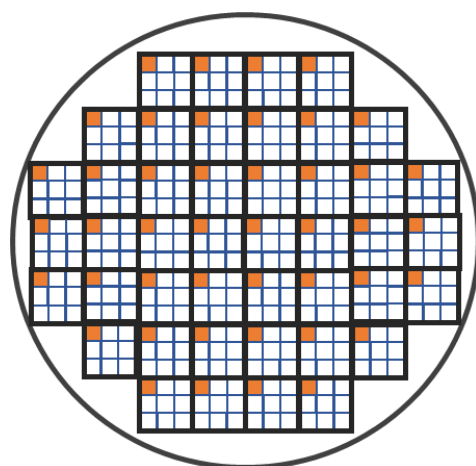


図 4-3-4. ウェハ面内の crl 長測定箇所

露光装置バラツキに関しては、ショットエリアのレンズ収差による露光寸法バラツキが考えられショットエリア内のチップ断面からトレンチパターンの開口寸法と設計値との差(広がり: a)を測定した。 a と crl の関係を図 4-3-5.に示した。ゲート加工後にゲート酸化を行うため図 4-3-5.では crl にゲート酸化膜厚を加えた crt で表現している。ゲートとコンタクトは同じ露光装置を使用するため crt, crl, cr とともに a の影響を受ける。図 4-3-6.に設計値に対するゲート開口パターン広がり値の等高線マップを示した。ショット領域左下で最大で 24(nm)の広がりが発生している。

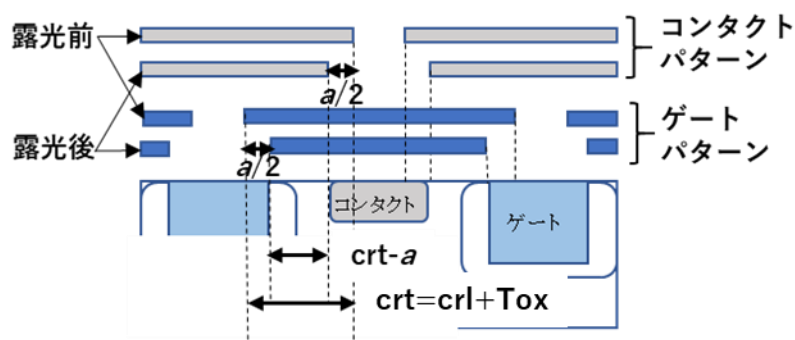


図 4-3-5. 広がりパラメータ a の crl への影響

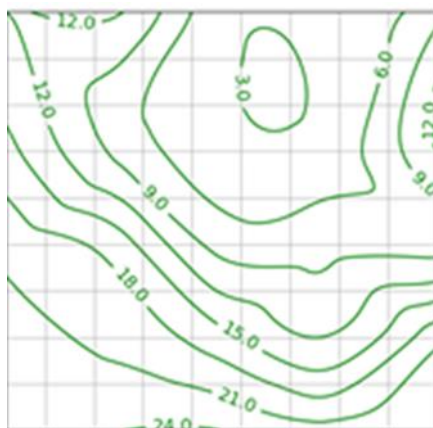


図 4-3-6. ショット内トレンチパターンの開口広がり(a)分布

パターンの合わせずれに関しては、ゲートパターンとコンタクトパターンの合わせずれが cr_l に影響する。一般的にゲートパターンを基準にしてコンタクトパターンが形成される。一般的な UMOSFET はゲートとコンタクトパターンの配置を図 4-3-7. に示した。ゲートとコンタクトは平行に配置され cr_l に対して X 方向の合わせずれの影響はないが Y 方向シフト量(b)の影響が大きく cr_l, cr はコンタクトの左右で $cr_l + b$ ($cr + b$) と $cr_l - b$ ($cr - b$) となる。ウェハ面内 7 点での合わせずれ測定では、Y 方向の最大シフト量は 12(nm)であった。

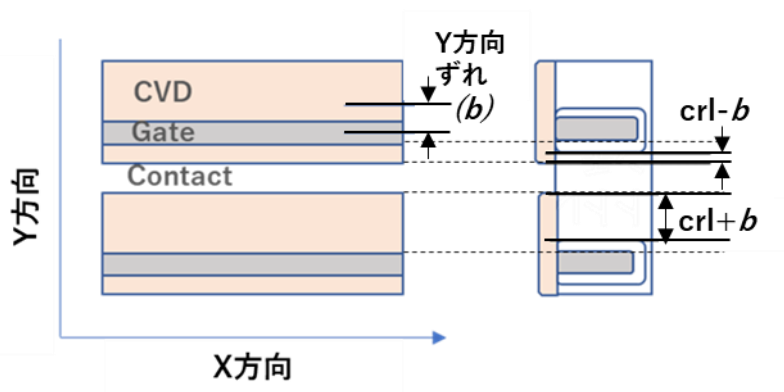


図 4-3-7. ゲート・コンタクトパターン合わせずれ(b)による cr_l 変化

4-3-3. 製造工程バラツキを考慮したチップ V_{th} の計算

一般的なトレンチコンタクト構造 UMOSFET のチップサイズは 4(mm²)、セルサイズは 1.5 μ m、チップ内の有効セル領域面積はチップサイズの 80%である。この場合チップ全体の総チャネル幅は 4m になる。チップ全体は多くのセルトランジスタから構成されている。

製造工程のバラツキはショットレベル、チップレベルのみならずセルトランジスタレベルに影響している。測定されるチップトランジスタ閾値 (V_{th}) はチップ単位の値で、チップ内に含まれるセルトランジスタの閾値(v_{th})の平均値とみなすことができる。

微細化パラメータの cr が大きくセルトランジスタ v_{th} が cr 依存性を持たない場合は従来どおり $V_{th}=v_{th}$ であるが、 cr が短くセルトランジスタ v_{th} が cr 依存性を持つ場合は、セルトランジスタの v_{th} 分布を考慮する必要がある。図 4-3-8.にテーパコンタクト構造 UMOSFET の加工バラツキを考慮した場合にセルトランジスタ v_{th} に与える影響を示した。

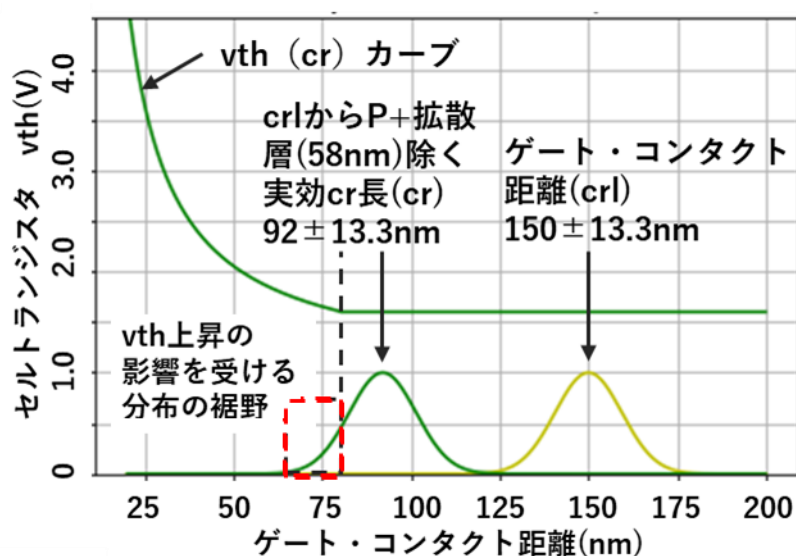


図 4-3-8. 加工バラツキを考慮したセルトランジスタ v_{th} への影響

テーパコンタクト構造 UMOSFET のゲート・コンタクト距離 (crl) は実測値から平均 150nm で標準偏差が 13.3nm であった。図 4-3-7.の薄緑色で示した右側ガウシアン分布がその分布である。テーパ構造の P+拡散層は 58nm を除いた実効 cr 長(cr)は平均 92nm で標準偏差は実測値と同じ 13.3nm とした cr が緑色で示した左側ガウシアン分布となる。セルトランジスタの $v_{th}(cr)$ カーブは実効 cr 長(cr)を基準に表示されており cr が 80nm 以下で v_{th} 上昇が起こる。 cr 分布の左側の分布裾野部分は v_{th} 上昇の影響を受ける。一方で crl が 150nm の垂直コンタクト構造では、 cr は平均 120nm 標準偏差 13.3nm で図 4-3-7.の二つの分布の中間に位置しセルトランジスタ v_{th} の上昇影響は受けないレベルである。チップトランジスタの V_{th} はセルトランジスタの cr 分布と $v_{th}(cr)$ 曲線のコンボリューション計算から求めることができる。なおテーパコンタクト構造の V_{th} 実測値にはゲート界面電荷影響 (約 0.5V) が加わっていると考えられ $crl>100\text{nm}$ の V_{th} (v_{th0}) は測定平均最小値を計算に採用した。

加工バラツキの他の要因である露光装置の開口寸法広がり (パラメータ: a) とゲート・コンタクトパターンの Y 方向合わせずれ (パラメータ: b) を含めたモデルに拡張する。

図 4-3-9.に開口寸法広がり(a)を考慮した cr 分布を示す。P+拡散長を含めた幾何的 cr_l に対して、P+拡散長を除いた電氣的な cr を基準に広がり(a)だけ平均値を左にシフトした分布である。横軸の x が小さくなると v_{th} 上昇の変調を受けて、セルトランジスタ v_{th} 分布は高い方にすそ野を引く非ガウシアン分布となる。

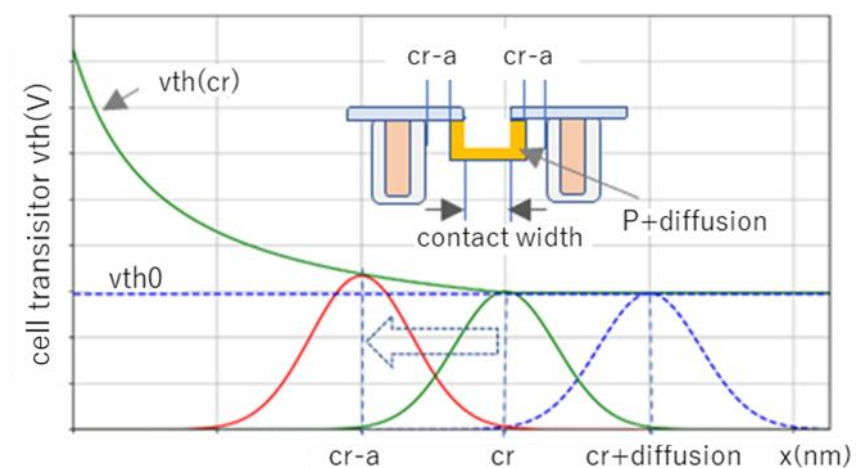


図 4-3-9. 開口寸法広がりパラメータ(a)を考慮した cr 分布

$a=0nm$ から $a=24nm$ に広がった場合に起こる分布変化をテーパコンタクト構造 UMOSFET ($cr=92nm$) の場合について $a=0nm$ と $a=24nm$ の二つの分布を正規乱数 (5000 個のセルトランジスタ) で発生させたものを図 4-3-10.に示した。5000 個分のセルトランジスタの実効 cr 長分布と v_{th} 分布変化をそれぞれ図 4-3-10.と図 4-3-11.に示した。図 4-3-10.では二つの正規分布が $24nm$ 離れていることが確認できる。青色の分布は cr 長 $150nm$ から P+拡散長 $58nm$ を除いた実効 cr 長 $92nm$ を平均とする分布でありオレンジ色の分布は広がりパラメータ $a=24nm$ を加えた分布である。両分布の標準偏差には実測した加工バラツキ $13.3nm$ を使用している。

図 4-3-11.に示した青色の分布は $a=0nm$ のセルトランジスタ v_{th} 分布でオレンジ色の分布は $a=24nm$ である。 $a=24nm$ の分布は対称性の崩れと高 v_{th} へのすそ引きが $a=0$ の分布と比較して顕著になっている。セルトランジスタ v_{th} 分布の平均は、 $a=0$ から $24nm$ に変化することで $1.48V$ から $1.64V$ に上昇している。バラツキも増加していることが判る。

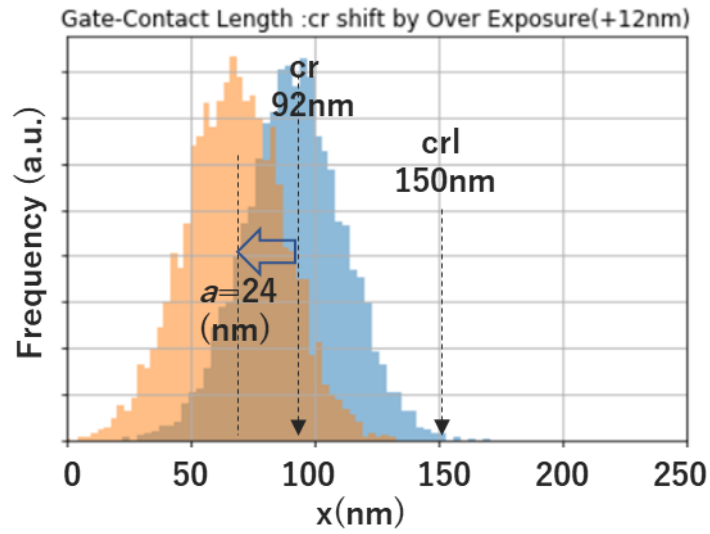


図 4-3-10. パラメータ a によるセルトランジスタ cr 分布の変化

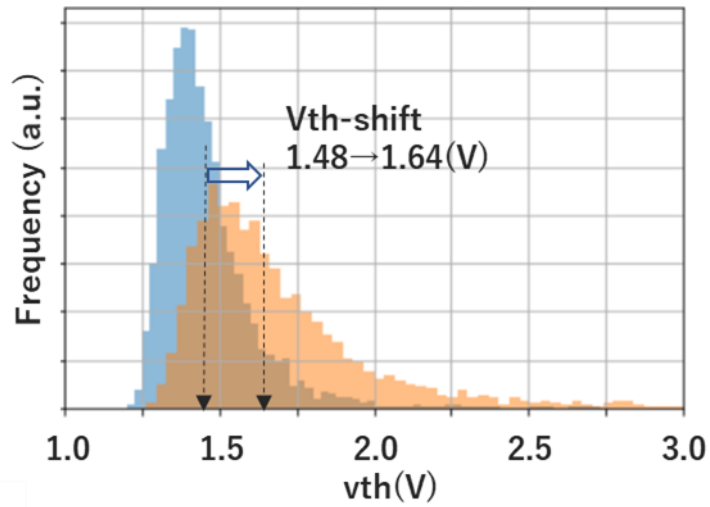


図 4-3-11. パラメータ a によるセルトランジスタ v_{th} 分布の変化

パターン開口広がりパラメータ (a) を含むチップトランジスタ V_{th} は、セルトランジスタ v_{th} の平均値であることから式(6)(7)(8)から求められる。 $g(x)$ は標準偏差 13.3nm のガウス関数、 x_0 は cr に P+拡散層長を加えたもの(crl)である。 v_{th0} はゲート空乏層パンチスルーが起こらない場合 (cr が大きい場合) のセルトランジスタ v_{th} である。

$$d(cr) = \int_0^{\infty} v_{th}(x) \cdot g(x - cr) dx \quad (6)$$

$$d(cr, a) = \int_0^{\infty} v_{th}(x) \cdot g(x - cr + a) dx \quad (7)$$

$$V_{th}(cr, a) = d(cr, a) / d(x_0) \cdot v_{th0} \quad (8)$$

次に、ゲートパターンとコンタクトパターンの Y 方向合わせずれパラメータ(b)を考慮したチップトランジスタ V_{th} の計算を行う。合わせずれパラメータ(b)を考慮した場合にコンタクトの左右で cr が異なる様子を図 4-3-12. に示す。青色破線の分布が合わせずれがない場合の分布、二つの赤色実線の分布が合わせずれにより生じる二つの分布である。 cr の平均値が $cr+b$ の分布と $cr-b$ の分布ができる。特に $cr-b$ の分布はセルトランジスタ v_{th} の上昇影響を受けやすい。テーパコンタクト構造 UMOSFET について、広がりパラメータ $a=0nm$ として、合わせずれパラメータ (b) を実測定での最大値 $12nm$ とした場合の二つの分布を図 4-3-13. に示す。

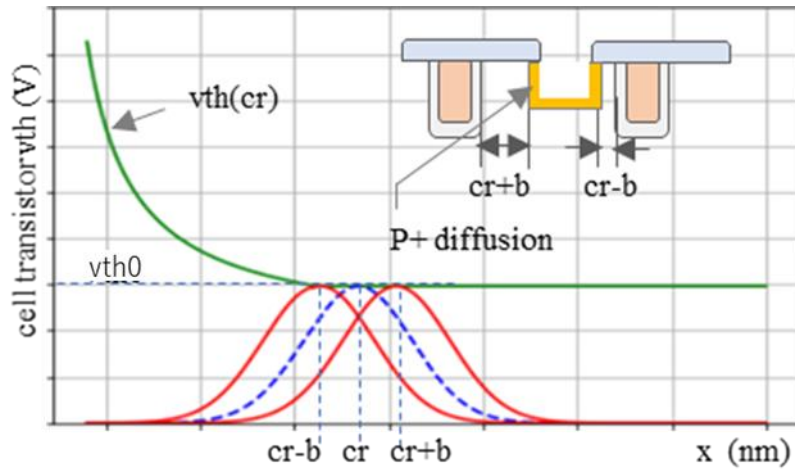


図 4-3-12. 合わせずれパラメータ(b)を考慮した cr 分布

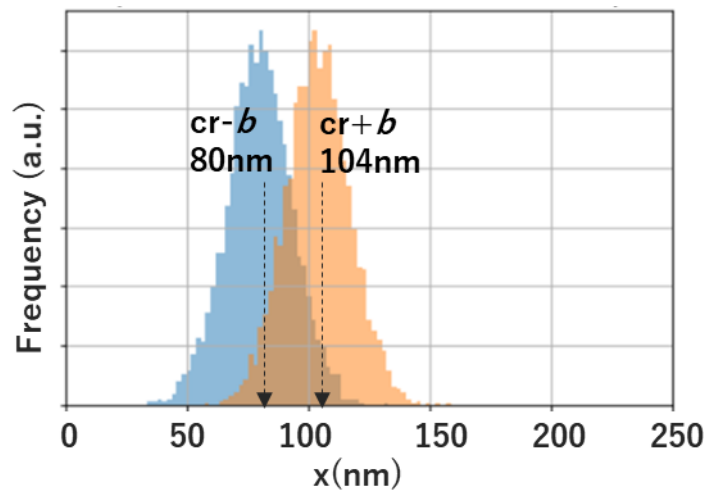


図 4-3-13. パラメータ b によるセルトランジスタ cr 分布の分離

図 4-3-14. は分離したセルトランジスタ v_{th} の分布を示した。青色の分布は $cr-b$ を平均とするセルトランジスタの v_{th} 分布、オレンジ色の分布は $cr+b$ を平均とするセルトランジスタ v_{th} の分布である。緑色の分布は $cr-b$ と $cr+b$ の両分布を合成し規格化した分布である。合成した分布の平均値がチップトランジスタの V_{th} となる。テーパコンタクト構造 UMOSFET の場合の最大パターン合わせずれ $b=12nm$ を入れた場合 1.48V から 1.51V に上昇する結果となった。上昇量は 0.03V 程度であり予想以上に小さい結果となった。

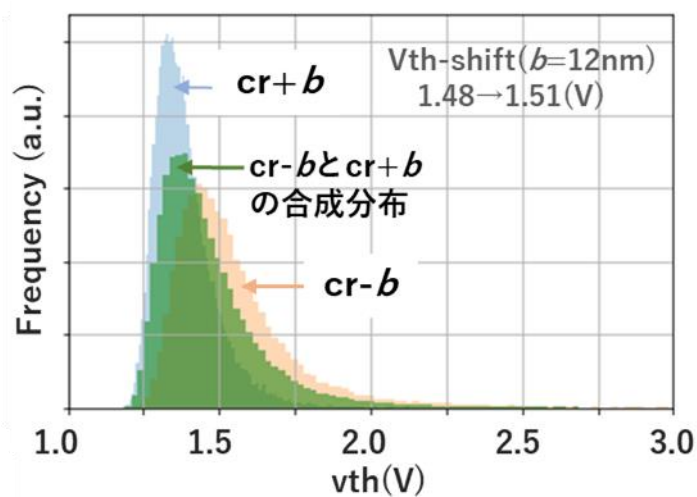


図 4-3-14. パラメータ b によるセルトランジスタ v_{th} 分布の分離

合わせずれパラメータ b を含めたチップトランジスタ V_{th} は、式(9)(10)(11)より求めることができる。

$$d1(cr, b) = \int_0^{\infty} v_{th}(x) \cdot g(x - cr + b) dx \quad (9)$$

$$d2(cr, b) = \int_0^{\infty} v_{th}(x) \cdot g(x - cr - b) dx \quad (10)$$

$$V_{th}(cr, b) = (d1(cr) + d2(cr)) / 2 d(x_0) \cdot v_{th0} \quad (11)$$

4-3-4. 製造パラメータ感度解析

テーパコンタクト構造 UMOSFET ($cr=92nm$) において、開口寸法広がりパラメータ a とゲート・コンタクト合わせずれパラメータ b に対するチップトランジスタ V_{th} の感度解析を行った結果を図 4-3-15. に示した。 a, b の実測最大値は、それぞれ $24nm, 12nm$ であった。この範囲内では開口寸法広がりの影響が大きく、合わせずれによるチップトランジスタの V_{th} 影響は殆どない結果となった。合わせずれは V_{th} よりオン抵抗に大きな影響が出るものと考えられる。

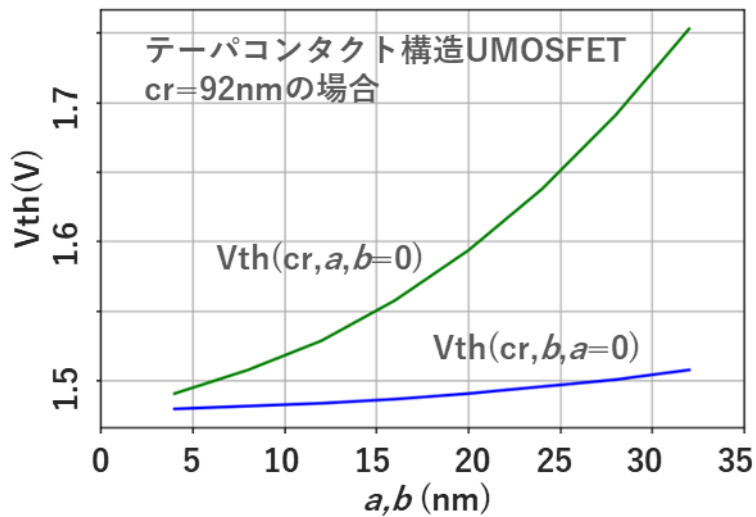


図 4-3-15. チップトランジスタ V_{th} に対するパラメータ a, b の感度

4-3-5. モデル検証

前節では、トレンチコンタクト側壁からの P+拡散層を除くゲート・コンタクト距離 (cr) が 80nm より小さくなるとゲート空乏層が閾値電圧より低い電圧で P+拡散層にパンチスルーを起こすため V_{th} 上昇が起こることを示した。また加工バラツキや露光装置の開口寸法広がり、ゲート・コンタクトパターンの合わせずれを考慮したチップトランジスタの V_{th} 計算方法を提案した。このモデルの検証に図 4-2-1.に示したテーパコンタクト構造 UMOSFET を使用する。テーパコンタクト構造 UMOSFET は露光装置のショットパターンと同じ周期性を持った V_{th} 分布を示し、 V_{th} バラツキについてはパターン設計では同じゲート・コンタクト距離 (crl=150nm) を持つ垂直コンタクト構造 UMOSFET に比べ標準偏差で 1.5 倍大きなバラツキを持っている。モデル検証にあたりトレンチコンタクト構造 UMOSFET のショット内チップトランジスタの V_{th} 分布を検証することにした。図 4-3-16. にウェハ面内で検証に採用したショット領域とその領域で実測した開口寸法広がり の等高線 MAP を示した。

露光装置の開口広がり は複数枚のレンズ収差によって起こる。黄緑色の領域で V_{th} が大きく青色領域では V_{th} が小さい。ショット面積は 20mmx20mm で、X,Y 方向に 23 個 x10 個合計 230 個のチップトランジスタが含まれている。ショット内チップトランジスタ V_{th} を開口寸法パラメータ(a)を考慮して計算したものと実測したチップトランジスタ V_{th} を比較する。

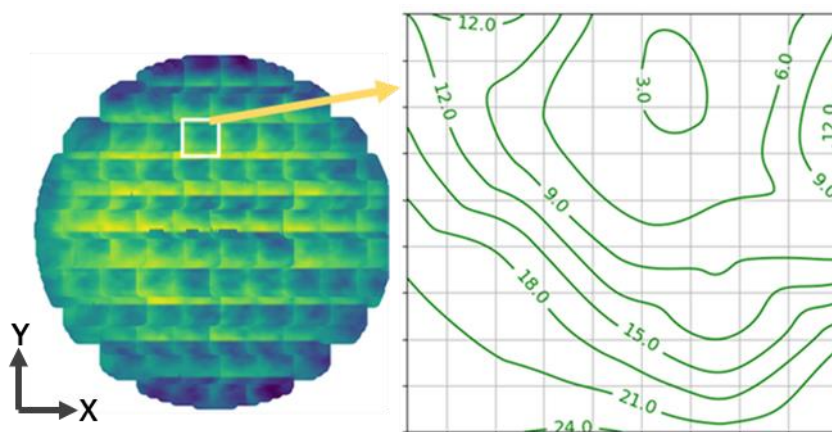


図 4-3-16. 検証に用いたショットエリアと開口寸法広がり の等高線図

まず、ショット内で実際に測定した 230 個のチップトランジスタ V_{th} の平均値と標準偏差は、1.61V、51mV であったのに対して、上記計算で求めた V_{th} 平均値と標準偏差は、1.54V、46mV であった。計算の平均値は実測値に対し略同じ分布が得られた。実測と計算によるシ

ショット内分布をカラー濃淡図で図 4-3-17.に示した。

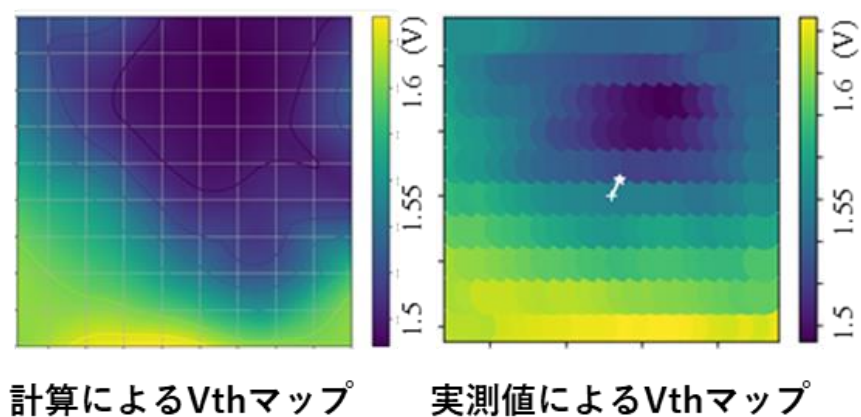


図 4-3-17. ショット内 Vth 計算値と実測値の分布マップ

ショットの左下部で Vth が高く中央部やや右上で Vth が低い領域が再現されている。実測値マップに白線で加えたベクトルはゲート・コンタクトパターンの X,Y 方向の合わせずれを示しており Y 方向シフト量 (b) は 4nm であった。合わせずれの Vth 影響は無視できるレベルであったことも付け加えておく。

4-4. 微細化による V_{th} 制御性の課題

$cr > 80\text{nm}$ の場合 V_{th} は式(2)で表されベース濃度 N_A とゲート酸化膜厚(T_{ox})が主要パラメータである。ゲート酸化膜厚はゲート耐圧を確保するため製造工程で膜厚を都度変えて V_{th} をコントロールすることはない。通常はベース濃度 N_A をベースイオン注入のドーズ量を使ってコントロールすることが一般に行われる。しかし cr が小さくなりゲート空乏層がコンタクト P+拡散層にパンチスルーする ($cr < 80\text{nm}$) 場合、図 4-3-3.に示したように V_{th} は cr に大きく依存する。工程バラツキを入れないシンプルなモデル (バラツキがないモデル) で、ベース濃度 N_A と cr をパラメータとした v_{th} の計算結果を図 4-4-1.に示した。

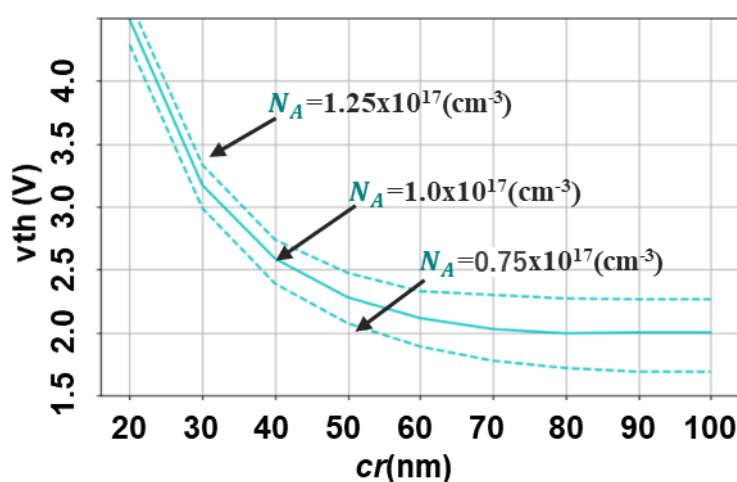


図 4-4-1. v_{th} のベース濃度(N_A)と cr 依存性

図 4-4-1.で cr が 80nm 以上では、 v_{th} の cr 依存性はなくベース濃度(N_A)だけでコントロールできる。 cr が 80nm より小さくなると cr 依存性が大きくなる。更に小さくなるとベース濃度 (N_A) による v_{th} コントロールが効かなくなる。

最近の Field Plate 構造の UMOSFET は、セルサイズが $1.0\mu\text{m}$ 以下でゲート・コンタクト距離 (cr_l) が 100nm 程度となっている。垂直コンタクト形状でコンタクト側壁からの P+拡散層 30nm として cr は 70nm である。図 4-4-2.に FP-MOSFET セルの断面構造を示す。FP-MOSFET のチップ V_{th} 計算前提として、加工バラツキは従来と同じく標準偏差 13.3nm として露光装置による寸法変化差は実験で使用した装置より改善されるとして開口寸法広がりパラメータ(a)を、 $0, 5, 10\text{nm}$ として V_{th} 計算した結果を図 4-4-3.に示した。ベース濃度 (N_A) は $1e17\text{cm}^{-3}$ 、ゲート酸化膜厚は 50nm で一定としている。

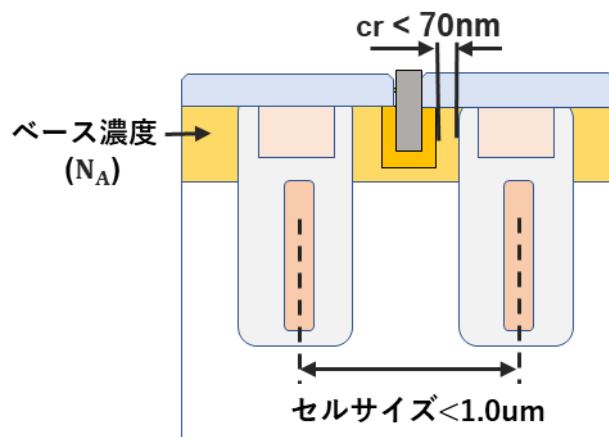


図 4-4-2. FP-MOSFET のセル断面構造

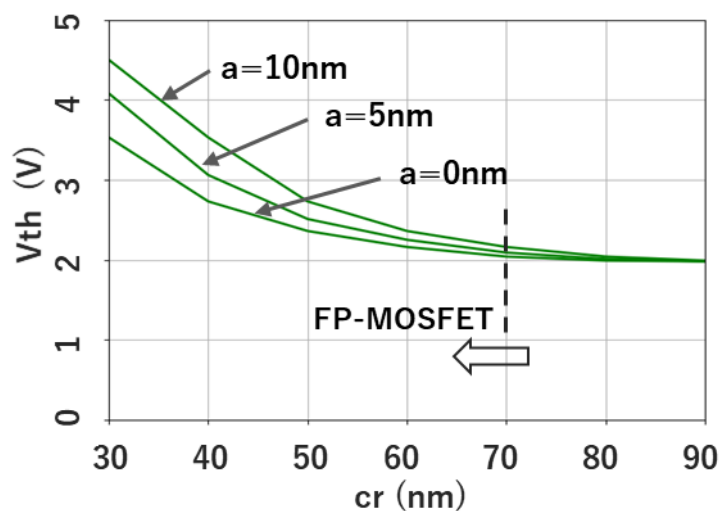


図 4-4-3. FP-MOSFET チップ V_{th} の開口寸法広がり (a) 依存性

セル構造の微細化により P+拡散層を除いたゲート・コンタクト距離 (cr) が 70nm 以下となる場合は露光装置のパターン変換差を厳しくコントロールしなければならない。また、ドライエッチャ等の加工寸法バラツキの改善も必要である。パワー半導体の生産ラインは 200mm ラインが主流ではある。寸法変換差や合わせずれ精度は最小寸法の 1/10 が一般的である。精度は 10~20nm 程度であり、最小露光寸法 130nm が微細パワー半導体を律速する要因というよりも寸法変換差や合わせずれ精度が量産設計での限界になると考えられる。

4-5. まとめ

セルサイズの微細化が進む UMOSFET をモチーフに複数の加工装置のバラツキ影響を受けるゲート・コンタクト距離 (crl) に着目して微細 UMOSFET の V_{th} 上昇現象を解明した。一般的には crl による V_{th} 上昇は $crl < 30\text{nm}$ でコンタクト P+拡散層によるチャネル濃度上昇が原因と考えられていたが、実際には $crl < 150\text{nm}$ で V_{th} の上昇が観察された。この現象はゲート空乏層が P+拡散層にパンチスルーを起こすモデルで説明することができた。実際の工程バラツキである crl 寸法の加工バラツキ ($\sigma=13.3\text{nm}$) と露光装置の寸法広がり (a)、ゲートとコンタクトのパターンずれ(b)を考慮した V_{th} モデルを作成した。この拡張モデルで露光装置のショット内で顕著な V_{th} バラツキを再現検証することができた。このモデルを更に微細な UMOSFET に適用すると、従来の V_{th} の制御パラメータであるベースインプラドーズ量による制御が効かなくなり crl の影響が大きくなりことを示した。crl が V_{th} の主要パラメータになるため製造装置バラツキを大幅に改善する必要があることを示した。

露光装置の線幅均一性 (広がり:a) はデザインルールの 1/10 が目安である[59]。例えば UMOSFET のコンタクト幅 $0.2\mu\text{m}$ パターンに対しては最大で 20nm 程度となる。またパターンの合わせずれ(b)はデザインルール $0.13\mu\text{m}$ では最大で 13nm 程度である[58]。今回の実測最大値は $a=24\text{nm}$ 、 $b=12\text{nm}$ であり 200mm 製造ラインとしては標準的である。将来の微細 UMOSFET は a,b とともに nm オーダーの制御が必要だと思われる。 300mm ラインの装置はデザインルールの現状ではオーバースペックであるが nm オーダーのバラツキ制御の観点からは必要になると思われる。

第5章 微細化による工程欠陥の影響

5-1. 工程欠陥と不良モード

5-1-1. パワー半導体の不良モード

一般的なパワーMOSFETのウェハテストでの不良項目とその比率を図5-1-1.に示す。GS不良はゲートとソースのショートモード不良で工程欠陥が主要因である。VDSS不良は接合耐圧が定格耐圧に満たない不良である。接合終端部構造やセル部構造の寸法バラツキによるものとSiバルク結晶欠陥に起因するものが含まれる。Vth不良は製品のVth規格を外れる不良で製造バラツキの影響を受ける。IDSS不良は欠陥による接合リークやセルトランジスタのチャネルリークに起因することが知られている[60][61]。

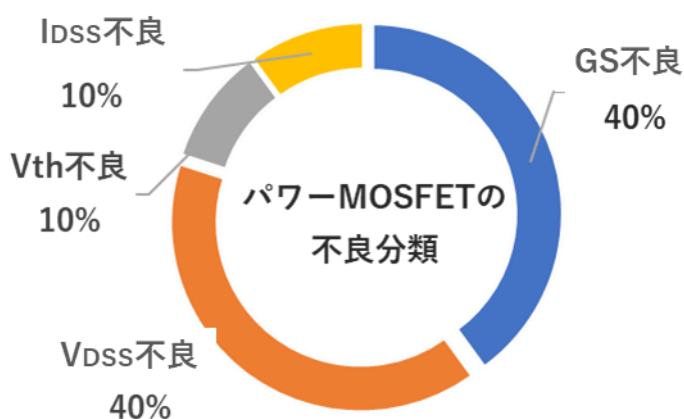


図 5-1-1. パワーMOSFETのウェハテスト不良項目

不良モードは、特性値が外れるシステムチック不良と欠陥の影響によるランダム不良に大別される。パワーMOSFETの場合はVth不良とVDSS不良はシステムチック不良で寸法・膜厚、拡散長等のプロセスパラメータに依存する。GS不良とIDSS不良（VDSS不良が含まれる場合もある）はランダム不良であり工程欠陥（工程ダスト）や結晶欠陥に依存する[62][63]。Vthに代表されるシステムチック不良は、第4章で説明したように工程感度を分析し影響の大きいパラメータのバラツキを抑えることで低減が可能である。一方、GS不良のようなランダム不良の管理には欠陥検査装置が使用される。欠陥の多いウェハはウェハテストで電氣的不良と判断される前にウェハ単位で欠陥数を測定し管理規格より多ければ工程途中で破棄される。更に車載製品の場合はウェハ単位の欠陥数が管理規格内であって

も周辺チップが不良の場合や特性値が規格値内であってもウェハ内で分布外れのチップは不良として取り除かれる[64][65]。また自動車市場で不良が発生した場合には関連するロット、ウェハ、チップの製造工程履歴が必要で欠陥位置とサイズだけではなく欠陥画像を保存する場合もある。車載製品については欠陥検査工程負荷が民生品に比べ非常に大きい。従って不良モードに対して管理すべき欠陥検査工程を絞り込むことは非常に重要である。

パワーMOSFET の場合は過去の不良解析から致命的な欠陥を発生させる加工工程は凡そ推定されている。GS 不良はゲートポリシリコン加工後の欠陥に強い相関があることが知られている[66]。車載製品ではパワー半導体の実使用環境を模した L 負荷スイッチング試験がウェハテスト項目に追加される（図 5-1-1.の不良分類に L 負荷不良は含まれていないが）。この場合はコンタクト P+インプラのインプラ遮蔽欠陥がアバランシェ耐量不足やチップ破壊に結び付くことが知られている[67]。

5-1-2. 欠陥の種類と不良モード

GS 不良モードを起こす典型的な欠陥を図 5-1-2.に示す。一般的にトレンチゲートは、トレンチ形成 → ゲート酸化 → ポリシリコンデポジション → ゲートポリエッチングで形成される。GS 不良はポリ Si 残りやポリ Si ダストがゲートとコンタクトをショートさせることにより発生する場合が多い。GS 不良と相関の強い欠陥検査はゲートポリシリコン加工後に行われる。

ポリシリコン欠陥のサイズが、ゲート・コンタクト距離（crl）にゲート酸化膜厚(Tox)を加えた距離（crt）より大きい場合は GS ショートを起こす要因となる。ゲート上の絶縁膜（CVD 膜）幅より大きい欠陥サイズになるとポリシリコンとソースコンタクトはショートするため GS 不良率 100%となる。微細化によりゲート・コンタクト距離(crl)や CVD 幅が減少すると GS 不良率は増加する。GS 不良の模式図を図 5-1-3.に示す。

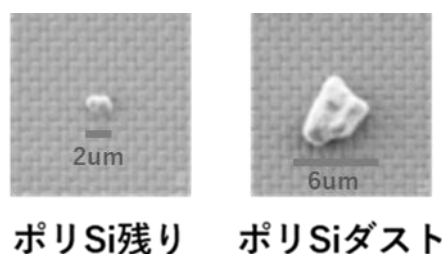


図 5-1-2. GS 不良の原因となるポリシリコン欠陥

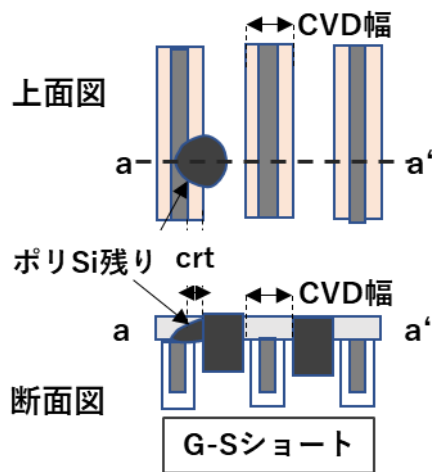
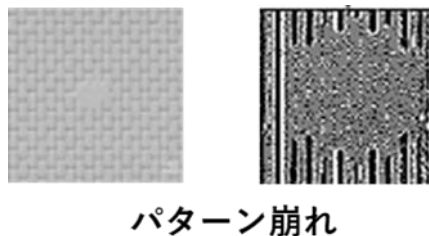


図 5-1-3. ポリシリコン欠陥による GS 不良の模式図

次に L 負荷スイッチング試験破壊耐量不良と関連性が強いパターン崩れ欠陥を図 5-1-4. に示す。パターン崩れはパターン形成や加工を妨げる遮蔽欠陥により発生する。



パターン崩れ

図 5-1-4. パターン崩れ

L 負荷スイッチング試験で破壊するチップには部分的にベース抵抗が高いセルトランジスタが存在しそのセルトランジスタに電流が集中し破壊すると考えられる。実際に L 負荷試験後の微小な破壊痕はアクティブ領域にランダムに発生している[68]。セルトランジスタベース抵抗上昇はコンタクト領域への追加 P+インプラを遮蔽する欠陥がある場合に起こる。図 5-1-5.に P+遮蔽欠陥による L 負荷耐量不良の模式図を示した。上面図の a-a'断面は正常な P+コンタクトが得られているが、遮蔽部 b-b'の断面ではベースと接触する P+拡散層が形成されていない。

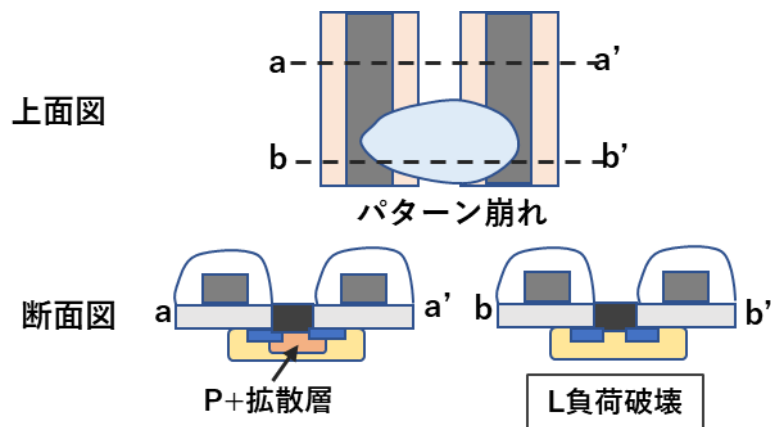


図 5-1-5. P+遮蔽欠陥による L 負荷破壊耐量不良の模式図

次節では、これらの欠陥が歩留や特性にどのように影響するのかをモデルにより解析する。

5-2. ゲート不良のモデル化

2000 年にシステム LSI の歩留を設計パターン修正により改善するビジネスが出現した。その手法は多層配線の配線パターンからランダム欠陥に敏感な領域（クリティカルエリア）を検出しパターン幅や形状を修正する手法であった。現在では外部リソースに頼らず光学シミュレータによりクリティカルなホットスポット検出やパターンの光学補正 (OPC: Optical Pattern Collection) は設計初期段階で行われる [59]。本章では構造が単純でセルトランジスタパターンが周期的に配置されているパワー半導体にクリティカルエリアの概念を適用しセル微細化による欠陥影響のモデル化を行った。

UMOSFET や IGBT のセルパターンは基本的にゲートパターンとコンタクトパターンはライン&スペース構造でゲートラインとコンタクトラインは平行に配置されている。

第 4 章では、UMOSFET のセル微細化に伴うゲート・コンタクト距離 (crl) 縮小は V_{th} 上昇を招き V_{th} バラツキを増加させることを説明した。本章では第 4 章と同じパラメータであるゲート・コンタクト距離 (crl) 縮小により起こる GS 不良の増加と L 負荷耐量不良をクリティカルエリアモデルを使って予測した。

5-2-1. ゲート不良のクリティカルエリアモデル

ゲートトレンチとコンタクトが平行な一般的な UMOSFET セル部の上面図と断面図を図 5-2-1. に示す。セルサイズと CVD 幅をそれぞれ a と c 、欠陥サイズ（直径）を r とする。欠陥はゲート材料であるポリシリコンの通電性を仮定している。上面図で灰色に着色した部分がクリティカルエリアでありこの領域の絶縁性が絶たれると GS 不良が起こる。ソース

パターンとゲートパターンの絶縁距離(crl)にゲート膜厚を加えた距離 (crt) より小さい欠陥は不良を起こさないが crt をこえると($r > crt$)不良が発生する更に欠陥が CVD 幅 c を超えると($r > c$)ゲート・ソースが必ずショートする。欠陥サイズ(r)による不良確率($p(r)$)を図 5-2-2.に示す。

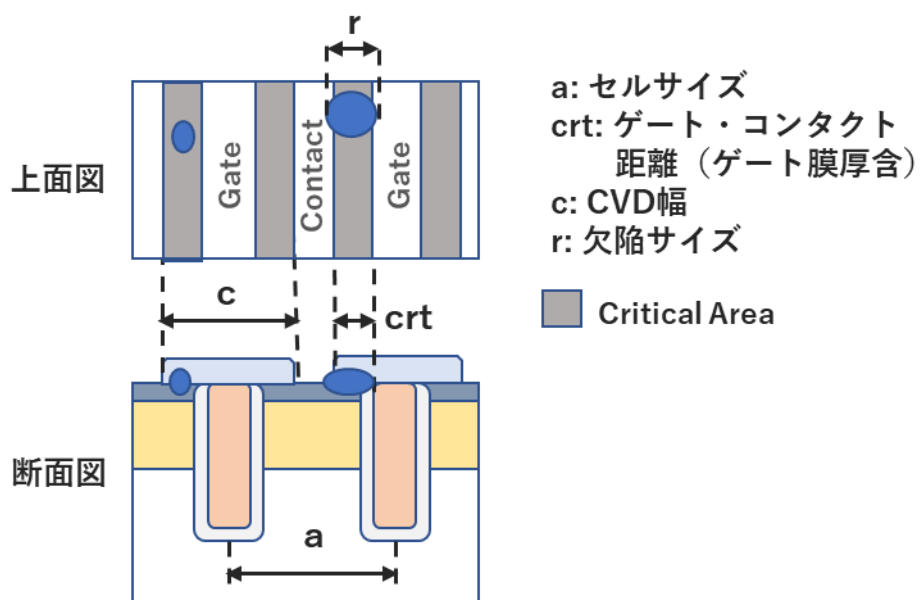


図 5-2-1. UMOSFET のクリティカルエリア

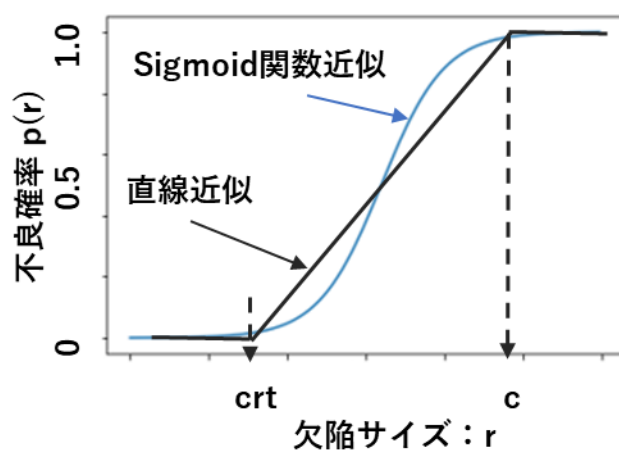


図 5-2-2. 欠陥サイズと不良確率

歩留計算は確率関数を使って計算するが、場合分けが必要な直線近似を使用せず連続関数である Sigmoid 関数を使用した。図 5-2-2.に直線近似と Sigmoid 近似を示した。欠陥サイズ r と不良確率 $p(r)$ は、式(12)の Sigmoid 関数で表現する。

$$p(r) = \frac{1}{1 + \exp(-\alpha r + \beta)} \quad (12)$$

式(12)で、 α はゲインで傾斜を表す、 β で X 軸のオフセットを調整するパラメータである。図 5-2-3.に $crt=0.25\mu m$ のトレンチコンタクト構造 UMOSFET を想定にした確率カーブ $p(r)$ を示した。計算には $\alpha=15$ 、 $\beta=0.44$ を使用した。

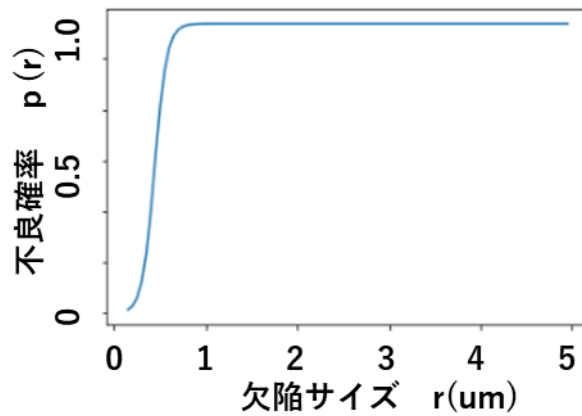


図 5-2-3. 不良確率関数 $p(r)$

A_0 はチップ全体のクリティカルエリア面積でありチップ面積にセル領域のクリティカルエリア比率とチップのアクティブ領域 (FET) 領域比率(80%を仮定)を掛けて求める。計算でのチップサイズは $2mm \square$ とした。欠陥サイズ r に依存したクリティカルエリアを $A(r)=A_0 \cdot p(r)$ とした。欠陥分布 $D(r)$ については、欠陥数が欠陥サイズ r に対してガンマ関数($\beta=0$)や逆 3 乗に比例することが経験的に知られていることから逆 3 乗を採用して式(13)のように仮定した[71]。図 5-2-4.に欠陥サイズと欠陥分布を示す。

$$D(r) = d_0 / r^3 \quad (13)$$

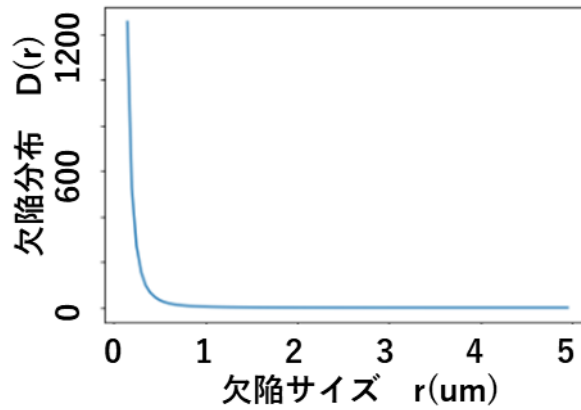


図 5-2-4. 欠陥分布 $D(r)$

d_0 は欠陥サイズ $1\mu\text{m}$ の欠陥密度である。計算では欠陥検査装置で検出される。計算では $1\mu\text{m}$ 以上の欠陥数がウェハ全面に 300 個ある場合（約 $1\text{個}/\text{cm}^2$ ）を想定している。

歩留に影響ある欠陥サイズ分布を表す Yield Impact を式(14)で計算する。

また歩留は式(15)に示すように Yield Impact を積分することで求められる。図 5-2-5.に欠陥サイズ r と Yield Impact を示した。 $r=0.6\mu\text{m}$ 付近の欠陥が歩留への影響が大きいことが判った。

$$\text{Impact}(r) = A(r) \cdot D(r) \quad (14)$$

$$\text{Yield} = Y_0 \cdot \exp \left\{ - \int_{r_0}^{\infty} \text{Impact}(r) dr \right\} \quad (15)$$

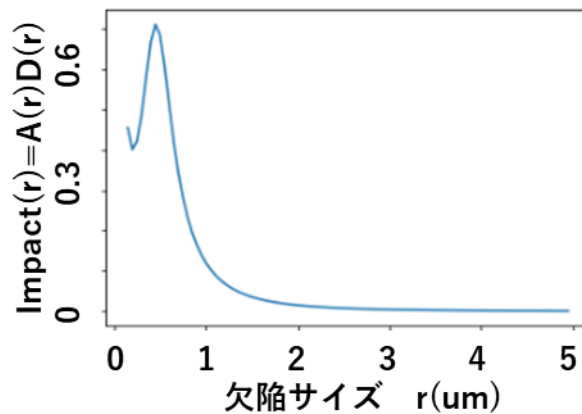


図 5-2-5. 欠陥サイズと歩留影響

チップ面積を 4mm^2 として式(15)により求めた歩留は 81.3%となる。ここでは UMOSFET のクリティカルエリアモデルから歩留を計算する手順を示した。次に実際のセル構造と製造ラインの欠陥密度を用いて歩留計算を行う。

5-2-2. セル微細化とゲート歩留

微細化と GS 歩留の関係を把握するために第 4 章の V_{th} 計算し使用したプレナーコンタクト構造 UMOSFET とトレンチコンタクト構造 UMOSFET についてチップサイズ依存性を実データと比較した。また更に微細な FP-MOSFET 構造についてもチップサイズ依存性の歩留予測を実施した。比較した 3 構造のセル上面図を図 5-2-6.に示した。

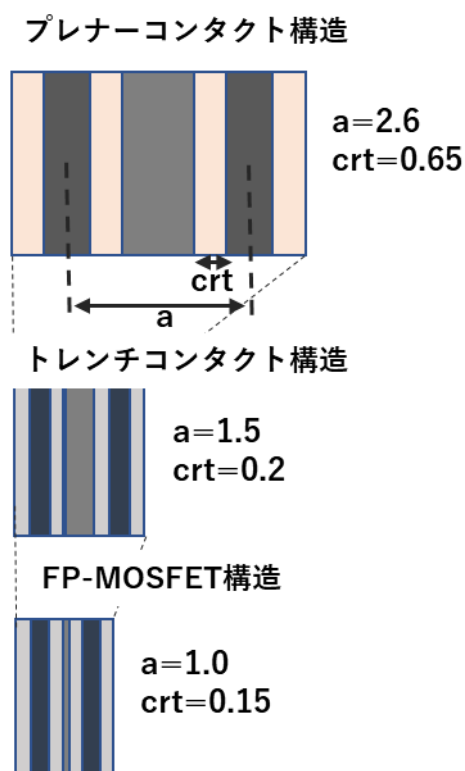


図 5-2-6. 微細化とクリティカルエリアの変化

図 5-2-7.に上記 3 構造についての欠陥サイズと不良確率を示した。プレナーコンタクト構造に比べトレンチコンタクト構造は小さい欠陥に敏感になっている。図 5-2-8.に Yield Impact を示したが、プレナーコンタクト構造が $1.5\mu\text{m}$ 付近の欠陥影響を最も受けるのに対し、トレンチコンタクト構造で $0.6\mu\text{m}$ 、FP-MOSFET で $0.4\mu\text{m}$ と微細欠陥の影響を受け易くなっていることが判った。

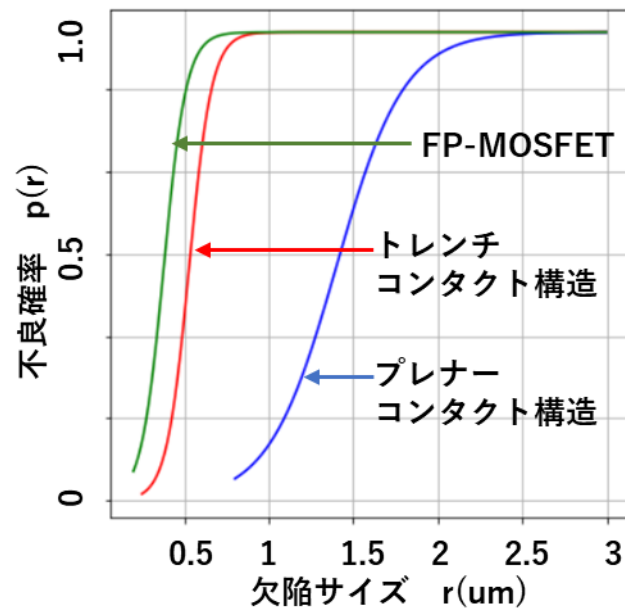


図 5-2-7. 3 構造の欠陥サイズと不良確率

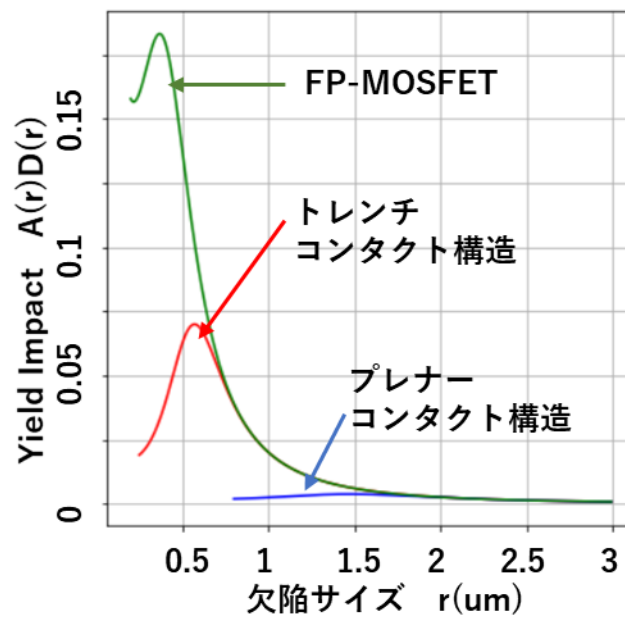


図 5-2-8. 3 構造の Yield Impact

ポリシリコンエッチング後のウェハ欠陥検査では、欠陥サイズ 1.0 μ m 以上の個数が 50 個/Wafer (Wafer 面積=176cm²:欠陥密度 D=0.28/cm²) を設定、チップサイズが 1~7mm² の各構造での歩留を計算した結果と欠陥レベルが同程度のラインで製造されたプレナーコンタクト構造とトレンチコンタクト構造の実歩留を図 5-2-9.に示した。

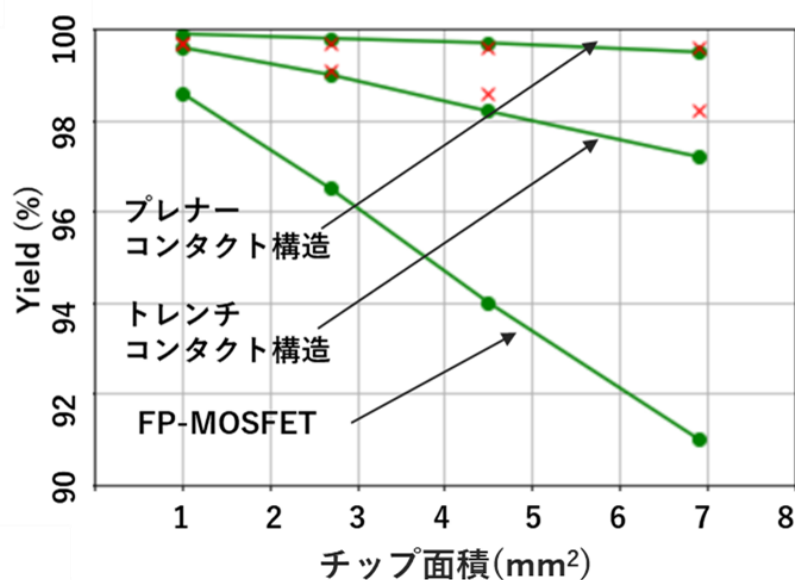


図 5-2-9. 3 構造の予測 Yield と実測値の比較

図 5-2-9.で赤色の×印が実測値である。旧式ラインと設備で製造するプレナーコンタクト構造 UMOSFET とトレンチコンタクト構造 UMOSFET は予測値と良い一致を示した。更に微細な構造を持つ FP-MOSFET では欠陥の影響を予測するとチップ面積依存性が大きく歩留低下も大きい。FP-MOSFET 生産には旧式ラインではなく欠陥数がより小さい製造ラインが必要であることが判った。また、チップ面積が大きくなると実測不良率と計算不良率に乖離が発生する場合がある。原因のひとつにウェハ面内の欠陥の偏在が考えられる。次節で説明する。

5-2-3. 偏在欠陥による歩留のチップ面積依存性

ランダム欠陥による歩留 Y_{random} はセル構造が同じ場合は欠陥密度 D とチップ面積 A を使って式(16)で表される。

$$Y_{random} = \exp(-D \cdot A) \quad (16)$$

しかし式(16)が成り立つのは、欠陥がランダムに分布していることが前提である。面積依存性が式(16)に示すポアソン分布に従わない場合がある。欠陥がウェハ面内で偏在している場合は注意が必要である。特にチップサイズが大きくなると歩留予測モデルから外れる可能性が大きくなる。

工程投入前の材料結晶欠陥と工程終了後のデバイス耐圧不良の関係を図 5-2-9.に示した。欠陥数と不良については式(16)から不良率 F を近似でして式(17)のようになる。欠陥数と耐圧不良は欠陥密度 D を傾斜とする原点を通る直線になるが、実際には分布外れが存在する。欠陥密度 D はウェハの総欠陥数をウェハ面積で割り単位面積当たりの欠陥数に変換したものでありウェハ面内で均一に欠陥が存在することを前提にしている。図 5-2-10.の分布外れは欠陥分布の偏在により生じたと考えられる。

$$F(D) = 1 - Y_{random} = 1 - (1 - DA) = D \cdot A \quad (17)$$

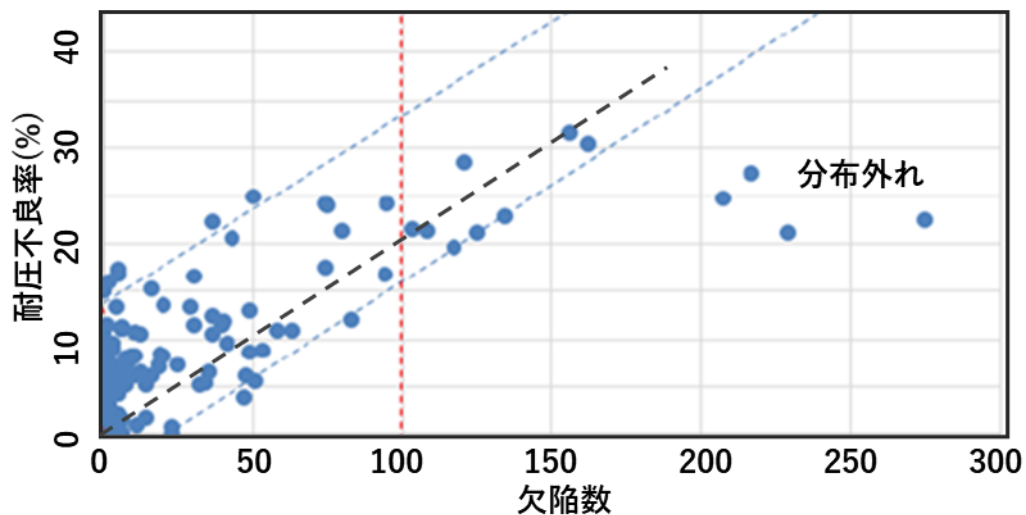


図 5-2-10. 結晶欠陥数と素子耐圧不良率

ウェハ面内の欠陥位置から欠陥が偏在している場合にも有効な不良率計算方法を提示する。計算方法はシンプルで欠陥位置座標を中心にチップサイズを反映した円を着色し重なりあう部分が多い場所は欠陥が集中（偏在）するが逆に集中してない領域は良品が多いためウェハ全体では不良率が低下することを着色部面積比率で表せる。これはオーバーラップした着色面積を求めることで計算することができる。Python の画像処理ライブラリ (PIL) を使用して不良領域チップ面積を反映した黒丸で重ね書きものを図 5-2-11. に示した。また、図 5-2-11. の灰色で示した同心円周辺（エッジ部）のは無効領域として面積から除外した。検証に使用した 3 枚のウェハの欠陥数は、44,112,158 個である。欠陥がウェハ内でランダムに分布する場合この順番で不良率が増加することになるが、本計算ではチップサイズが大きくなると 44,158,112 個の順番と逆転する結果となった。欠陥数 158 個のウェハが逆転したのは欠陥偏在によると考えられる。

図 5-2-11. に上記 3 枚のウェハの欠陥位置情報を基にチップサイズ 1,3,6,8,10mm□を想定した場合の不良領域（黒色着色部: 矩形を円に変換）比率を計算した。また図 5-2-12. にチップ面積と不良率を 3 枚のウェハについて示した。チップサイズが 6mm□以上では欠陥数 112 個と欠陥数 153 個では欠陥が偏在する欠陥数 153 個の方の不良率が少ない結果となった。また欠陥数 44 個のウェハの不良数増加は連続的ではなく 8mm□を超えると 10% 近く不良が増加することが判った。欠陥が偏在しチップサイズが大きい場合は式(17)に従わなくなることには注意が必要である。欠陥検査装置からのウェハ欠陥数のみでの管理は歩留と結びつかない場合があることを示した。

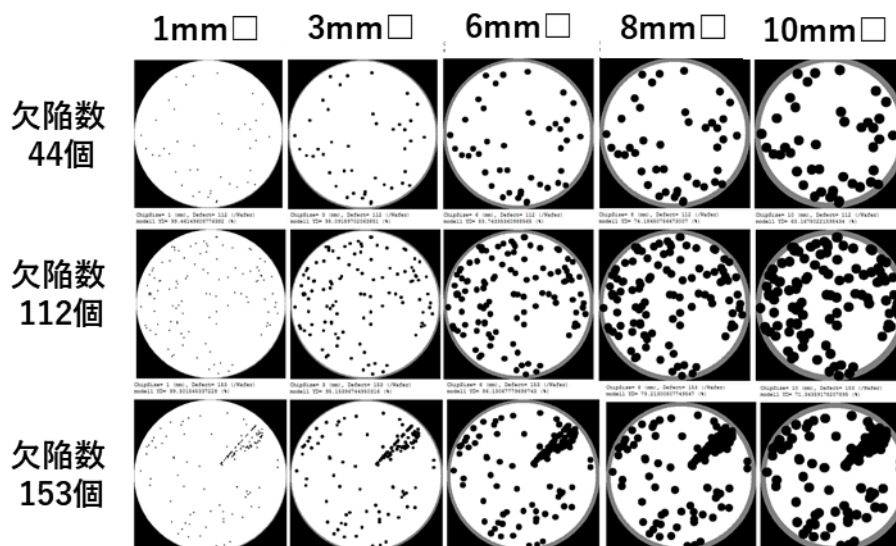


図 5-2-11. 結晶欠陥分布とチップ面積による不良率計算

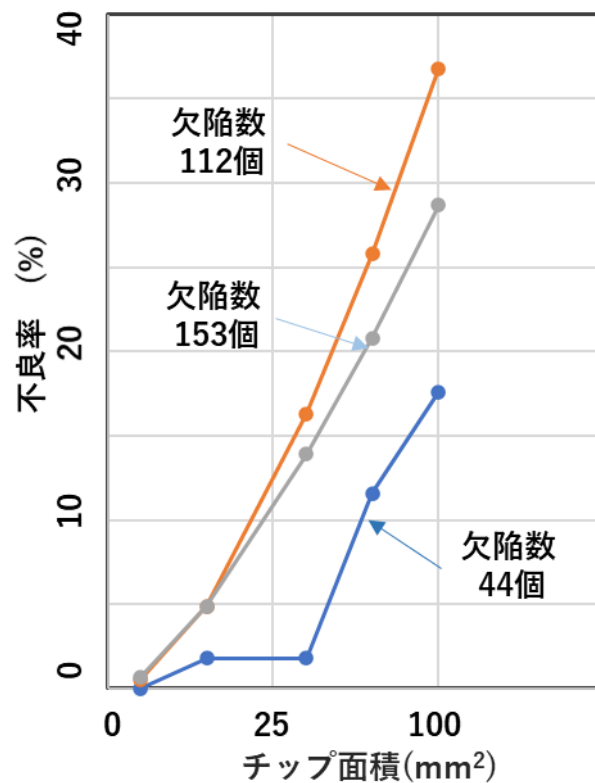


図 5-2-12. チップ面積による不良率の変化

5-3. L 負荷破壊と欠陥サイズ

5-3-1. P+インプラ遮蔽欠陥によるベース抵抗上昇モデル

セルトランジスタの等価回路を図 5-3-1.に示す。セルトランジスタは MOSFET に寄生バイポーラトランジスタが並列に接続されている。またソース電極とベース（バックゲート）はベース抵抗 R_b を介して接続されている。L 負荷スイッチ試験等でドレインに大電流が流れるとベース抵抗 R_b に電位差が生じエミッタとベースのビルトインポテンシャル(約 0.6V)を超えると寄生バイポーラトランジスタが動作しセルトランジスタに電流が集中する[71]。

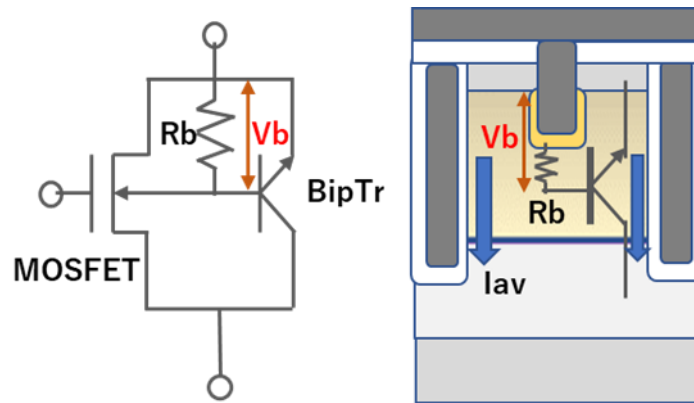


図 5-3-1. セルトランジスタの等価回路

L 負荷試験耐量の指標としてアバランシェ電流 I_{av} が使われる。粗い近似では I_{av} と R_b は定数を介して逆比例すると考えられる[73]。

ベース抵抗 R_b はコンタクト P+ の追加インプラを遮蔽する欠陥サイズ r の欠陥影響により P+ から遮蔽されたベース領域までの幾何距離が増加し部分的にベース電位が上昇を起こすと考えられる。図 5-3-2 に P+ インプラ遮蔽欠陥有無の上面図と断面図を示した。また上記ベース抵抗幾何距離を図示した。欠陥がない正常な場合は、コンタクト底部に P+ インプラが注入されコンタクト底部中央からチャネル界面までの距離 (a) がベース抵抗の幾何距離となる。一方で欠陥サイズ(r)の遮蔽欠陥コンタクト領域を遮蔽されたセルトランジスタのベース抵抗は遮蔽されていない P+ 領域からチャネル界面までの距離 $\sqrt{a^2 + r^2/4}$ で表現される。

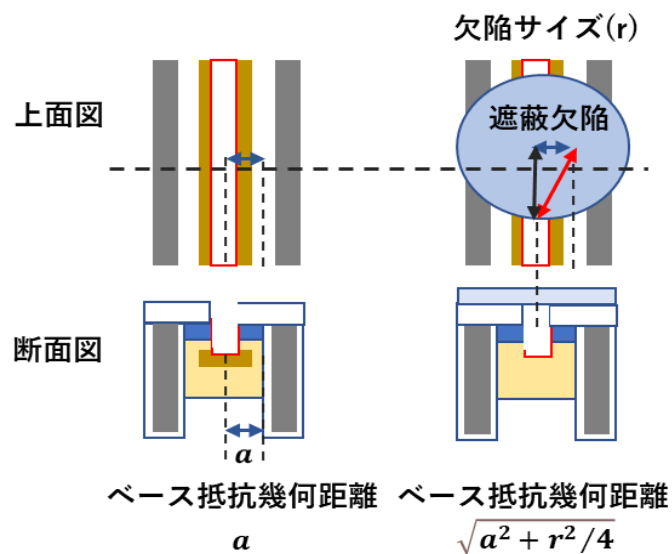


図 5-3-2. P+ インプラ遮蔽欠陥とベース抵抗幾何距離

5-3-2. 欠陥サイズとセルトランジスタの耐量低下率

チップ破壊耐量の指標であるアバランシェ電流 I_{av} は、概近似ではセルトランジスタのベース抵抗に逆比例すると考えられる。セルトランジスタのベース抵抗については、ベースドーズ Q_d 、ホール易動度 μ_p 、チャンネル幅 w とベース幾何距離を使って表され欠陥がない場合のベース抵抗 R_0 は式(18)のように表される。

$$R_0 = \frac{a}{qQ_d\mu_p w} \quad (18)$$

また、サイズ r の P+インプラ遮蔽欠陥がある場合のセルトランジスタのベース抵抗 $R(r)$ は欠陥がない場合との幾何距離比を使って式(19)で表される。

$$R(r) = R_0 \left\{ 1 + \left(\frac{r}{2a} \right)^2 \right\} \quad (19)$$

$Q_d=1e13(\text{cm}^{-2})$ 、 $\mu_p=200(\text{cm}^2/\text{Vs})$ 、 $w=0.6(\mu\text{m})$ として、図 5-2-5.に示した微細化レベルの異なる 3 構造（プレナーコンタクト構造、トレンチコンタクト構造、FP-MOSFET）について欠陥影響を考慮したベース抵抗 $R(r)$ を計算した。結果を図 5-3-3.に示した。欠陥がない状態のベース抵抗 R_0 は欠陥サイズ $r=0$ の値であり、プレナーコンタクト構造、トレンチコンタクト構造、FP-MOSFET 構造でそれぞれ 254,57,34(Ω)となった。 I_{av} と R_b が逆比例すると考えると微細化によりアバランシェ耐量 I_{av} は上昇することになる。微細化により破壊耐量(I_{av})の絶対値は上がるが、チップトランジスタ破壊はチップ内の部分的なセルトランジスタの電流集中で起こることを考えると微細化により L 負荷不良率は欠陥の影響で増加すると考えられる。上杉によると 1.4 倍のベース抵抗差でベース抵抗の大きい MOSFET への電流集中が再現されたと報告されている[72]。

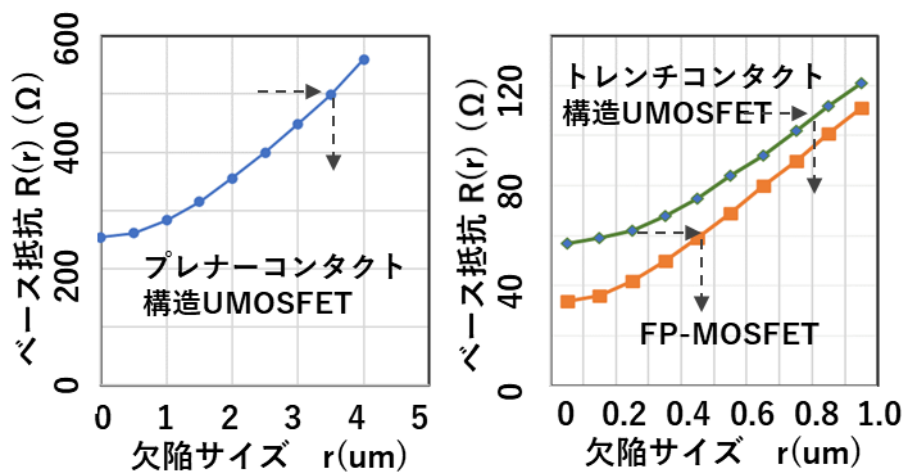


図 5-3-3. P+遮蔽欠陥サイズとベース抵抗 (計算)

ここでは欠陥によりセルトランジスタのベース抵抗が 2 倍になる欠陥サイズをクリティカルサイズと仮定し図 5-3-3.から抽出した。上記 3 構造でそれぞれ 3.45,0.82,0.48(μm)が得られた。欠陥のクリティカルサイズを不良確率=0.5 (Sigmoid 関数のセンター値) として、Sigmoid 関数の立上りをトレンチコンタクト構造の GS 不良モデルで使用した値 (Gain=15) を使用し遮蔽欠陥のクリティカルモデルに応用した。(図 5-3-4.)

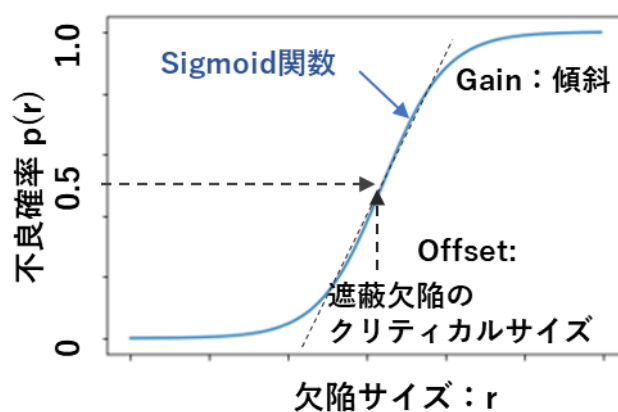


図 5-3-4. P+遮蔽欠陥サイズと破壊不良確率のモデル

5-3-3. ゲート不良/L 負荷不良の欠陥密度とチップサイズ依存性

ランダム不良は発生源側では欠陥個数とサイズ、設計側では設計ルールとチップサイズに依存する。パワーMOSFET の代表的なランダム不良として、ゲートポリシリコン欠陥による GS 不良 (5-2-2.) と材料結晶欠陥による耐圧不良 (5-2-3.) それと P+遮蔽欠陥による L 負荷破壊不良 (5-3-2.) を説明した。製造ラインでは主要プロセスに欠陥検査を導入し欠陥個数による管理が行われている。実際は歩留ロス管理の基準にするのではなく加工装置の異常管理が主目的であるためデザインルールやチップサイズには無関係な管理値が設定される場合が多い。しかし、微細新製品をそのラインで流した場合に発生するランダム不良率を予測できないと低歩留で採算性のない製品を生み出すことになりかねない。特に微細化が進むパワー半導体ではラインや装置の実力を把握し歩留を予測・設計することが重要である。ランダム欠陥密度 (場) とチップサイズ (設計) から不良率を予測するモデルをコスト設計に役立てるため結果を可視化した。

入力を欠陥密度(D)とチップ面積 (A)、出力を 3 構造の GS 不良率と L 負荷耐量不良率を同一の平行線図で表示した[73]。図 5-3-5.に欠陥密度 D を 0~0.32 個/cm² (1 μ m 以上)、チップ面積を 0~0.1cm² に変化させた場合に、セル微細度の異なる 3 構造についてゲート・ソース不良率 (GS 不良) と L 負荷耐量不良率 (LS 不良) を示した。

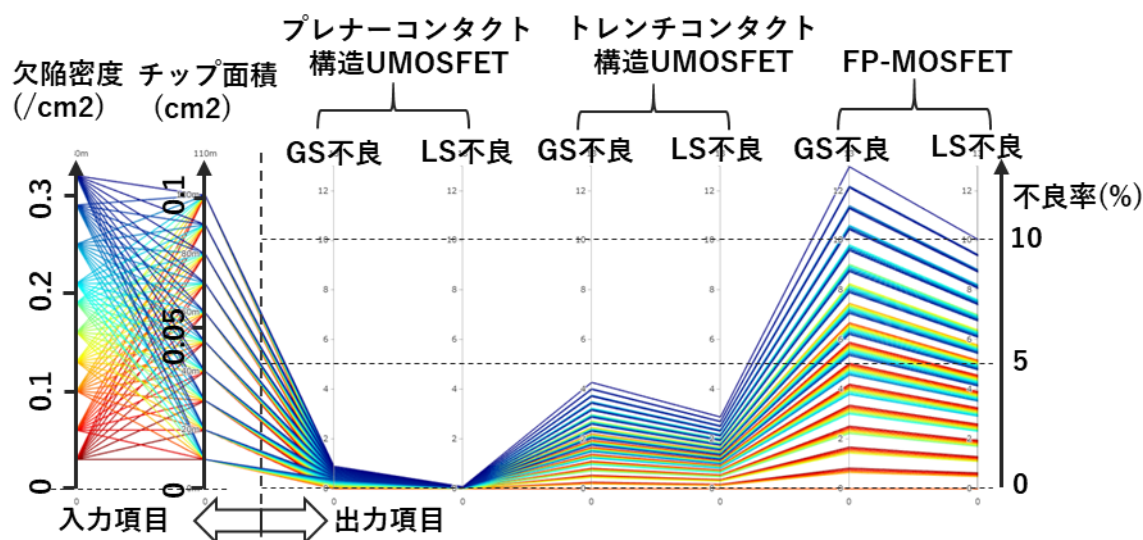


図 5-3-5. 欠陥密度とチップ面積による不良予測モデルの可視化

プレナーコンタクト構造では欠陥密度 0.32(/cm²)、チップ面積 0.1(cm²)の範囲では、GS 不良、LS 不良ともに 1%以下であるが、トレンチコンタクト構造では 5%のレベルに、FP-MOSFET では 10%を超えることが予測された。平行線図は Python の plotly ライブラリを使用しておりインタラクティブな操作が可能である[74][75]。出力パラメータの範囲を操作

することで入力パラメータの範囲を表示させることが可能である。この機能を使ってトレンチコンタクト構造の GS 不良と LS 不良を 1%以下に抑えるための欠陥密度とチップサイズを求めたものを図 5-3-6.に示す。

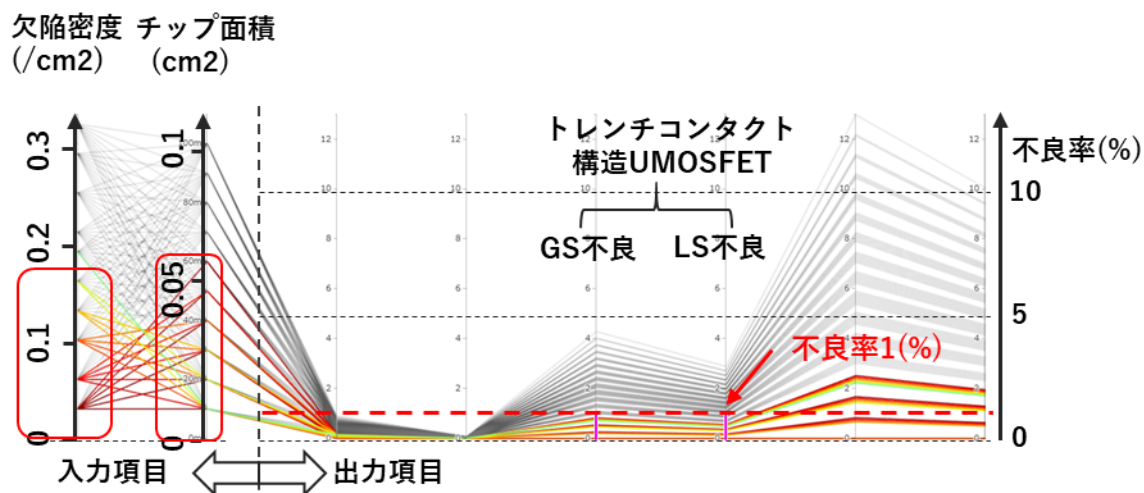


図 5-3-6. トレンチコンタクト構造の欠陥密度とチップサイズ制限

トレンチコンタクト構造で GS 不良と LS 不良を 1%以下に抑えるためには、チップ面積は 0.06cm²(2.4mm²)以下のサイズに制限される。その場合、欠陥密度を 0.03 個/cm² 以下に管理された製造ラインが必要である。同じように FP-MOSFET の場合を図 5-3-7.に示す。

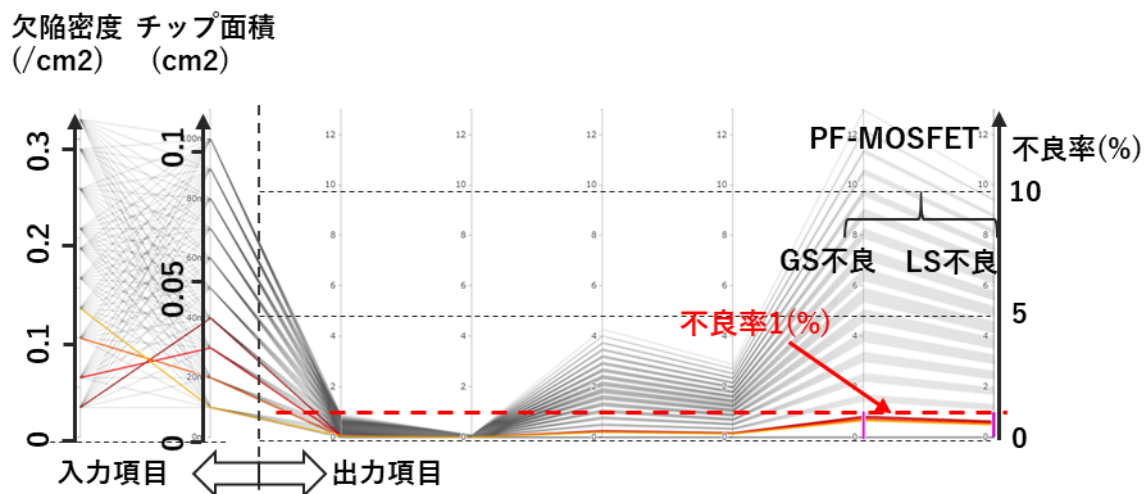


図 5-3-7. FP-MOSFET 構造の欠陥密度とチップサイズ制限

FP-MOSFET 構造で GS 不良と LS 不良を 1%以下に抑えるためには更に制限がかかり標準的な 2~3mm²チップサイズ(0.04~0.09cm²)では図 5-3-7.の範囲に解が見つからない。

5-4. 微細化パラメータによるユニバーサルモデル生成

図 5-4-1.に示すコンタクト側壁 P+拡散層を除くゲート・コンタクト距離 cr と露光装置の寸法変換差/合わせずれ dcr (Δcr) を微細化パラメータとした。側壁 P+拡散 30nm とゲート酸化膜厚 50nm は定数とした。また、ランダム欠陥による不良率計算の前提として UMOSFET 標準サイズのチップ面積 $0.1(\text{cm}^2)$ を採用した。またサイズが $1\mu\text{m}$ 以上の欠陥密度 DD (Defect Density) を場のパラメータとした。

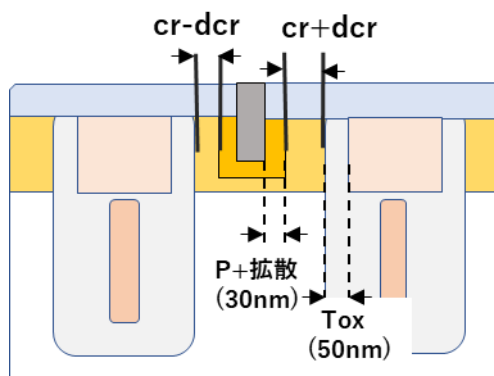


図 5-4-1. 微細化パラメータ

図 5-4-2.に 3 つの微細化パラメータ (cr, dcr, DD) を説明変数とし、4 つの目的関数 (V_{th}, R_b, GSF, LSF) を求めるベースモデルと更に共通説明変数で各モデルを数値的に結合するための回帰モデルを示した。回帰に使用したモデルは非線形に対応する SVR (Support Vector Regression) を使用した[77]。最終的に動的平行線図に 3 説明変数と 4 目的関数の 7 項目を結合し表示した。

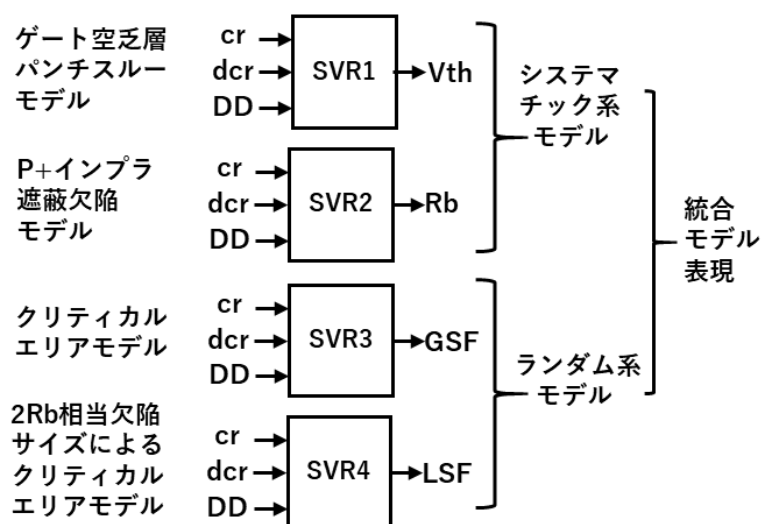


図 5-4-2. 微細化パラメータと結合モデル

回帰を行うための各ベースモデルから抽出した計算結果を表 5-4-1.に示した。微細化パラメータの設定は $cr < 100\text{nm}$ とし $dcr < 16\text{nm}$ と次世代構造を予測できるレベルに設定した。また欠陥密度はチップ面積 $=0.1\text{ (cm}^2\text{)}$ としていることから $DD < 0.007\text{ (/cm}^2\text{)}$ とした。

表 5-4-1. 回帰用データ構造

欠陥 (x1e-3/cm ²)	cr (nm)	$\Delta cr(\text{nm})$	Vth(V)	Rb(Ω)	GS不良(%)	LS不良(%)
1	30	0	3.53	15	1.74	1.49
1	30	5	4.11	17.5	1.77	1.47
1	30	10	4.52	20	1.79	1.44
1	50	0	2.34	25	1.62	1.39
1	50	5	2.53	27.5	1.65	1.37
1	50	10	2.74	30	1.67	1.34
1	70	0	2.05	35	1.45	1.28
1	70	5	2.1	37.5	1.49	1.24
1	70	10	2.18	40	1.54	1.2
2.5	30	0	3.53	15	4.38	3.74
2.5	30	5	4.11	17.5	4.44	3.69
4	70	10	2.18	40	6.01	4.71

SVR による回帰結果はデータ数が少ないことと系がスムーズ（特異点がない）なため精度指標である Rsquare は 0.996 以上が得られた。最終的に平行線図上で結合するためにデータ数を増やす必要がある。説明変数を正規乱数を使用して 10000 個発生させた。説明変数の PairPlot を図 5-4-3.に示した。この 10000 組の説明変数に回帰精度 0.996 の SVR で 10000 個の回帰を 4 項目ごとに行いユニバーサルモデルを生成した[78]。

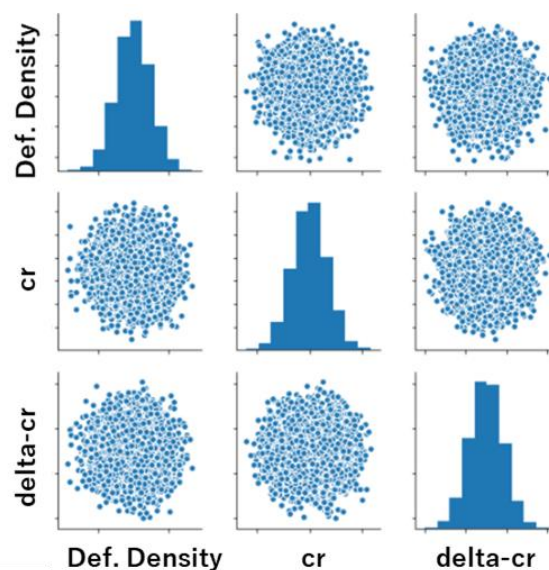


図 5-4-3. 正規乱数による 10000 組の説明変数生成

図 5-4-4.に 200mm ラインを想定して、欠陥レベルを $4.5 < DD < 6.5 \times 10^{-3} / \text{cm}^2$ 、crl の加工バラツキを $\pm 13\text{nm}$ （実測値）、露光装置寸法変換差と合わせずれ $dcr < 15\text{nm}$ とした $crl=100\text{nm}$ の FP-MOSFET（現レベル）について、 V_{th} 、 R_b 、GS 不良率、LS 不良率の平行線図を示した。 V_{th} の分布上昇は 2.5V までで GS や LS 不良は $6 \sim 7\%$ と予想された。

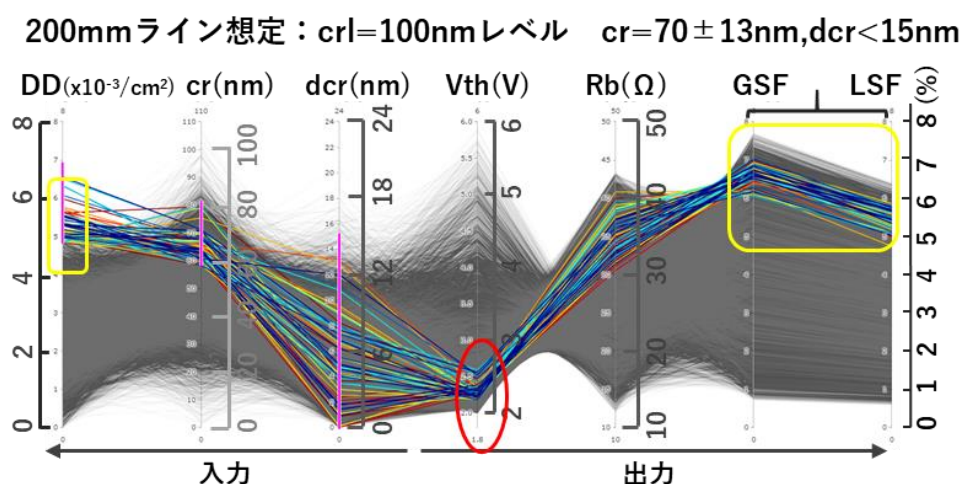


図 5-4-4. 200mm ライン想定 FP-MOSFET($crl=100\text{nm}$)の特性・不良率

次世代の FP-MOSFET($crl=80\text{nm}$)を 200mm 想定ラインで生産した場合の結果を図 5-4-5.に示した。 V_{th} の分布上昇は 3.5V まで広がった。 V_{th} の cr 依存性が大きくなっており露光装置や加工装置の寸法制御性が限界にあることを示している。一方で、 R_b は低くなり L 負荷耐量の絶対値は向上していることが判るが、電流アンバランスによっておこる LS 不良は 6% であり $crl=100\text{nm}$ と比較して差はない。

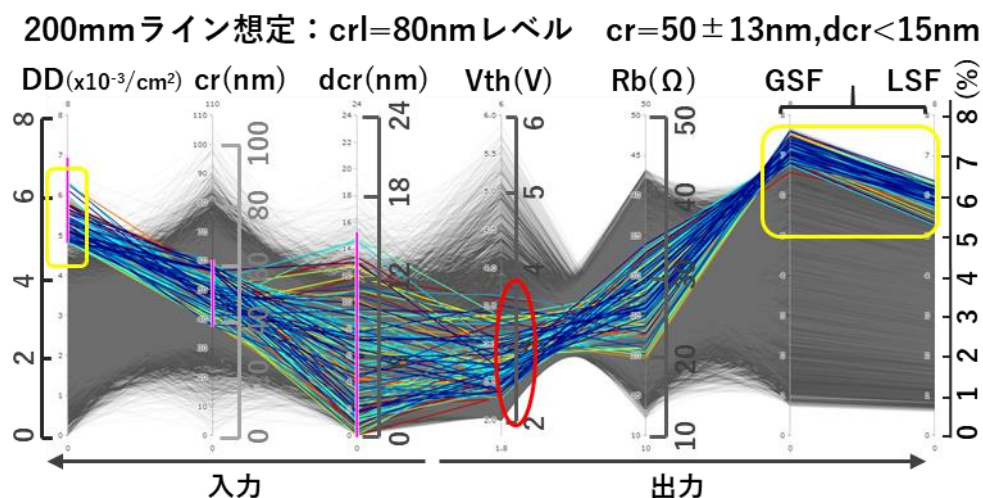


図 5-4-5. 200mm ライン想定 FP-MOSFET($crl=80\text{nm}$)の特性・不良率

次に、300mm ラインを想定して、欠陥レベルを $DD < 1.0 \times 10^{-3} / \text{cm}^2$ 、crl の加工バラツキを $\pm 5 \text{nm}$ 、露光装置寸法変換差と合わせずれ $dcr < 5 \text{nm}$ とした $crl = 100 \text{nm}$ の FP-MOSFET（現レベル）について、 V_{th} 、 R_b 、GS 不良率、LS 不良率の平行線図を図 5-4-6. に示した。 V_{th} の分布上昇は最大で 2.2V までで軽微なレベルである。また GS や LS 不良は $\sim 1\%$ であり量産適用可能なラインであることが予想された。

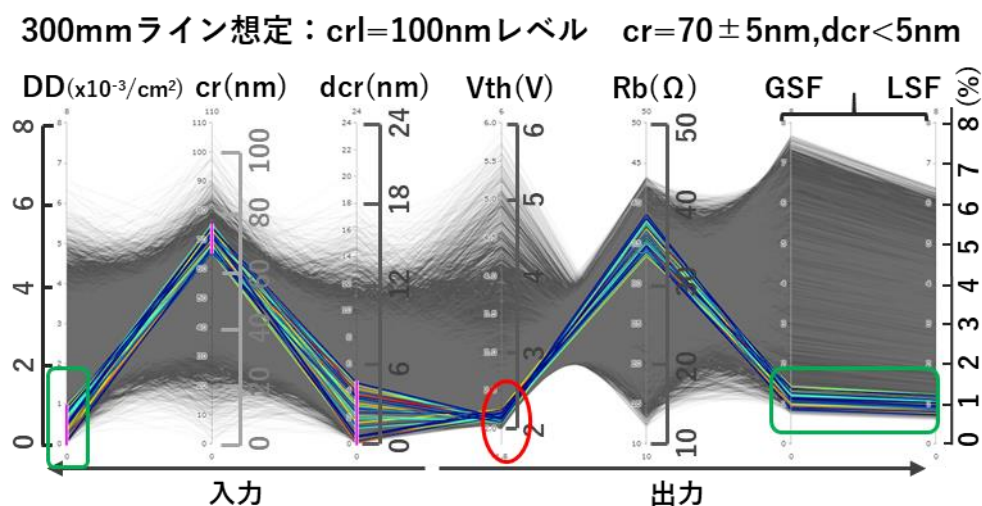


図 5-4-6. 300mm ライン想定 FP-MOSFET($crl = 100 \text{nm}$)の特性・不良率

次世代の FP-MOSFET($crl = 80 \text{nm}$)を 300mm 想定ラインで生産した場合の結果を図 5-4-7. に示した。 V_{th} 分布はオフセット上昇が約 0.3V ありレンジで $2.3 \sim 2.7 \text{V}$ （センター値 $2.5 \text{V} \pm 0.2 \text{V}$ ）であった。 V_{th} の cr 依存性が大きくなっており露光装置や加工装置の寸法制御性が限界にあることを示している。GS 不良率や LS 不良率は $< 1.5\%$ で $crl = 100 \text{nm}$ と比較して大幅な増加ではない。 $crl = 80 \text{nm}$ は量産可能レベルと思われる。

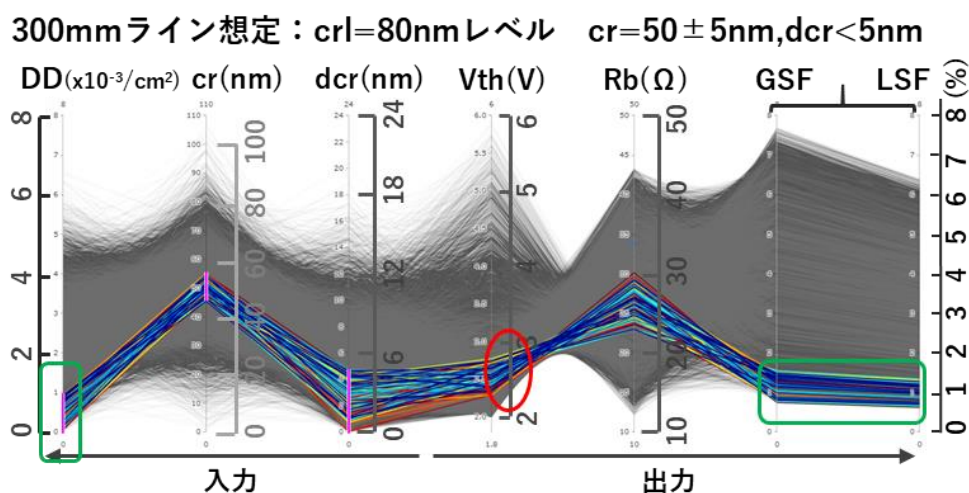


図 5-4-7 300mm ライン想定 FP-MOSFET($crl = 80 \text{nm}$)の特性・不良率

5-5. まとめ

UMOSFET の世代を追って、プレーナーコンタクト構造、トレンチコンタクト構造、FP-MOSFET の微細化に関する特性や欠陥に対する不良率の感度を比較した。トレンチコンタクト構造では $crl < 100\text{nm}$ 以降で V_{th} 上昇が加速度的に起こり、GS 不良や LS 不良に対する感度があがっていることが確認できた。より定量的に包括的に微細化影響をとらえるために3つの微細化パラメータ (cr, dcr, DD) を説明変数とし4つの目的関数 (V_{th}, R_b, GSF, LSF) を求めるベースモデルを構築し、更に共通説明変数で各モデルを数値的に結合した。直感的に各パラメータを操作して有益な情報が得られるように10000組の入出力を回帰予測したユニバーサルモデルを生成した。モデルの可視化には動的平行線図を用いた。現状の FP-MOSFET ($crl = 100\text{nm}$) を200mm 想定ラインで生産した場合と300mm 想定ラインで生産した場合を比較したところ、200mm では露光装置の寸法変換差/合わせずれとドライエッチャの加工バラツキ影響を受け V_{th} 分布は2.0~2.5V までレンジが広がることが判った。一方で同じデバイスを300mm 想定ラインで生産した場合は V_{th} 分布上昇は起こらないことや GS 不良や LS 不良率が6%に対し1%に抑えられることも判った。次世代 FP-MOSFET ($crl = 80\text{nm}$) について200mm 想定ラインと300mm 想定ラインで比較を行うと、200mm 想定ラインでは、 V_{th} の上昇が大きくオフセット上昇分0.3V が加わり2.3~3.5V となり制御不可能になった。300mm 想定ラインでは、オフセット上昇分0.3V が加わり2.3~2.7V となった、2.5V をセンター値にすれば $\pm 8\%$ で収まるレベルであった。GS 不良と LS 不良は200mm 想定ラインでは7~8%に対し300mm 想定ラインでは $\sim 1.5\%$ あった。結論としては次世代 FP-MOSFET ($crl = 80\text{nm}$) は200mm 想定ラインでは量産できないが、300mm 想定ラインでは量産可能であることが判った。

パワーMOSFET は、アナログデバイスであり微細化により世代更新した新製品の売上を確保するためには耐圧値と電流値で製品ラインアップを整えておく必要がある。耐圧値(特に FP-MOSFET より前世代の製品)はエピウェハのエピ厚さと抵抗値を調整することで、電流値はチップサイズを調整することでラインアップを整えてきた。特に電流値は数A~数100A まで3桁に近い電流値バリエーションが要求されている。これはチップサイズも3桁近く変化することを意味し、チップサイズが小さい場合に問題にならなかった工程欠陥による不良率が、チップサイズが大きい製品では深刻な影響を与える場合がある。事前に歩留を予測し採算性を確認しておくことが重要である。

第6章 結論

ここ三十年間の半導体産業全体の市場変化や製品別ビジネスモデルの細分化から国内パワー半導体産業が置かれている状況を分析した結果、パワー半導体の微細化を先導してきた国内パワー半導体メーカーは高い技術競争力を保持している。国内メーカー売上を合わせると業界トップの **Infineon** に匹敵するシェアを有していることが判った。また現在パワー半導体の微細レベルは 200mm ラインの限界設計ルール (130nm) 付近にあり更なる微細化 (300mm 化) へのターニングポイントにきている。しかし国内では 300mm 投資しているメモリやシステム LSI メーカーは親会社から分社独立したためパワー半導体メーカーが従来のように易く 300mm ラインや微細化技術を享受することができない状況になっている。国内パワー半導体メーカーが継続成長するためには既存ラインを前提とした T-CAD による設計技術力だけでなく、生産ライン変更 (場) と微細化 (設計) による工程能力の変化やランダム欠陥の影響を把握したコスト設計力が必要である。また車載製品検査コスト増加の二重苦 (検査費用+破棄ロス) に対して有効な潜在欠陥のスクリーニング手段も必要である。

本論文では、セルサイズの微細化が進む UMOSFET をモチーフに、微細化による特性影響の定量化、ランダム欠陥影響の定量化を重要な技術課題と捉えた。

微細パワー半導体のセルサイズ縮小に伴ってセルサイズの約 1/10 で縮小が進むゲート・コンタクト距離 (crl) は現在 100nm 以下になっている。この領域では V_{th} は crl 依存を始める (crl が小さくなると V_{th} が急上昇する)。200mm 露光装置は 130nm のパターンニング限界による律速ではなく寸法変換差や合わせ精度限界 (10~20nm) が律速している。このレベルでは V_{th} 制御が困難になることを示した。(第4章)

また、crl 縮小に伴い工程欠陥がゲート不良や L 負荷耐量不良の急激な増加を招くこと、現状の加工装置の欠陥管理レベル ($\sim 0.01/\text{cm}^2$) でも標準的な 3mm \square チップの UMOSFET では無視できない歩留低下 ($>10\%$) を起こすことを示した。量産を意識した場合、加工装置の欠陥レベルを 1 桁以上管理改善する必要があることを示した。(第5章)

総括すると、“現状の 200mm ラインは $\text{crl} < 100\text{nm}$ の微細パワー半導体の量産には向かない。300mm ラインへの移行が必要である。”という結論に至った。

本論文では既存デバイスのバラツキや歩留情報を使って解析モデルを検証し定量的な影響を予測することでパワー半導体の微細化に関する製造設計手法を提案した。この手法はライン変更を伴う今後のパワー半導体設計で考慮すべき内容であり継続的な国内パワー半導体産業の発展に貢献すると期待される。

今後の展開として、第3章で課題抽出した“車載品質の確保”の技術対応として車載製品検査コスト増加 (検査費用+破棄ロス) に対する有効な潜在欠陥スクリーニング手段の検討を行う。

謝辞

本研究を遂行するにあたり、終始ご指導、ご助言をいただきました、指導教官である九州工業大学大学院生命体工学研究科生体機能応用工学専攻教授 大村一郎先生に心より感謝申し上げます。還暦を過ぎた高齢者である私に対して暖かくご指導頂きましたこと筆舌には尽くしがたく感謝しております。さまざまな課題を学術的観点から論理的に組み上げ体系化させていく手法を習得できたことは私にとって大切な財産となりました。

また、本論文を作成するにあたり、審査委員として多くのご助言をいただきました同大学大学院生命体工学研究科生体機能応用工学専攻教授 花本剛士先生、パンディッシュムスデル先生、同大学大学院工学研究院電気電子工学研究系教授 松本聡先生に心より御礼申し上げます。事務手続きをはじめさまざまなサポートをしていただきました大村研究室の岩堀美代さんにも心から感謝いたします。ESREF2020 の WEB 会議などでは夜遅くまで大変お世話になりました。

博士過程への進学について背中を押してくださった元東芝セミコンダクター&ストレージ社 松浦延行技師長及び元東芝セミコンダクター&ストレージ社先端ディスクリット開発センター 宮下直人センター長に感謝します。また入社以来、ご指導ご鞭撻を頂いた元東芝セミコンダクター&ストレージ社の秋山龍雄氏には現在に至るまでご指導を賜っており技術者としてのモチベーションを持ち続けることができましたこと大変感謝しています。

本研究におきましてデータ提供や有益なご意見をいただいた元ローム滋賀株式会社 安芸康夫社長及び同製造部 井筒孝司部長に感謝します。

論文の校正に協力いただいた馬場技術士事務所代表で実弟の馬場達朗先生に厚く御礼を申し上げます。辛口のご指摘が勉学の励みになりました。

最後に、いつも私の体調を気づかい温かく応援し続けてくれた最愛の妻 敏恵と息子 俊輔と娘 智子と敦子に心から感謝します。

参考文献

- [1] WSTS 2020 年春季半導体市場予測(2020 年 6 月 9 日公表値).
- [2] 中谷隆之 2019 年版半導体市場動向 2019 年群馬大学電気電子工学特別講義Ⅱ
集積電子回路工学 第 394 回アナログ集積回路研究講演会資料.
- [3] 津田健二 欧州ファブレス半導体産業の真実 (B&T ブックス 2010 年).
- [4] 世界スマートフォン出荷台数(2019 年度)
<https://www.nikkei.com/article/DGXMZO56919590X10C20A3FFE0001/>.
- [5] 世界パーソナルコンピュータ出荷台数 (2019 年度)
<https://news.mynavi.jp/article/20200116-955036/>.
- [6] Infineon、強いパワー半導体で積極投資
<https://www.semiconportal.com/archive/edition/industry/190327-infineon.html>.
- [7] ムーアの法則
<https://boxil.jp/beyonda6996/>.
- [8] 杉本茂樹、神垣哲也、上條浩幸, ”半導体プロセス技術の進歩と課題”, 東芝レビュー
Vol.59, No.8, pp.2-7(2004).
- [9] I. Omura, et al., “Carrier injection enhancement effect of high voltage MOS devices –
device physics and design concept”, ISPSD97, pp.217-220(1997).
- [10] M. Tanaka and I. Omura, “IGBT scaling principle toward CMOS compatible wafer
processes”, Solid-State Electronics, No80, pp.118-123(2013).
- [11] T. Saraya, et al., ”3300V Scaled IGBTs Driven by 5V Gate Voltage”,
ISPSD2016pp.203-206(2016).
- [12] Hao Feng, et al., “A 1200V-class Fin P-body IGBT with ultra-narrow-mesas for low
conduction loss”, ISPSD2019, pp.43-46(2019).
- [13] 小林研也 “高効率エレクトロニクス応用のための新構造トレンチパワーMOSFET
と素子構造の基づいたコンパクトモデルの開発” 博士論文 pp.15-21 (2019) .
- [14] Y. Baba, et.al., ” A study on a High Voltage UMOS-FET with Double Gate Struc-
ture”, ISPSD1992, pp300-302 (1992).
- [15] T. Yoneda, Y. Baba, “Dual type 2.5V driven N-channel UMOSFET mounted with
TSSOP-8”, ICIM INTER’98, pp.591-596(1998).
- [16] K. Kobayashi, et.al,”100V class multiple stepped oxide field plate trench MOSFET
aimed to ultimate structure realization”, Proc.ISPSD2015, pp141-144(2015).
- [17] K. Kobayashi, K. Sudo, I. Omura, “Structure Based Compact Model for Output
Capacitance of Trench Field-Plate MOSFET to Enable Power Loss Prediction”,
SSDM2017,
<http://hdl.handle.net/10228/00006698>.

- [18] IDM とファブレス/ファウンドリ
<http://pc.watch.impress.co.jp/docs/colum/kaigai/201440627-655398.html>.
- [19] アンドリュー・S・グローブ、「インテル戦略転換」(七賢出版 1997 年) .
- [20] クアルコム概要 <https://companeer.net/qualcom>.
- [21] 半導体メーカーランキング <http://news.mynavi.jp/article/20191121-926426/>.
- [22] メモリメーカーランキング <https://eetimes.jp/ee/articles/1907/10/news027.html>.
- [23] MPU 総売上 WSTS(2019 年度).
- [24] ファブレスメーカーランキング <https://news.mynavi.jp/article/20200319-999348/>.
- [25] 津田健二、「半導体、この成長産業を手放すな」(B&T ブックス: 日刊工業新聞社 2010 年) .
- [26] アナログ IC ランキング <https://news.mynavi.jp/article/20190514-822628/>.
- [27] 非 IC 製品ランキング <https://news.mynavi.jp/article/20190416-809579/>.
- [28] パワー半導体ランキング <https://news.mynavi.jp/article/20201027-1439902/>.
- [29] イメージセンサランキング <https://news.mynavi.jp/article/20190717-860632/>.
- [30] LED ランキング <https://marketsec.blog.jp/archives/52287802.html>.
- [31] ゲーム機出荷台数 <https://teitengame.com/hard.html>.
- [32] 薄型テレビ出荷台数 <https://news.mynavi.jp/article/20200407-1012280/>.
- [33] エアコン出荷台数: JRAIA(2019 年) <https://jraia.or.jp/download/pdf/we2019.pdf>.
- [34] 自動車出荷台数 <https://gyokai-search.com/3-car.html>.
- [35] 電車出荷台数 <https://deallab.info/rolling-stock/>.
- [36] 菊池正典、「半導体工場のすべて」(ダイヤモンド社 2012 年) pp.94-95.
- [37] 湯之上隆, "日本半導体産業のコスト競争力に関する一考察", (ITEC Working Paper Series 06-13, pp.4-6(2006).
- [38] 半導体設備投資ランキング <https://news.mynavi.jp/article/20181205-735237/>.
- [39] 小野通隆, 前田秀明, 半導体単結晶引き上げ装置 (高温超電導コイル開発動向), J.IEE Japan Vol.120, No.4, pp.208-210.
- [40] W. Saito, et al., A 15.5mΩcm²-680V Superjunction MOSFET Reduced On-Resistance by Lateral Pitch Narrowing, ISPSD06, (2006).
- [41] 中性子照射によるシリコン半導体製造の原理
https://atomica.jaea.go.jp/data/detail/dat_detail_08_04_01_25.html.
- [42] FZ ウェハ https://www.eandmint.co.jp/wafer/product_detail/product_fz.html.
- [43] OHV, OHT <https://www.muratec.jp/cfa/products/>.
- [44] SMIF <http://semicon.jeita.or.jp/word/>.
- [45] 湯之上隆, 「日本型モノづくりの敗北」(文春新書 2014) pp.156-158.
- [46] 福田昭, 自動車マイコンの「不良ゼロ」を目指す, (インベーションレポート: 2013/4/25)
<https://pc.watch.impress.co.jp/docs/news/event/597463.html>.

- [47] 半導体 Fab 数 <https://news.mynavi.jp/article/200mm-1/>.
- [48] 200mm ラインの需要 <https://eetimes.jp/ee/articles/1906/13/news026.html>.
- [49] 口径別ウェハの需要 <https://news.mynavi.jp/article/20191225-945780/>.
- [50] 服部毅, 半導体テクノロジーの今 第 3 回, “シリコンウェハは直径 20mm から出発、450mmを目指す道程”, テレスコープマガジン No.008(2015).
https://www.tel.co.jp/museum/magazine/material/150430_report04_03/index.html.
- [51] 福田昭, 3 次元集積回路(2020)
<https://pc.watch.impress.co.jp/docs/column/semicon/1232236.html>.
- [52] 福田昭, 3D NAND フラッシュの高密度化を側面支援する「第 3」のスケーリング(2019)
<https://pc.watch.impress.co.jp/docs/column/semicon/1202490.html>.
- [53] S. M. Sze, “Physics of Semiconductor Devices SECOND EDITION”, pp.438-443.
- [54] A. S. GROVE, “Physics and Technology of Semiconductor Devices”, pp.224-228.
- [55] S. M. Sze, “VLSI TECHNOLOGY”, pp.224-234.
- [56] 原徹、鈴木宏俣, “浅い接合形成”, T.IEE Japan, Vol.111, No.7, pp.587-593(1991).
- [57] 基本的な収差 <https://www.cybernet.co.jp/optical/course/hitirigoto/lecture05.html>.
- [58] 稲秀樹, “リソグラフィ用半導体露光装置におけるウェハアライメント計測の高精度化の研究”, 博士論文, pp.3-4(2007).
- [59] 鈴木一明, “微細化パターンの結像特性に基づくリソグラフィ用露光装置のシステム設計”, 博士論文, p10(2017).
- [60] S. M. Sze, “Physics of Semiconductor Devices SECOND EDITION”, p.91.
- [61] S. M. Sze, “Physics of Semiconductor Devices SECOND EDITION”, pp.469-486.
- [62] S. M. Sze, “VLSI TECHNOLOGY”, pp.603-614.
- [63] 降屋久、原田和浩、古川純, シリコン単結晶中の成長時導入欠陥の形成挙動と電気的特性への影響, 応用物理, 第 66 巻, 第 7 号(1997).
- [64] 福田昭, 半導体メーカーのテストをすり抜ける「潜在不良」(2020/5/14)
<https://pc.watch.impress.co.jp/docs/column/semicon/1252403.html>.
- [65] Micky Ray, “Dynamic Parts Average Testing in Real-time”, Southwest Test Workshop (2005),
https://swtest.org/swtw-library/2005proc/PDF/S08_03Mickyray.pdf.
- [66] 長田芳裕, “LSI 製造における薄膜プロセス起因の欠陥発生メカニズムとその抑制に関する研究”, 博士論文, (2003).
- [67] International Rectifier アプリケーションノート(AN-1005J), pp3-7,
<https://infineon.com/dgdl/AN-1005J.pdf?field=5546d4625fb43b301574t5ff7db7c26>.
- [68] 稲葉保, 「パワーMOSFET 活用の基礎と実際」, pp.107-124, (CQ 出版 2004) .
- [69] 藤井孝佳、芳野公則, “光学式ウェハ欠陥検査シミュレーション技術”, 東芝レビュー Vol.65, No.4, pp.52-55(2010).

- [70] OPC/Phase shift,
<https://compugraphics-photomasks.com/our-capabilities/opcphase-shift/>.
- [71] S. M. Sze, “VLSI TECHNOLOGY”, pp.607-608.
- [72] 上杉勉, “ベース抵抗の異なる 2 つの MOSFET を使用した解析 - パワー MOSFET アバランシェ破壊予測 -”, 豊田中央研究所 R&D レビュー, Vol.31, No.1,(1996).
- [73] 東芝パワー MOSFET アプリケーションノート pp.4-6 (2017-2018) ,
<https://toshiba.semicon-strage.com/info/docget.jsp?did=59465>.
- [74] 渡辺彩華、他, “航空機設計最適化のための多次元データ可視化”, DEIM Forum, F4-3,(2016).
- [75] 久保田真季、他, “説明変数と目的関数の連携可視化によるパレート解の対話的探索”, 情報処理学会第 77 回全国大会, 3Y-04, pp.94-95(2015).
- [76] A. Narazaki, et al., “A 0.35um Trench Gate MOSFET with an ultra low onstate resistance and high destruction immunity during the inductive switching”, Proc. ISPSD2000, pp. 377-380.
- [77] SVR(サポートベクトル回帰)
<https://scikit-learn.org/stable/modules/generated/sklearn.svm.SVR.html>.
- [78] 馬場嘉朗, 馬場達朗, 酒井経雄, “口蓋形状から呼吸系・心臓系疾患を予測する手法の検討”, 人工知能学会資料, JSAI Technical Report, SIG-Challenge-057-14, pp.85-91(2020).

図一覧

図 1-1-1.	世界半導体市場とアプリケーションの変化	1
図 1-2-1.	半導体製品分類別売上高の推移	3
図 1-3-1.	垂直統合型 (IDM) ビジネスモデルの変化	4
図 1-3-2.	ウェハ口径変化と製品群の生産ライン展開	5
図 1-3-3.	200mm/300mm ラインの品質・生産性・生産管理能力比較	6
図 1-4-1.	パワー半導体の微細化	8
図 1-5-1.	60V 系 UMOSFET のセルサイズと RonA トレンド	9
図 1-5-2.	セル構造微細化とゲート・コンタクト距離(crl)の推移	10
図 2-1-1.	IDM とファブレス/ファウンドリ	13
図 2-2-1.	メーカ分類別売上比率	15
図 2-3-1.	半導体専門メーカの市場シェア	16
図 2-4-1.	ファブレスメーカの市場シェア	17
図 2-5-1.	2018 年アナログ IC の市場シェア	19
図 2-5-2.	2018 年ディスクリート製品別売上比率	20
図 2-5-3.	2018 年パワー半導体市場シェア	20
図 2-5-4.	2018 年イメージセンサ市場シェア	21
図 2-5-5.	2018 年 LED 市場シェア	21
図 3-1-1.	アプリケーション規模とライフサイクルによるグルーピング	24
図 3-2-1.	メモリ製品のコスト構造	25
図 3-2-2.	システム LSI 製品のコスト構造	26
図 3-2-3.	パワー半導体 (パワーMOSFET) のコスト構造	26
図 3-2-4.	200mm パワー半導体ウェハと 300mm ウェハのコスト比較	28
図 3-2-5.	200mm/300mm ラインの品質・生産性・生産管理能力比較	29
図 3-3-1.	製品寿命と製品単価	30
図 3-4-1.	メモリ・MPU メーカの販売・生産管理	31
図 3-4-2.	アナログ IC・ディスクリートメーカの販売・生産管理	32
図 3-5-1.	ウェハ口径別 Fab 数の推移	33
図 3-5-2.	口径別 Fab 数の比率(2019 年)	33
図 3-5-3.	口径別ウェハ使用量(面積換算)	34
図 3-5-4.	300mmFab のメーカおよびファウンドリ生産高比率	35
図 3-5-5.	200mmFab のメーカおよびファウンドリ生産高比率	35
図 3-5-6.	200mm ウェハの製品別生産高比率	36
図 3-5-7.	国別の Si ウェハ消費比率(Si 面積比率).....	37
図 3-5-8.	台湾の口径別消費率	37
図 3-5-9.	韓国の口径別消費比率	37

図 3-5-10.	日本の口径別消費比率	38
図 3-5-11.	米国の口径別消費比率	38
図 3-6-1.	ウェハ口径とデザインルール	39
図 3-6-2.	製品別材料ウェハの大口径化	39
図 3-6-3.	正方形チップによる収率計算	40
図 3-6-4.	チップサイズによる収率の変化	41
図 3-7-1.	MPU チップ内トランジスタ数の推移	42
図 3-7-2.	NAND フラッシュメモリと HDD のギガバイト単価の推移	42
図 4-1-1.	Nch 横型 MOSFET の断面構造図	44
図 4-1-2.	UMOSFET の断面構造図	45
図 4-1-3.	UMOSFET の一次元プロファイル	46
図 4-1-4.	UMOSFET の V_{th} 計算 (二次元シミュレータとの比較)	46
図 4-1-5.	UMOSFET のコンタクト P+拡散層	47
図 4-1-6.	一般的に考えられている微細化による V_{th} 上昇モデル	47
図 4-1-7.	2 次元プロセスシミュレータのよるコンタクト付近の Boron 分布	48
図 4-1-8.	コンタクト側壁からの P+拡散層プロファイル	48
図 4-2-1.	コンタクト構造の異なる UMOSFET	49
図 4-2-2.	垂直コンタクト構造とテーパコンタクト構造のウェハ面内 V_{th} マップ ..	49
図 4-2-3.	垂直コンタクト構造とテーパコンタクト構造のウェハ面内 V_{th} 分布	50
図 4-2-4.	垂直コンタクト構造とテーパコンタクト構造の P+拡散プロファイル.....	51
図 4-2-5.	ゲート・コンタクト距離 (crl) と V_{th} 上昇モデル	51
図 4-3-1.	ゲート空乏層(w)と cr の大小関係によるポテンシャル図	52
図 4-3-2.	ゲートバイアスと Si 表面電子濃度(cr=20,40,60,80nm)	54
図 4-3-3.	V_{th} の実効 cr 長依存性	54
図 4-3-4.	ウェハ面内の crl 長測定箇所	55
図 4-3-5.	広がりパラメータ a の crl への影響	55
図 4-3-6.	ショット内トレンチパターンの開口広がり (a) 分布	56
図 4-3-7.	ゲート・コンタクトパターン合わせずれ(b)による crl 変化	56
図 4-3-8.	加工バラツキを考慮したセルトランジスタ v_{th} への影響	57
図 4-3-9.	開口寸法広がりパラメータ(a)を考慮した cr 分布	58
図 4-3-10.	パラメータ a によるセルトランジスタ cr 分布の変化	59
図 4-3-11.	パラメータ a によるセルトランジスタ v_{th} 分布の変化	59
図 4-3-12.	合わせずれパラメータ(b)を考慮した cr 分布	60
図 4-3-13.	パラメータ b によるセルトランジスタ cr 分布の分離	61
図 4-3-14.	パラメータ b によるセルトランジスタ v_{th} 分布の分離	61
図 4-3-15.	チップトランジスタ V_{th} に対するパラメータ a, b の感度	62

図 4-3-16.	検証に用いたショットエリアと開口寸法広がり の等高線図	63
図 4-3-17.	ショット内 V_{th} 計算値と実測値の分布マップ	64
図 4-4-1.	V_{th} のベース濃度 (NA) と cr 依存性	65
図 4-4-2.	FP-MOSFET のセル断面構造	66
図 4-4-3.	FP-MOSFET チップ V_{th} の開口寸法広がり (a) 依存性	66
図 5-1-1.	パワー MOSFET のウェハテスト不良項目	68
図 5-1-2.	GS 不良の原因となるポリシリコン欠陥	69
図 5-1-3.	ポリシリコン欠陥による GS 不良の模式図	70
図 5-1-4.	パターン崩れ	70
図 5-1-5.	P+遮蔽欠陥による L 負荷破壊耐量不良の模式図	71
図 5-2-1.	UMOSFET のクリティカルエリア	72
図 5-2-2.	欠陥サイズと不良確率	72
図 5-2-3.	不良確率関数 $p(r)$	73
図 5-2-4.	欠陥分布 $D(r)$	74
図 5-2-5.	欠陥サイズと歩留影響	74
図 5-2-6.	微細化とクリティカルエリアの変化	75
図 5-2-7.	3 構造の欠陥サイズと不良確率	76
図 5-2-8.	3 構造の Yield Impact	76
図 5-2-9.	3 構造の予測 Yield と実測値の比較	77
図 5-2-10.	結晶欠陥数と素子耐圧不良率	78
図 5-2-11.	結晶欠陥分布とチップ面積による不良率計算	79
図 5-2-12.	チップ面積による不良率の変化	80
図 5-3-1.	セルトランジスタの等価回路	81
図 5-3-2.	P+インプラ遮蔽欠陥とベース抵抗幾何距離	81
図 5-3-3.	P+遮蔽欠陥サイズとベース抵抗 (計算)	83
図 5-3-4.	P+遮蔽欠陥サイズと破壊不良確率のモデル	83
図 5-3-5.	欠陥密度とチップ面積による不良予測モデルの可視化	84
図 5-3-6.	トレンチコンタクト構造の欠陥密度とチップサイズ制限	85
図 5-3-7.	FP-MOSFET 構造の欠陥密度とチップサイズ制限	85
図 5-4-1.	微細化パラメータ	86
図 5-4-2.	微細化パラメータと結合モデル	86
図 5-4-3.	正規乱数による 10000 組の説明変数生成	87
図 5-4-4.	200mm ライン想定 FP-MOSFET($crl=100nm$)の特性・不良率	88
図 5-4-5.	200mm ライン想定 FP-MOSFET($crl=80nm$)の特性・不良率	88
図 5-4-6.	300mm ライン想定 FP-MOSFET($crl=100nm$)の特性・不良率	89
図 5-4-7.	300mm ライン想定 FP-MOSFET($crl=80nm$)の特性・不良率	89

表一覧

表 1-2-1.	半導体分類と代表製品	2
表 1-3-1.	半導体応用製品寿命と主要半導体	5
表 2-2-1.	2019 年半導体売上(CY)ランキング (ファウンドリ含)	15
表 2-4-1.	2018 年システム LSI(ファブレス)ランキング	17
表 2-5-1.	2018 年アナログ IC 売上メーカーランキング	18
表 2-5-2.	2018 年ディスクリート製品別売上	19
表 3-1-1.	アプリケーション規模とライフサイクルの比較	23
表 3-2-1.	半導体製品コスト構造の比較	25
表 3-2-2.	2019 年度 設備投資金額	27
表 3-4-1.	販売・生産管理と新製品寿命・新製品生産比率の比較.....	31
表 3-5-1.	口径別 Fab 平均ウェハ使用量と平均ロット出力	34
表 3-5-2.	国別口径別ウェハ使用量(単位:M 枚/月,200mm 換算).....	37
表 4-3-1.	物理定数	53
表 4-3-2.	デバイスパラメータ	53
表 5-4-1.	回帰用データ構造	87

研究業績論文

学術論文

Yoshiro Baba and Ichiro Omura, “Effect of the cell size reduction on the threshold voltage of UMOSFETs”, Microelectronics Reliability, Volume 114, November 2020, 113747.
(DOI:10.1016/j.microrel.2020.113747)

参考論文

Y. Baba, S. Hiraki, T. Kawakami, “A study on Stresses around a Trench Structure In High Voltage Power IC Device”, ASME-JSME Joint Conference 1992, ASME, Vol.1, pp.583-580(1992).
(<https://ci.nii.ac.jp/naid/10006642586/#cit>)

Y. Baba, S. Yanagiya, K. Koshino, Y. Udo, “High Voltage Trench Drain LDMOS-FET using SOI Wafer”, ISPSD94, pp.183-186(1994).
(DOI:10.1109/ISPSD.1994.583700)

A. Nakagawa, N. Yasuhara, Y. Baba, “New 500V Output Device Structure for Thin Silicon Layer on Silicon Dioxide Film”, ISPSD90, (1990).
(DOI:10.1109/ISPSD.1990.991067)

Y. Baba, N. Matsuda, S. Yanagiya, S. Hiraki, S. Yasuda, “A study on a High Blocking Voltage UMOS-FET with a Double Gate Structure”, ISPSD92, pp.300-302(1992).
(DOI:10.1109/ISPSD.1992.991291)

Y. Baba, N. Matsuda, S. Yawata, N. Kawamura, T. Kawakami, “High Reliable UMOSFET with Oxide Nitride Complex Gate Structure”, ISPSD97, pp.369-372(1997).
(DOI:10.1109/ISPSD.1997.601520)

A. Osawa, Y. Kanemaru, T. Yoneda, H. Matsuki, Y. Usui, Y. Baba, “2.5V Driven Nch 3rd Generation Trench Gate FET”, ISPSD99, (1999).
(DOI:10.1109/ISPSD.1999.764099)

Y. Koshino, Y. Baba, “OBIC Measurement of High Voltage RESURF Devices having SIPOS Passivation”, Electro Chemical Society Proc. Vol. pp.200-205(1989).
(DOI:10.1149/198915.0200PV • Corpus ID:139667937)

馬場嘉朗, 川村法靖, “酸化膜接着 SOI ウェハを用いた高耐圧 IC プロセス”, 電気学会 電子デバイス・半導体電力変換合同研究会, EDD-95-97, SPC-95-80, pp.109-118,(1995 年 9 月 14 日).

米田辰雄, 高橋亘, 馬場嘉朗, 松田昇, “高ゲート膜寿命の L²型 UMOSFET”, 平成 7 年電気学会, 658-4, pp.22-23(1995).

馬場嘉朗, 馬場達朗, 酒井経雄, “口蓋形状から呼吸系・心臓系疾患を予測する手法の検討”, 人工知能学会資料, JSAI Technical Report, SIG-Challenge-057-14, pp.85-91(2020).

講演実績

馬場嘉朗, 川村法靖, “集積回路工学 Ⅱ IC (SOI 技術)”, 大阪大学大学院特別講座 (1997 年 5 月 22 日)

馬場嘉朗, “パッシベーション技術動向”, 日本テクノセンターセミナー (1986-1988 年)

馬場嘉朗, “東芝のパワーデバイス事業について”, 大阪大学技術交流会 (2014 年 2 月 5 日)

馬場嘉朗, “東芝パワーデバイスの取り組み”, Okutech セミナー (2017 年 10 月 18 日)

委託研究

大阪大学工学部情報システム工学科 藤岡研究室
“電子ビームによる素子動作解析” (1991-1993 年)

大阪大学工学部情報システム工学科 尾浦研究室
“Si 表面ラフネスの動的挙動の基礎調査” (1998-1999 年)

Abbreviations

APC	Advanced Process Control
ASIC	Application Specific Integrated Circuit
ASSP	Application Specific Standard Product
CAGR	Compound Annual Growth Rate
CVD	Chemical Vapor Deposition
DEP	Depreciation
DRAM	Dynamic Random Access Memory
DSP	Digital Signal Processor
DD	Defect Density
EUV	Extreme Ultraviolet
FDC	Fault Detection and Classification
FPGA	Field Programmable Gate Array
GB	Giga Byte
GSF	Gate Source Failure rate
HDD	Hard Disk Drive
IDM	Integrated Device Manufacturer
IEGT	Injection Enhanced Gate Transistor
IGBT	Insulated Gate Bipolar Transistor
IoT	Internet of Things
IP	Intellectual Property
IPD	Intelligent Power Device
LSF	L load Switching Failure rate
MCU	Micro Controller Unit
MCZ	Magnetic field applied Czochralski
MEMS	Micro Electro Mechanical Systems
MPU	Micro processing unit
OHV	Over Head Vehicle
OPC	Optical Proximity Correction
OSAT	Outsourced Semiconductor Assembly and Test
PC	Personal Computer
PIL	Python Image Library
RTA	Rapid Thermal Anneal

RTD	Real Time Dispatcher
SoC	System on a Chip
SRAM	Static Random Access Memory
SSD	Solid State Drive
SMIF	Standard Mechanical Interface
SVR	Support Vector Regression
T-CAD	Technology CAD
UMOSFET	U shaped gate MOSFET
WIP	Work in progress
WSTS	World Semiconductor Trade Statistics

半導体メーカー略名称一覧

ADI	Analog Devices
Arm	Arm Limited
ASE	Advanced Semiconductor Engineering
Broadcom	Broadcom Limited
Epistar	Epistar Corporation
Fuji	Fuji Electric Co., Ltd.
GF	GlobalFoundries
Intel	Intel Corporation
Infineon	Infineon Technologies AG
Linear Tech	Linear Technology Corporation
Maxim	Maxim Integrated
Media Tek	MediaTek Inc.
Micron	Micron Technology, Inc.
Mitsubishi	MITSUBISHI ELECTRIC Corporation
Nichia	Nichia Corporation
Nvidia	NVIDIA Corporation
NXP	NXP Semiconductors N.V.
ON Semi	ON Semiconductor
OmniVision	OmniVision Technologies, Inc.
OSRAM	OSRAM Licht AG
Qualcomm	Qualcomm, Inc.
Renesas	Renesas Electronics Corporation
Rohm	ROHM Co., Ltd.
Samsung	Samsung Electronics Co., Ltd.
SanDisk	SanDisk Corporation
SK Hynix	SK Hynix Inc.
Skyworks	Skyworks Solutions, Inc.
Sony	Sony Semiconductor Manufacturing Corporation
ST Micro	STMicroelectronics NV
Seoul Semi	Seoul Semiconductor Co., Ltd.
TI	Texas Instruments Inc.
Toshiba	Toshiba Electronic Devices & Storage Corporation

TSMC	Taiwan Semiconductor Manufacturing Company, Ltd.
UMC	United Microelectronics Corporation
WD	Western Digital Corporation
Kioxia	KIOXIA Holdings Corporation

付録

第 1 章で、半導体産業全体の市場変化や製品別ビジネスモデルの細分化からパワー半導体産業が置かれている状況を分析した。結果、微細パワー半導体はデザインルールの端境期にあり微細化ライン確保と車載品質の確保が重要な課題であることを示した。

“車載品質の確保”の技術対応として車載製品検査コスト増加（検査費用＋破棄ロス）に対する有効な潜在欠陥のスクリーニング手段の検討を行った内容を付録に記す。

付録目次

A 車載要求品質への対応	108
A-1. 車載品質とチップ潜在欠陥	108
A-2. 部分空間法による異常検出	109
A-3. ゲート破壊チップの検出	110
A-4. VSUS 不良チップの検出	113
A-5. VSUS 回帰モデル	118
A-6. まとめ	120
参考文献	121
図・表一覧	122

A. 車載要求品質への対応

A-1. 車載品質とチップ潜在欠陥

民生半導体製品に比べ車載半導体製品は高信頼性が要求される。不良率は民生品に比べ約2桁小さく1ppm未満のレベルが要求されている[47][48]。更にパワー半導体は人命に関わる走行系に使用されるため不良率はさらに厳しくパワートランジスタで0.03~0.1ppmレベルが要求される。パワー半導体の破壊は、チップに潜在する欠陥に起因する。第5章ではゲート不良とL負荷不良のランダム欠陥による不良率モデルを示したがチップ破壊に関連する潜在欠陥は、ウェハテストでスクリーニングされる初期不良ではなくテスト条件以上の実使用条件に近い環境において潜在欠陥が引き金となるものである。図7-1-1に、民生製品と車載製品のウェハテスト工程の違いを示した。民生品は一般的に工程管理された生産ラインで製造を終えた半導体チップに対しウェハテスト工程で不良チップを取り除き組立工程に出荷する。この時点で内在する不良は数百ppmではあるが組立工程後のフルテストで不良は数十ppm~数ppmレベルまでスクリーニングされる。一方、車載製品はウェハテストでは完全に落とせない潜在欠陥のスクリーニングがウェハテストに追加要求される。

潜在欠陥をスクリーニングする手法としては不良チップに囲まれた良品チップを除去するGAT (Geometric Analysis Testing) や特性値が規格内であってもウェハ内で分布外れのチップを除去するD-PAT(Part Dynamic Average Testing)が適用されている[64] [65]。これらは怪しいと思われるチップを取り除く操作であり追加コスト発生とオーバーキルによる歩留ロスも発生する。

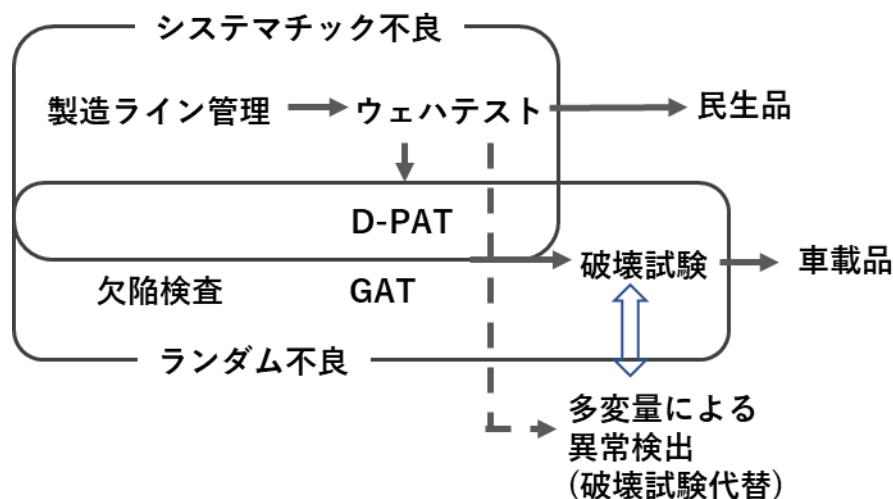


図 A-1-1. 民生製品と車載製品のウェハテスト工程

パワー半導体の主要な破壊モードは、ゲート破壊と L 負荷破壊である。第 5 章ではチップに内在する欠陥を検出するツールとして欠陥検査装置を使用しウェハ面内の欠陥位置や欠陥数の情報を製造ラインの歩留管理に使用していることを示した。しかし一般的な光学式検査装置の最小ピクセルサイズは 0.2 μ m 程度であり微細化製品の潜在欠陥検出を欠陥検査装置に頼ることはできない。発生確率 1ppm 以下の異常チップを検出する場合、従来の特性ごとに分布はずれを検出する方法では感度が低い。(3 シグマはずれで 1000ppm) そのため実動作環境に近い破壊試験が追加される。ゲート破壊寸前までのバイアスを加えることや、モータードライブ等を模した逆起電力が発生する L 負荷でアバランシェ試験が追加される。過剰な破壊試験では正常品も劣化を起こす場合があるため実環境に可能な限り近い条件で潜在欠陥を内在するチップだけをスクリーニングする必要がある。破壊試験による検査コスト増加とオーバーキルによる歩留ロスも課題である。本章では破壊試験に替わる異常検出感度の高い多変量解析の手法を検討する。

A-2. 部分空間法による異常検出

近年、異常検出の感度を高める手法として、従来の SPC(Statistical Process Control)管理(パラメータ毎の統計的外れ値を検出する)から多変数モデルを使った機械学習や部分空間法などが開発されている。Python の機械学習ライブラリ Scikit-learn にある部分空間法を検討した。部分空間法は多変数が作る多次元空間の中で各データが他のデータとどれほど離れているかを指標とする分類法であり、LSC (Local Space Classifier) 法が一般的に使用されている[A1]。本章では LOF (Local Outlier Factor)法を使用する。LSC 法は、データ座標から近い 3 点のデータ点を作る平面までの距離を異常測度とするのに対し LOF は、Neighbor 数を 3 以上に設定できる (Neighbor=3 の場合が LSC 法)。また Contamination 値を設定することで異常測度の大きい順でデータを抽出することができる[A2]。例えば Contamination=0.05 と設定すると母集団から上位 5%の異常データ点を抽出する。この機能は製品の市場不良率に合わせて強制的に同じ不良率をスクリーニングする場合に便利である。また LOF-Score という異常測度の連続値を使うと学習で得られた絶対閾値から異常を検出することも可能である。母集団のデータ数を 100 万個に増やせば原理的には 1ppm の異常検出も可能である。経験的に測定データ数が 10000 個を超える LOF-Score は 1 に漸近するため異常測度閾値を暫定的に 2 にするなど設定が容易になる。

A-3 ゲート破壊チップの検出

ウェハテスト項目と破壊試験項目に実際のデータ配置した解析用データ構造を表 A-3-1. に示した。

表 A-3-1. 解析用データ構造 (ウェハテスト項目と破壊試験項目)

X	Y	BVDSS	VTH	DELTA	RDON	VF	IDSS	DIVID	IGSS	IDGO2	IDGO1	VSUS	GATE
1.17E+02	9.00E+01	4.61E+01	1.99E+00	3.46E-01	6.65E-03	4.87E-01	1.05E-08	1.00E+00	3.06E-07	2.40E-10	6.55E-10	4.50E+01	1.00E+00
1.18E+02	9.00E+01	4.63E+01	1.99E+00	3.48E-01	6.81E-03	4.89E-01	9.30E-09	1.00E+00	3.31E-07	1.20E-10	1.33E-09	4.53E+01	1.00E+00
1.19E+02	9.00E+01	4.63E+01	1.96E+00	3.58E-01	6.87E-03	4.86E-01	1.01E-08	1.00E+00	3.27E-07	8.10E-10	9.65E-10	4.54E+01	1.00E+00
1.20E+02	9.00E+01	4.64E+01	1.96E+00	3.50E-01	7.10E-03	4.88E-01	1.08E-08	1.00E+00	3.52E-07	3.10E-10	1.15E-09	4.52E+01	1.00E+00
1.21E+02	9.00E+01	4.63E+01	1.97E+00	3.45E-01	6.63E-03	4.88E-01	1.13E-08	1.00E+00	3.46E-07	-4.60E-10	9.40E-10	4.53E+01	1.00E+00
1.22E+02	9.00E+01	4.62E+01	1.95E+00	3.46E-01	6.82E-03	4.88E-01	9.71E-09	1.00E+00	3.21E-07	5.30E-10	1.02E-09	4.51E+01	1.00E+00
1.27E+02	9.10E+01	4.63E+01	2.03E+00	3.53E-01	7.32E-03	4.91E-01	1.06E-08	1.00E+00	2.21E-07	3.00E-11	1.02E-09	4.54E+01	1.00E+00
1.26E+02	9.10E+01	4.67E+01	2.04E+00	3.54E-01	7.32E-03	4.90E-01	1.04E-08	1.00E+00	2.65E-07	2.80E-10	1.11E-09	4.57E+01	1.00E+00
1.25E+02	9.10E+01	4.70E+01	2.03E+00	3.45E-01	7.11E-03	4.90E-01	9.62E-09	1.00E+00	2.56E-07	6.00E-11	8.43E-10	4.60E+01	1.00E+00
1.24E+02	9.10E+01	4.72E+01	2.03E+00	3.41E-01	6.92E-03	4.89E-01	9.68E-09	1.00E+00	2.62E-07	9.00E-11	1.11E-09	4.60E+01	1.00E+00
1.23E+02	9.10E+01	4.74E+01	2.00E+00	3.58E-01	7.04E-03	4.89E-01	8.90E-09	1.00E+00	2.74E-07	1.80E-10	1.23E-09	4.63E+01	1.00E+00
1.22E+02	9.10E+01	4.76E+01	1.98E+00	3.59E-01	7.42E-03	4.89E-01	9.40E-09	1.00E+00	2.71E-07	9.90E-10	6.93E-10	4.62E+01	1.00E+00
1.21E+02	9.10E+01	4.77E+01	2.00E+00	3.51E-01	7.40E-03	4.87E-01	9.90E-09	1.00E+00	2.96E-07	1.50E-10	1.01E-09	4.65E+01	1.00E+00
1.20E+02	9.10E+01	4.77E+01	2.00E+00	3.50E-01	7.49E-03	4.89E-01	9.65E-09	1.00E+00	2.96E-07	-3.00E-11	1.01E-09	4.65E+01	1.00E+00
1.19E+02	9.10E+01	4.77E+01	1.98E+00	3.47E-01	7.20E-03	4.88E-01	8.34E-09	1.00E+00	2.71E-07	7.10E-10	8.49E-10	4.67E+01	1.00E+00

チップ座標
L負荷系(VSUS値と関係)
ゲート系
(ゲート破壊と関係)
破壊試験

X,Y はチップ座標を示す。緑色着色部はウェハテストに追加された L 負荷耐量試験での耐量指標の一つである VSUS 電圧値とそれに関係する 7 項目の静特性データである。VSUS は L 負荷試験で素子がアバランシェモードに入った時のドレイン・ソース端子間の電圧である[A3]。VSUS 電圧値は素子耐圧 BVDSS でクランプされた電圧に素子内部抵抗とアバランシェ電流(I_{av})による電圧が加わったものであり値が高いほどアバランシェ耐量大きい[68]。

肌色着色部はゲートリーク 3 項目とゲート破壊試験での生死(生は 1、死は 0)を示している。

ウェハテストでの IGSS は VGSS=32.5(V)のリーク電流値、IDGO1,IDGO2 はそれぞれ VGDO=10,20(V)のリーク電流値である。まず、図 A-3-1.に IGSS,IDGO1,IDGO2 のウェハマップを示した。測定したデバイスは、チップサイズ 1mm□の 40V 系 UMOSFET である。ウェハ中のチップ数は 32000 個であった。IGSS マップで左下の一か所にゲートリークが大きいチップが検出されているが、ゲートとドレイン間のリーク電流 IDGO についてはウェハ面内で異常は検出されていない。その後、ゲート破壊試験を加えて死んだチップのマップを図 A-3-2.に示した。

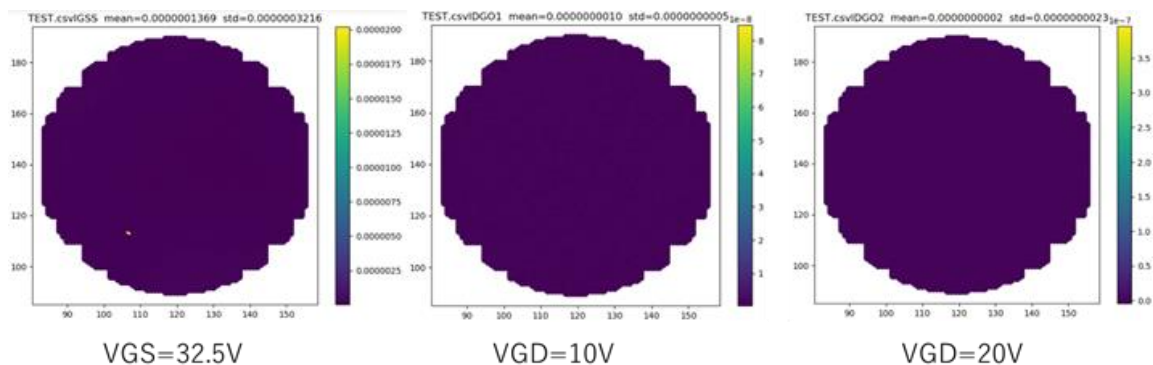


図 A-3-1. IGSS, IDGO1, IDGO2 のウェハマップ

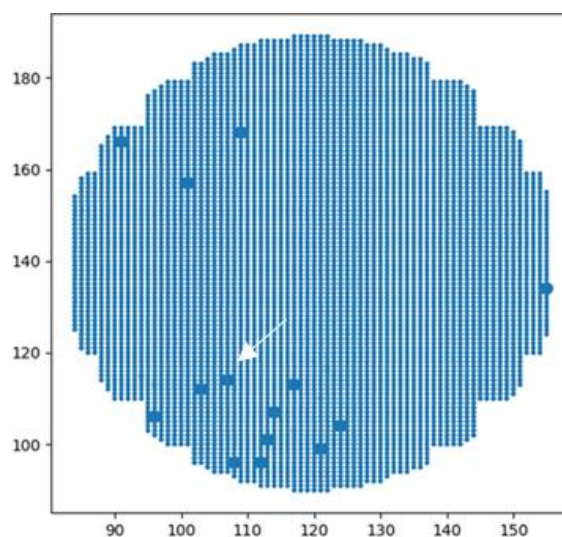


図 A-3-2. ゲートスクリーニング試験で破壊したチップマップ

図 A-3-1.で IGSS が大きかったマップ左下のチップは、図 A-3-2.で破壊したことが確認できたが、他 13 チップの破壊は従来の特性ごとの外れ値管理では検出できなかった。IGSS, IDGO1, IDGO2 の 3 変数を使って異常検出を行う。LOF 法の設定は、Neighbor 数=10 として Contamination 値をパラメータに異常測度の大きなチップのマップを生成した。図 A-3-3.は Contamination=0.1%(1000ppm)とした場合の異常チップマップを示した。Contamination 値を調整し 0.04%(400ppm)とした場合に、スクリーニングマップと同じマップが表れた。図 7-3-4.に示した。

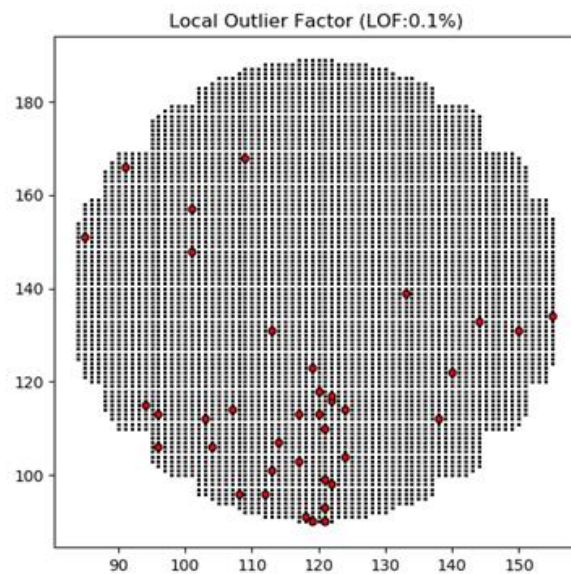


図 A-3-3. Contamination=1000ppm で検出した異常チップ

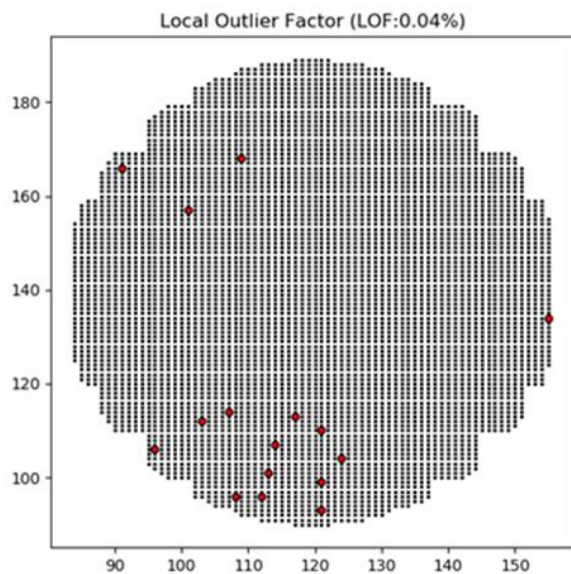


図 A-3-4. Contamination=400ppm で検出した異常チップ

Contamination=400ppm はゲートスクリーニングで得られた実マップとほぼ同じものが得られた。検出個数はそれぞれ 16 個と 14 個で 2 個余分に検出している。ゲートスクリーニングでの検出した破壊不良は $14/32000=438\text{ppm}$ であった。LOF では原理的にはウェハ 1 枚で $1/32000=31\text{ppm}$ まで、母集団をロット 25 枚に増やすと 1.2ppm レベルの検出感度があることになる。

A-4. VSUS 不良チップの検出

表 A-3-1.のウェハテスト特性項目 7 項目（緑色着色部）の静特性値から、追加破壊試験である L 負荷試験で測定した低 VSUS チップの検出が可能かを検討した。データを収集した L 負荷試験ではチップ破壊まで至らず本来の破壊試験ではなかったが破壊耐量指標のひとつである VSUS（アナログ）値が得られた。破壊チップマップの代わりに低 VSUS マップを生成し異常チップマップとしたものを図 A-4-1.に示した。背景に露光装置のショットマップに関連するテクスチャーが現れているが、VSUS 値がアナログ値であることに起因している。

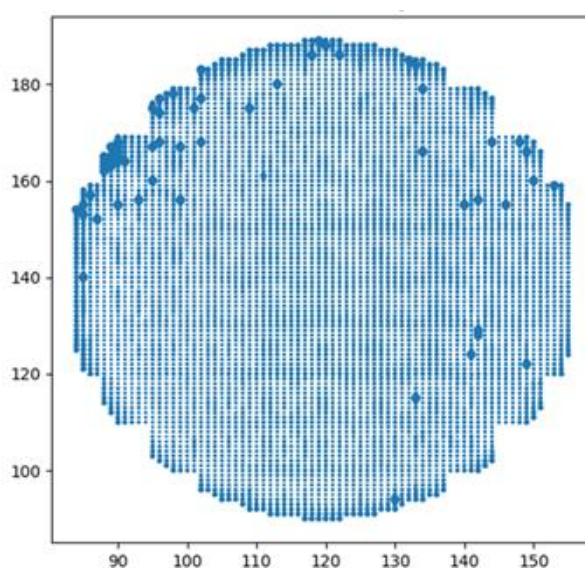


図 A-4-1. 低 VSUS チップマップ

多変量解析に使用する特性値は、BVDSS、VTH、DELTA（IDS=0.1mA と 1mA の ΔV_{TH} ）RON、VF、IDSS、DIVID（IDSS=0.1mA と 10mA の ΔV_{DS} ）の 7 項目である。図 A-4-2.に BVDSS と VTH の分布マップを示した。図 A-4-3.に DELTA と RON の分布マップを示した。図 A-4-4.に VF、IDSS、DIVID を示した。7 項目の分布マップと VSUS マップを比較しても関連性の見えるものはなかった。

LOF の Neighbor 数=10、Contamination=0.1%として、上記 7 パラメータから求めた異常マップを図 A-4-5.に示した。異常チップとして 7 パラメータから検出されたものは、ウェハ中心部にも存在しており全体的に低 VSUS マップとの相関は見られなかった。異常速度を緩和するため Neighbor 数=500、Contamination=0.1%としたものを図 A-4-6.に示した。異常測度は Neighbor 数を増やした効果で平均化されており低 VSUS マップで現れた背景の周期性テクスチャーが再現されているが、異常チップの検出はできていない。

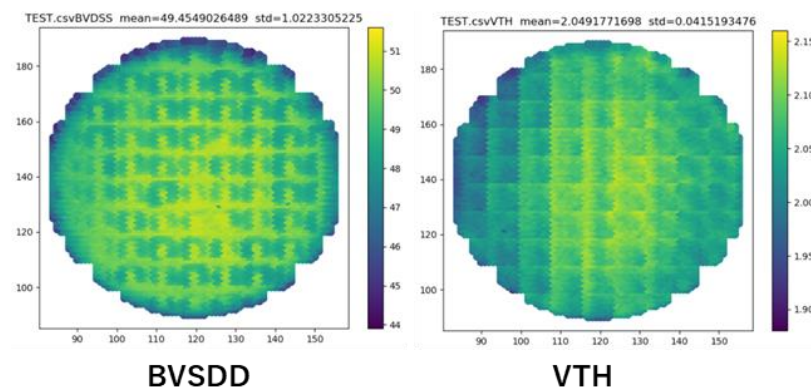


図 A-4-2. BVDSS と VTH マップ

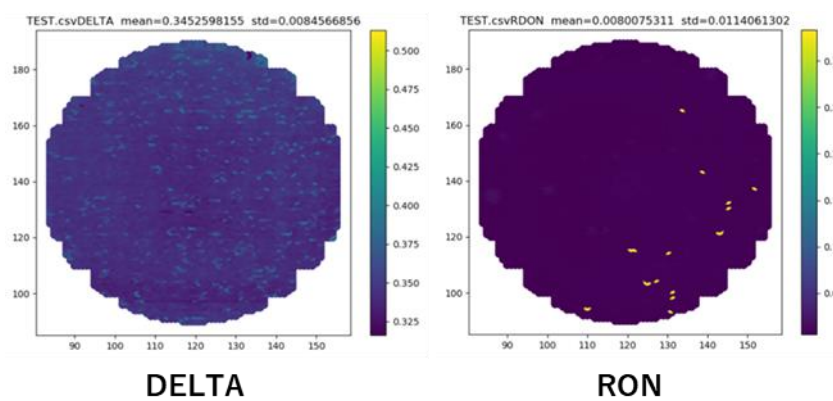


図 A-4-3. DELTA と RON マップ

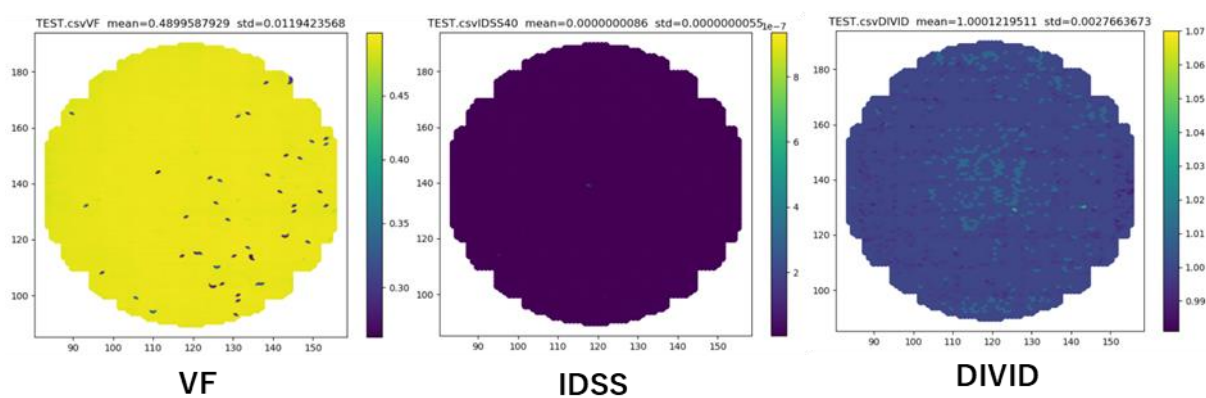


図 A-4-4. VF, IDSS, DIVID マップ

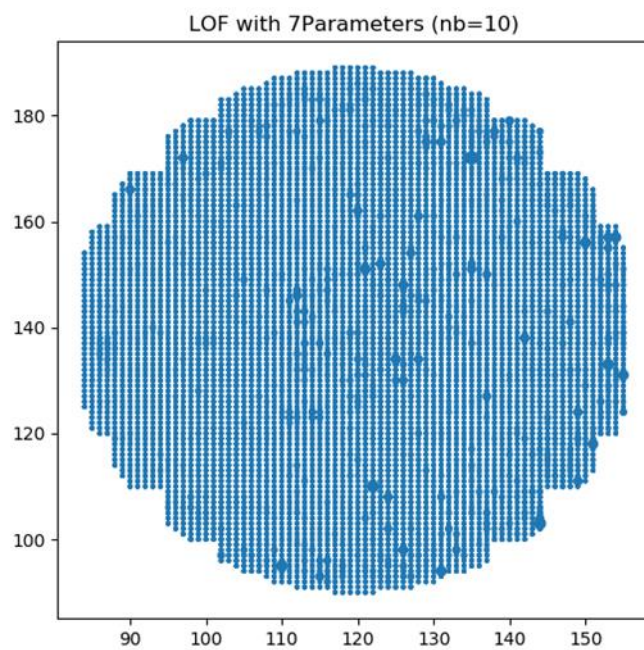


図 A-4-5. Neighbor=10 7パラメータの異常チップ検出

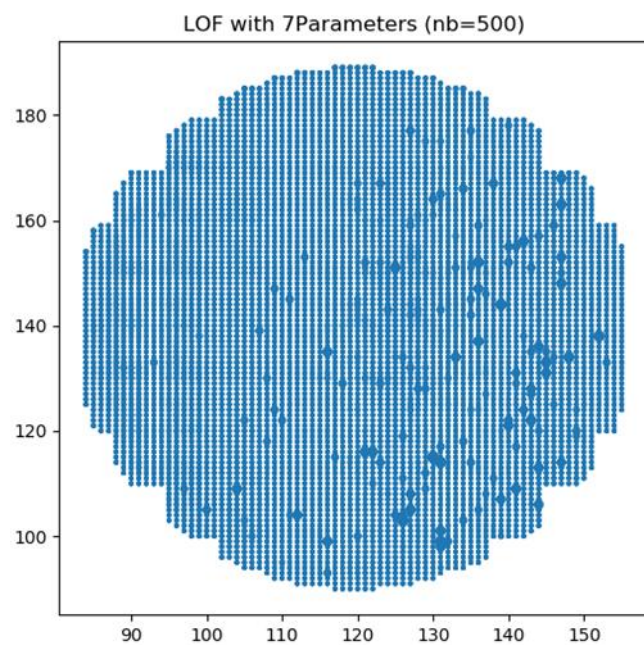


図 A-4-6. Neighbor=500 7パラメータの異常チップ検出

VSUS 値が連続値であるため 7 変数のノイズにより直接 VSUS に関係のない異常チップが検出される可能性があると考え、7 変数から VSUS に感度の高い上位 3 変数 (BVDSS, VTH, DELTA) に絞り込んで計算を行った。Neighbor=10、Contamination=0.1%で検出した結果を図 A-4-7.に示した。

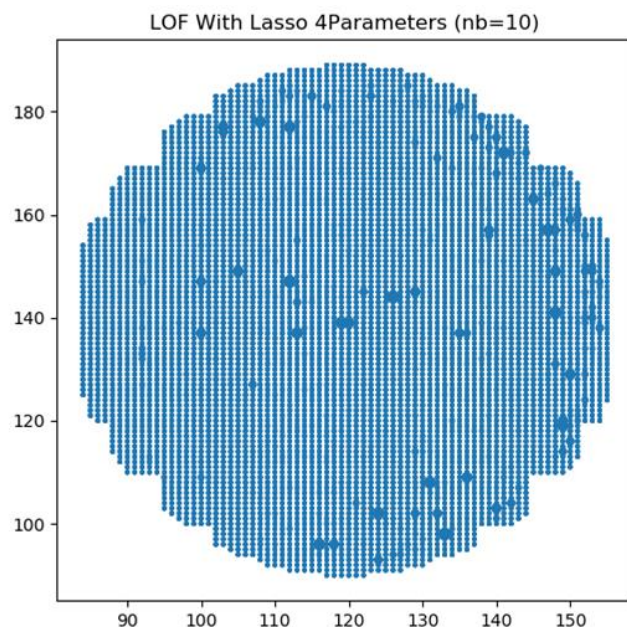


図 A-4-7. Neighbor=10 3 パラメータの異常チップ検出

異常検出したチップの濃淡は、低 VSUS マップに近づいたものの、7 パラメータの場合と同様にウェハ中心部で異常を誤検出している。VSUS の場合は LOF のパラメータを調整してもゲート異常チップのように検出することはできなかった。VSUS 値が連続分布し素子特性と緩い相関をもつことが原因であると考えられる。VSUS 異常チップの検出に部分空間法が有効でない理由を考察する。図 A-4-8.に VSUS 値と主要 3 パラメータ値の PairPlot を示した。Pair Plot には、図 A-4-7.で LOF が検出した正常チップと Contamination=0.1%で抽出した異常チップを色分けして表示した。オレンジ色が正常チップ、青色が異常チップである。Pair Plot の対角成分は個々の特性値の分布を表している。どのパラメータも左右非対称ではあるが連続分布である。VSUS の異常チップは青色で示してあるが低 VSUS 側より高 VSUS 側に多く分布していることが判る。LOF で検出した異常チップには低 VSUS チップ以外に高 VSUS チップが含まれていたことになる。VTH-VSUS の分布では、VSUS 軸上の分布両端で高い側と低い側に完全に分離していることが判る。また BVDSS-VSUS の相関分布の両側面に分離して青点が分布している。VSUS と 3 パラメータには相関がありそれぞれ連続な分布を持ち分布両端の外れ値の組み合わせを異常として検出していたことになる。低 VSUS 側 (片側) だけの異常検出を KMeans 法で試みた[A4]。両側に異常分布がある状態を避けるために多変量の分類に使われる KMeans 法でエルボーカーブから 4 分類した[A5]。分類ごとに色分けした Pair Plot を図 A-4-9.に示した。

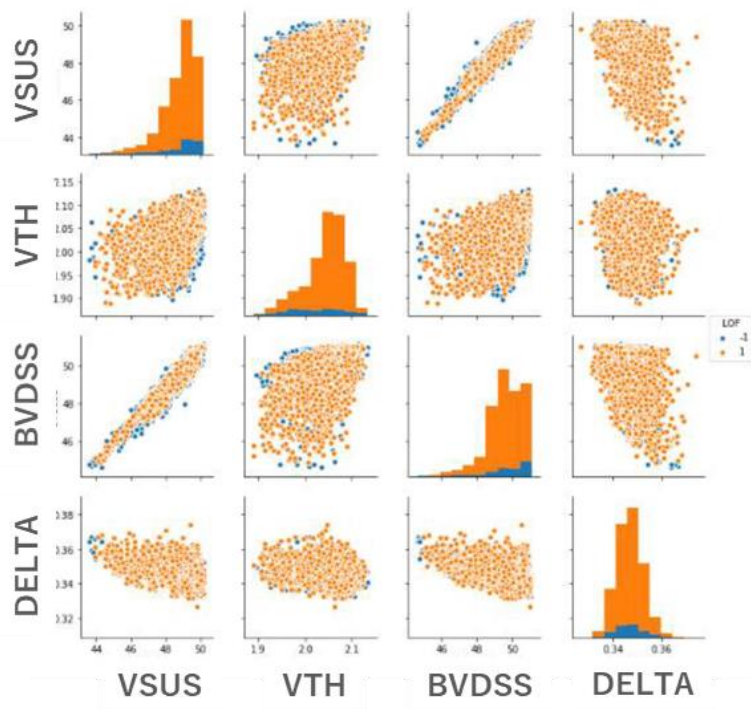


図 A-4-8. VSUS と主要 3 説明変数の LOF 分類 Pair Plot

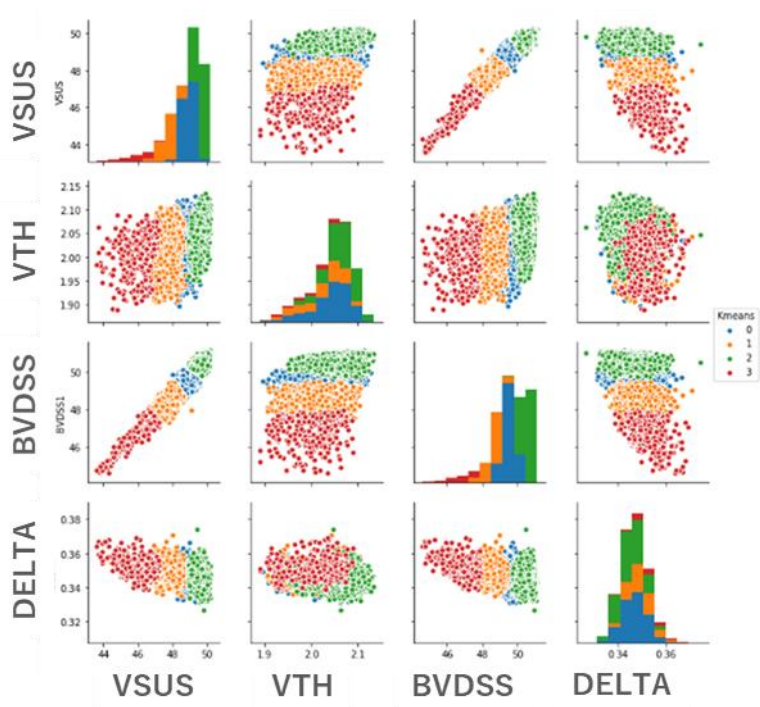


図 A-4-9. VSUS と主要 3 説明変数の KMeans 分類 Pair Plot

KMeans の 4 分類では、赤色の分布が低 VSUS の分布を示している。KMeans 法で片側

だけを分類できることが確認できたが、KMeans 法は LOF のように目標とする Contamination (異常検出率) が設定できないことや分類数を予め決めておく必要があることや異常値検出応用など本目的での使用には向いていない。

A-5. VSUS 回帰モデル

目的変数である VSUS が連続変数であり説明変数の特性値も連続変数である場合は、図 A-5-1.に示すよう精度の高い回帰モデルが生成できればウェハテスト項目から VSUS 値を予測することで L 負荷試験を省略することが可能である。



図 A-5-1. ウェハテストの静特性による VSUS (L 負荷試験) の回帰モデル化

回帰モデルには Python ライブラリの線形回帰、LASSO(Least Absolute Shrinkage and Selection Operator)回帰、非線形回帰が可能なサポートベクトル回帰を検討した。7 個説明変数から VSUS を回帰し、32000 個の実測値と予測値の回帰精度を R-square を指標として評価した。結果は、線形回帰、LASSO 回帰、サポートベクトル回帰でそれぞれ 0.708,0.709,0.709 と大きな差が出なかった。LASSO 回帰では感度の低いパラメータを減数し最終的に 3 パラメータに絞り込んだ結果であった。少ないパラメータで同じ精度が得られる LASSO 回帰を採用した[A6]。ウェハのショット内の X 方向の VSUS 値をサンプリングして、実測と予測値を比較したものを図 A-5-2.に示した。

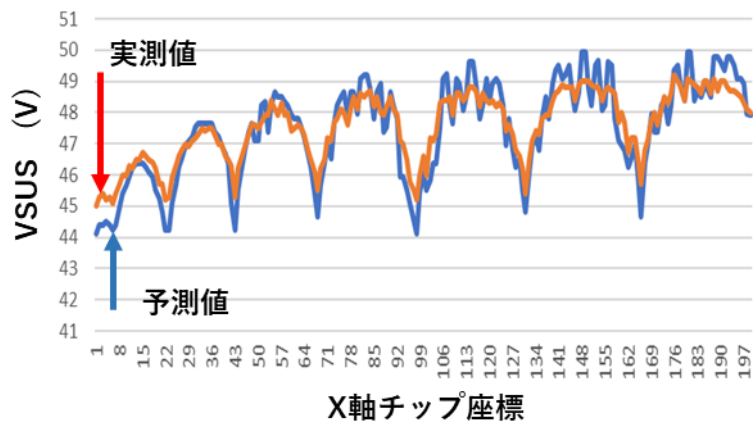


図 A-5-2. X 軸方向 VSUS の実測値と予測値比較

低 VSUS マップについて、実測マップと LASSO 回帰による予測マップを図 A-5-3.に示した。 $R^2=0.7$ で回帰できれば、低 VSUS チップを予測することができると判った。ただしウェハ単位で回帰モデルが異なる場合には、ウェハ毎に回帰モデルを作る必要がある。製品単位で大きく回帰モデル差が生じない場合は初期ロットの L 負荷試験で得られたモデルを適用すれば以降は L 負荷試験を省略できると考えられる。

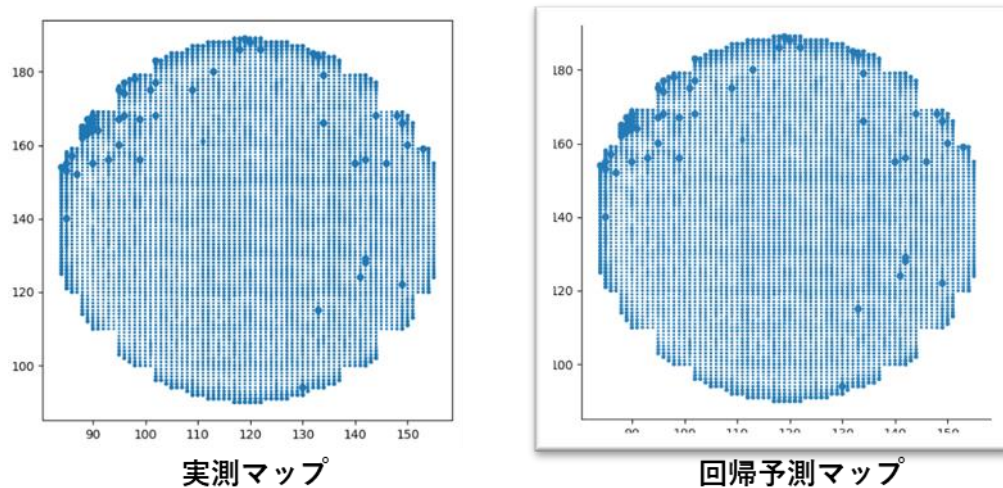


図 A-5-3. 低 VSUS チップの実測マップと回帰予測マップ

A-6. まとめ

ゲート破壊不良は IGSS, IDGO などの複数リーク特性から部分空間法 (LOF 法) を使って異常チップ (ゲート破壊が予想されるチップ) を検出することが可能でありゲート破壊試験を省略・代替の可能性があることが判った。一方で L 負荷試験破壊不良は VDSS, VTH などの静特性から部分空間法で異常チップを検出することはできなかった。理由は破壊指標 VSUS が連続値であり分布両端の外れ値を過検出するためであることが判った。しかし VSUS を複数の静特性から LASSO 回帰等で多変量 VSUS 回帰モデルを生成することで、破壊につながる低 VSUS チップの検出が可能であることが判った。ウェハテストのみで VSUS 予測ができるため L 負荷試験を省略・代替の可能性があることが判った。

参考文献

[A1] 鈴木忠志、他, “高度保守サービスに貢献する予兆診断システム”, 日立評論, Vol.95, No.12, 828-829, pp.37-40(2013).

[A2] LOF

<https://scikitlearn.org/stable/module/generated/sklearn.neighbors.LocalOutlierFactor.html>.

[A3] VSUS <https://powerless38.blog98.fc2.com/blog-entry-30.html>.

[A4] KMeans

<https://scikitlearn.org/stable/module/generated/sklearn.cluster.KMeans.html?highlight=kmeans#sklearn.cluster.KMeans>.

[A5] Sebastian Raschka, Vohid Mirjalili, 福島真太郎(監訳), “[第2版] Python 機械学習プログラミング”, pp.340-341, (株式会社インプレス 2018).

[A6] LASSO

https://scikitlearn.org/stable/module/generated/sklearn.linear_model.Lasso.html?highlight=lasso#sklearn.linear_model.Lasso.

図一覧

図 A-1-1.	民生製品と車載製品のウェハテスト工程.....	108
図 A-3-1.	IGSS, IDG01, IGDO2 のウェハマップ.....	111
図 A-3-2.	ゲートスクリーニング試験で破壊したチップマップ.....	111
図 A-3-3.	Contamination=1000ppm で検出した異常チップ.....	112
図 A-3-3.	Contamination=400ppm で検出した異常チップ.....	112
図 A-4-1.	低 VSUS チップマップ.....	113
図 A-4-2.	BVDSS と VTH マップ.....	114
図 A-4-3.	DELTA と RON マップ.....	114
図 A-4-4.	VF, IDSS, DIVDV マップ.....	114
図 A-4-5.	Neighbor=10、7 パラメータの異常チップ検出.....	115
図 A-4-6.	Neighbor=500、7 パラメータの異常チップ検出.....	115
図 A-4-7.	Neighbor=10、3 パラメータの異常チップ検出.....	116
図 A-4-8.	VSUS と主要 3 説明変数の LOF 分類 Pair Plot.....	117
図 A-4-9.	VSUS と主要 3 説明変数の KMeans 分類 Pair Plot.....	117
図 A-5-1.	ウェハテストの静特性による VSUS (L 負荷試験) の回帰モデル化.....	118
図 A-5-2.	X 軸方向 VSUS の実測値と予測値比較.....	119
図 A-5-3.	低 VSUS チップの実測マップと回帰予測マップ.....	119

表一覧

表 A-3-1.	解析用データ構造（ウェハテスト項目と破壊試験項目）.....	110
----------	--------------------------------	-----