

イオン化スパッタ法による微細金属配線成膜に関する研究

松中 繁樹

目次

第1章 序論	1
1 - 1 研究の背景	1
1 - 2 研究の目的	9
1 - 3 論文の構成	9
第2章 イオン化スパッタに適したマグネット構造	10
2 - 1 目的	10
2 - 2 実験装置と実験方法	10
2 - 3 結果と考察	13
2 - 3 - 1 マグネット構造の検討	13
2 - 3 - 2 Ti のビア埋め込み性評価	21
2 - 3 - 3 TiN のビア埋め込み評価	25
2 - 4 まとめ	31
第3章 イオン化スパッタによるゲート酸化膜ダメージの評価	32
3 - 1 目的	32
3 - 2 実験装置と実験方法	32
3 - 3 結果と考察	38
3 - 4 まとめ	43
第4章 ビアバリアメタル形成用イオン化スパッタ開発	44
4 - 1 目的	44
4 - 2 実験装置と実験方法	44
4 - 3 結果と考察	47
4 - 3 - 1 マグネット構造の検討	47
4 - 3 - 2 円弧型マグネットによる Ti のビア埋め込み性評価	54

4 - 3 - 3	円弧型マグネットによる TiN のピア埋め込み評価	6 0
4 - 4	まとめ	6 3
第5章 300mm 基板のバリア成膜用イオン化スパッタ開発		6 4
5 - 1	目的	6 4
5 - 2	実験装置と実験方法	6 4
5 - 3	結果と考察	6 7
5 - 3 - 1	マグネット構造と装置構造の検討	6 7
5 - 3 - 2	Ti・TiN のピア埋め込み性評価	7 2
5 - 3 - 3	TiN ダストの抑制評価	7 8
5 - 4	まとめ	8 5
第6章 結論		8 6
謝辞		8 8
付録 A 発光分光による電子温度算出		9 0
付録 B プラズマシミュレーション		9 2
付録 B スパッタシミュレーション		9 4
参考文献		9 7

第1章 序論

1 - 1 本研究の背景

21 世紀の高度情報化社会を支える基幹デバイスである大規模集積回路 (Large Scale Integration : LSI) の集積度は日進月歩で向上している。微細加工により LSI の集積度が上がり、LSI のチップ面積を縮小できる。このことで、1 枚のウエハから作られるチップ数が増え、チップ当たりのコストが低減し、普及を促進するものとなっている¹。また、微細化により容量が増加するとともに、絶縁部耐圧の関係から動作電圧を低下させる必要がある。その結果、スイッチング幅 (オンとオフの電圧差) が狭くなることで動作速度も速くなるメリットがある。

LSI の集積度を上げるには半導体素子自体の微細化に合わせ、配線自体も微細化する必要がある。表 1 の国際半導体技術ロードマップ (ITRS: International Technology Roadmap for Semiconductors) に示すように、2007 年の現時点における DRAM (Dynamic Random Access Memory) 配線のデザインルールは 65nm であり、2008 年には 57nm、その後、30nm 世代へ進むものと考えられている²。しかし、NAND 型フラッシュメモリーは、既に 2007 年の現在、56nm の配線ルールで量産されており、2008 年には 43nm と ITRS の半導体ロードマップより微細化が進んでいる。

微細化に伴い配線自体の抵抗による信号遅延が問題となる。そこで、配線抵抗による遅延対策として、配線材料は比抵抗とコストの観点から今まで多用されてきた Al (比抵抗 : $2.66 \mu\Omega/\text{m}$) に変わり Cu (比抵抗 : $1.67 \mu\Omega/\text{m}$) が多く用いられるようになってきている³。Cu を配線材料として用いる場合、Si、SiO_x などへ拡散しやすく、トランジスターのチャンネルに拡散すると不純物準位を形成し、動作不良を起こす問題がある。この問題に対して、Al 配線でも用いられてきた拡散バリア層を適用することで解決することができている。拡散バリアメタルとして、Ti, TiN, TaN, WN, TiW などを配線トレンチ、ビアに成膜した後、配線材料である金属を成膜する⁴⁻⁸。

表1 ITRS2006 半導体ロードマップ²

製造年	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ハーフピッチ(nm)	80	70	65	57	50	45	40	36	32
Flash ハーフピッチ(nm)	76	64	57	51	45	40	36	32	28
MPU/ASIC Metal1 ハーフピッチ(nm)	90	78	68	59	52	45	40	36	32
MPU ゲート長(nm)	32	28	25	22	20	18	16	14	13
金属層数	11	11	11	12	12	12	12	12	13
コンタクトA/R	15	16	16	17	17	>20	>20	>20	>20
Metal1 配線ピッチ(nm)	160	140	130	114	100	90	80	72	64
チップ容量(Gbits)	8	8	16	16	16	32	32	32	64

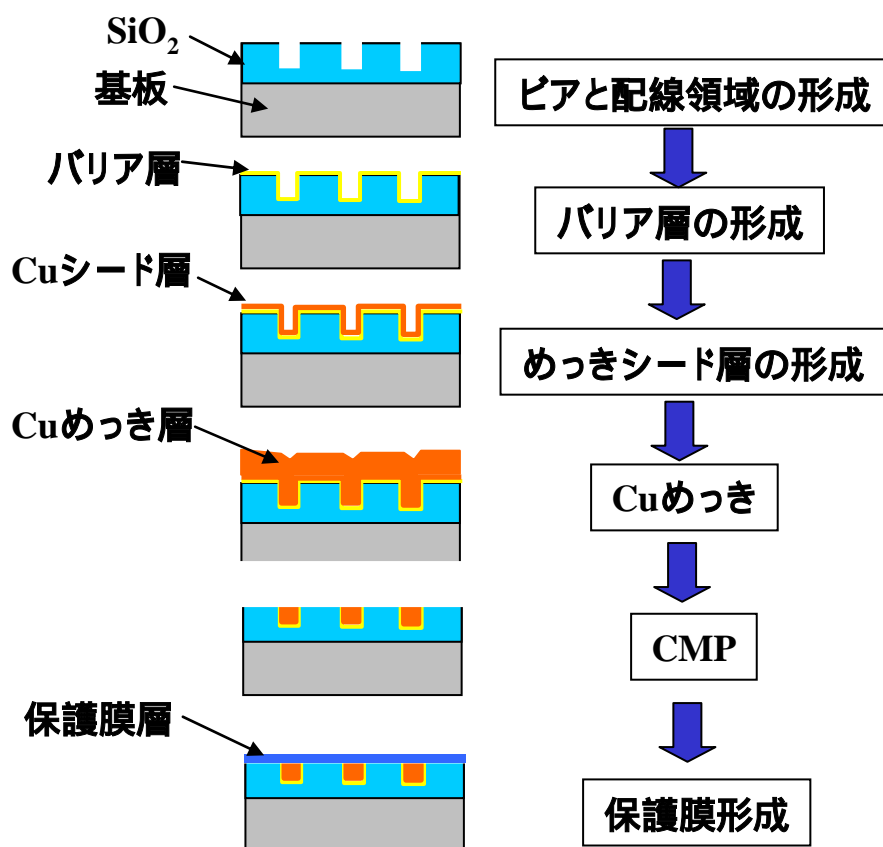


図1 - 1 ダマシンプロセスの概要³

配線パターンはトレンチ構造である。CMPによりめっきを研磨し、パターンを平坦化する。

配線材料が Cu になることで、Cl₂ などを用いたエッチング生成物の蒸気圧が低いことからプラズマによるドライ加工が困難である。そこで、図 1 - 1 に示すような Cu の配線形成はダマシンプロセスが用いられている^{9,10}。酸化膜に配線パターンのトレンチを形成し、そのトレンチに Cu を埋め込み、CMP (Chemical Mechanical Polish) で平滑化処理を行い配線が形成される。このとき、Cu の埋め込みには電解めっきを用いる。そのためには、酸化膜に Cu が拡散するのを阻止するため、まずトレンチにバリア膜を成膜する。その後、Cu を電界めっきするため、基板表面を電荷輸送 (電気を流す) する必要があり、シード層を成膜する。そのあと、電界めっきによってトレンチを埋め込む。電解めっきによる Cu 膜の特徴は、不純物が少なく抵抗率が低く、耐エレクトロマイグレーション性が高いことである。Cu めっき膜を酸化膜トレンチに形成するには、Cu イオンによる酸化膜への拡散抑制することと、Cu めっき時の電荷輸送が必要である。そこで、酸化膜の拡散抑制として、TaN、Ti、TiN などの膜がバリア層として用いられている。めっき Cu の電荷輸送として低抵抗な膜として Cu のシード層が用いられている。バリア層、Cu シード層形成にはマグネトロンスパッタが使用されている。

半導体の微細化と集積度を上げるには、図 1 - 2 に示すように配線の多層化も必要である¹¹。微細なデバイス配線の多層化とともに層間を接続するビア径も微細化する必要がある。このため、ビア深さに相当する層間絶縁膜厚が薄くならなければ、アスペクトレシオ (ビア深さ / ビア径 : > 10) は微細化とともに高くなる。そこで、層間膜に Low - K (低誘電率) 膜を用いてアスペクトレシオの抑制も試みられている。図 1 - 2 に示すように上層と下層を接続するビアに埋め込む配線材料として W, Al を用いるが、ビア加工後の HF 系洗浄液、WF₆ ガスを使用して W を成膜する時のフッ素、金属拡散を抑制するため、Ti, TiN, Ti/TiN など比抵抗が比較的 low、バリア性に優れた膜をバリア層として成膜する。微細化とともにアスペクトの高いビアに対して、薄

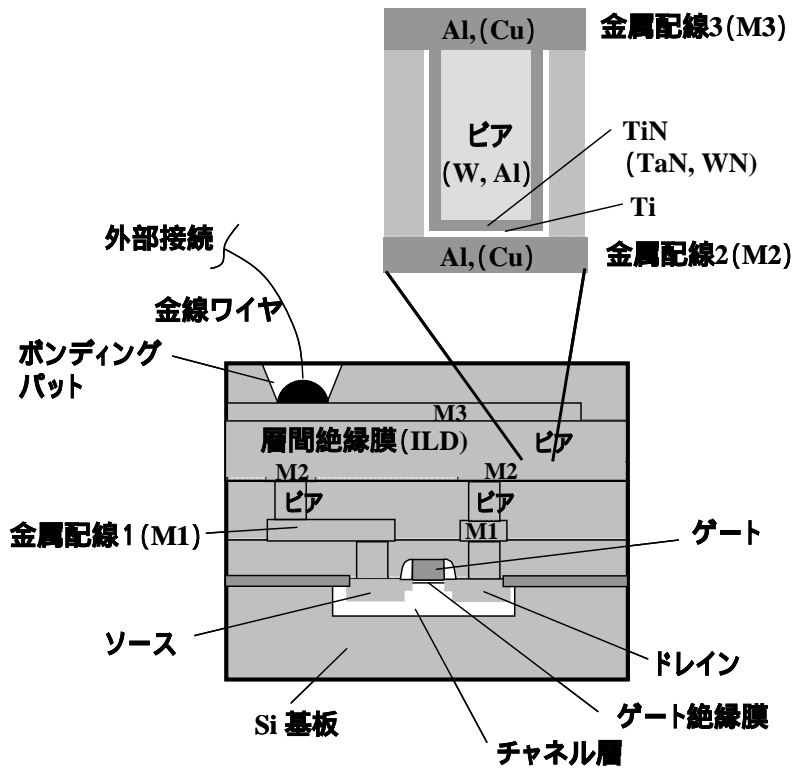


図1 - 2 多層配線構造¹¹

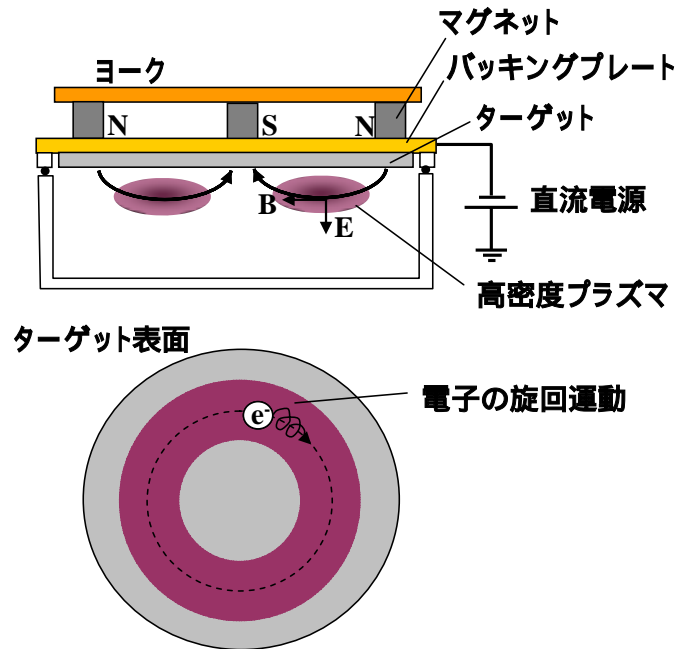


図1 - 3 マグネトロンスパッタとターゲット表面の概略図

ターゲット表面に形成されたプラズマ中を電子は円形の点線上を旋回しながら回転する。

くバリア性を確保するには、ボトムカバレッジ率が高い成膜を行わなければならない。このビアの成膜にもマグネトロンスパッタが使用されている。

しかし、半導体デバイスの微細化に伴い、ビア、トレンチの高アスペクト化が進むことで、現在使用されているマグネトロンスパッタによる金属成膜の限界が見えてきている。金属成膜方法として CVD (Chemical Vapor Deposition) による方法も検討されている¹²⁻¹⁷。しかし、使用するガス成分が膜中に混入するため、比抵抗が高い問題と装置価格・ランニングコストが高いなどの問題がある^{18,19}。不純物混入の少ない成膜が可能で装置価格、ランニングコストが低い点から、今後進む微細化にもマグネトロンスパッタによる成膜プロセスの適用が求められている。

半導体プロセスにおいては、古くから金属成膜にマグネトロンスパッタが用いられてきた。図1-3にマグネトロンスパッタとターゲット表面の概略図を示す。マグネトロンスパッタは、ターゲット裏面に強磁場のマグネットを設置し、ターゲットをカソードとしてマイナスの電位を印加している。カソードであるターゲットにはマイナスの電位が印加されており、放電ガスとして Ar を用いた場合、プラスの Ar イオンがカソード電位で加速されカソードであるターゲットに引き込まれる。Ar イオンがターゲットと衝突することで、ターゲット原子、分子またはクラスターがスパッタ(放出)される。それら放出と同時にターゲットから2次電子も放出される。2次電子はカソードの電場 E とマグネットの磁場 B により $E \times B$ ドリフトしながら磁極間を旋回運動する²⁰。Ar ガスがこの電子と衝突することで、効率的に電離し、高密度プラズマを形成する。このことで、マグネトロンスパッタは低圧 (~0.13Pa) 放電が可能で、成膜金属以外の不純物混入が少ない。また、ターゲット近傍に高密度プラズマを形成されることで、Ar イオンがより多く形成され、スパッタレート(成膜速度)が高く生産性に優れている。これら特徴から、金属成膜にマグネトロンスパッタが用いられてきている。

表2 半導体プロセス用マグネトロンスパッタの経緯

第1世代	<p>Conve.(Conventional sputter)</p> <p>ターゲットを全面エロージョンさせる目的で、回転永久磁石、電磁石を使用。ターゲットと基板の距離は約50mm前後が中心。ターゲット表面で磁場強度約200G~500G程度。</p>	A/R: ~ 2
第2世代	<p>LTS(Long Through Sputter)</p> <p>スパッタ粒子の直進成分を利用し、コンタクトホールへの埋め込み性を向上。衝突回数低減のため、磁場強度向上(> 500G)で低ガス圧放電を可能。スパッタ粒子の基板入射角度を低減するため、ターゲットと基板距離を長尺化。(150~300mm程度)</p> <p>Collimation Sputter</p> <p>スパッタ粒子の直進性を向上させるため、ターゲットと基板の間にマスクを使用。マスクに付着した膜剥離が多いため、実用化に至らず。</p>	A/R: ~ 5
第3世代	<p>IMP(Ionized metal Plasma)</p> <p>ターゲットと基板間にRF内装アンテナを設け、ターゲットから飛散するスパッタ粒子をイオン化し、基板にバイアス電位を印加することでイオン化したスパッタ粒子を基板に対し垂直に引き込む。</p> <p>SIS(Self ionized sputter)</p> <p>回転磁石の磁界分布でターゲットから飛散する粒子を効率的にイオン化。防着板にプラス電位を印加し、プラスにイオン化したスパッタ粒子を反射。さらに基板にバイアス電位を印加することで、反射されたイオン化粒子も含めてイオン化粒子を基板に対し垂直に引き込む。 Cu用として開発、Cuはスパッタ率が高く、自己保持放電(放電すればArガス無しで放電)可能。</p>	A/R: ~ 10

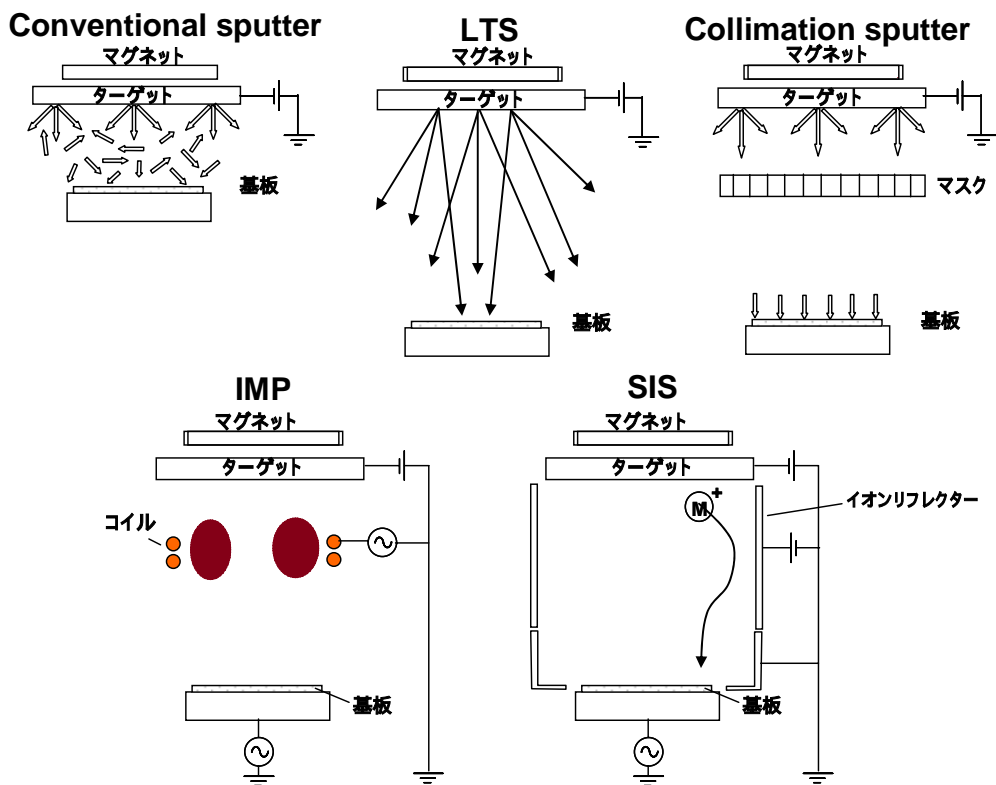


図1-4 マグネトロンスパッタ装置の構成概略図

表2に半導体プロセスに用いられてきたマグネトロンスパッタの経緯とその装置概略図を図1-4に示す²¹⁻³⁴。表2に示すように、半導体プロセス初期のビア埋め込み、配線成膜等には、コンベンショナルマグネトロンスパッタが用いられてきた。しかし、90年代前半の半導体プロセスの微細化とともにコンベンショナルマグネトロンスパッタ装置は、ターゲットと基板との距離が短く、基板に対するスパッタ粒子の斜入射の影響で、ビアの高アスペクト化でバリア層成膜が難しくなってきた。図1-5に示すようにビアのアスペクトが高くなるとスパッタ粒子は、ビアのボトムに到達しにくくなり間口近傍に堆積し、間口を狭めてしまう。そこで、ターゲットと基板の距離を長くすることで、基板への斜入射成分を抑制し、さらにマグネットの磁場強度を強化することで、ガス圧をより低くし、粒子の平均自由行程を長く（衝突による粒子の乱反射で発生する斜入射粒子を抑制）したLTS（Long Through Sputter）方式が用いられてきた²¹⁻²³。LTS方式のターゲットと基板間にマスクを設置したコリメーションスパッタ（Collimated Sputter）によって、LTSより斜入射成分を抑制してビアの埋め込み性向上が検討された³⁰。しかし、マスクに付着したスパッタ粒子が剥離し、基板に堆積するパーティクル不良と成膜レートが低下するなどの問題があり実用化には至っていない。

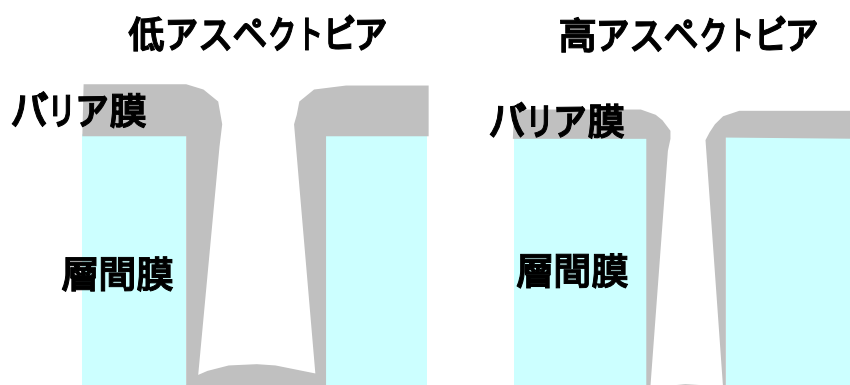


図1-5 アスペクトの異なるビアにおけるバリア膜埋め込み形状

ビア径が小さくなるとバリア膜のオーバハングでビア間口が狭まり、カバレッジ率が低下する。

アスペクト5以上の高アスペクトのビア埋め込みとして、ターゲットから飛散するスパッタ粒子をイオン化し、基板にバイアス電位を印加することでスパッタイオンを基板に垂直に入射させ高アスペクトのビアを成膜するスパッタが用いられてきている^{16,17)}。例えば、ターゲットと基板の間にRFアンテナを誘導結合し高密度プラズマを形成するIMPVD(Ionized Metal Physical Vapor deposition)スパッタなどが用いられている^{10,32-34)}。ターゲットから飛散した金属原子は、RFプラズマ内で電子と衝突し、プラスにイオン化される。基板側にバイアス電位を印加することで、そのプラスにイオン化された粒子は、基板に対して垂直に引き込まれる。アスペクト比の高いビアのボトムにプラスにイオン化された粒子が垂直に入射するため、ビア底に到達する割合が増えボトムカバレッジを上げることができる^{10,31)}。しかし、チャンバー内に内装したRFアンテナにスパッタ粒子が付着し、付着した膜が剥離するため、ウエハ上に剥離した粒子が堆積し、デバイス不良を起こす問題がある。また、Ti膜成膜用のRFアンテナには高価なTi金属を使用し、メンテナンス毎にRFアンテナを交換するため高コストとなる問題がある。これら理由により、RFアンテナを用いるイオン化スパッタはほとんど使用されていないのが現状である。

これに対して、ターゲット粒子をイオン化する方法として、カソードのマグネットにアンバランスマグネットを用いる方法がある³²⁻³⁴⁾。イオン化スパッタの多くはアンバランスマグネットを使用し、ターゲットから飛散した原子が発散磁界(diverging magnetic field)にトラップされる電子との衝突回数を増し、イオン化率を向上させRFバイアスで基板にメタルイオンを垂直に引き込むものとなっている。

しかし、プロセスに適したマグネットの構造は明らかにされておらず、今後ますます微細化されるビア、トレンチのバリア金属膜を成膜するには、イオン化スパッタに適したマグネットの開発が必要である。また、そのマグネットを使用したイオン化スパッタ装置を用いた成膜プロセスの開発も必要である。

第1章 序論

1 - 2 研究の目的

近年、微細なビア、トレンチ成膜用に金属膜成膜用の CVD 装置が開発されている。CVD 法はビア、トレンチにコンフォーマルな成膜が可能なことから、ボトムカバレッジ率が高く、側壁にも均等に成膜する特徴がある。この特徴により、ビア、トレンチの間口が狭くなりやすく、次工程での成膜が容易である。しかし、Ti を成膜する場合のガスは TiCl_4 等が用いられることから、膜中に金属以外の成分が混入し、比抵抗が高くなることと装置価格、使用するガスが高価であるなど膜品質と生産性に問題がある。

半導体プロセスの微細化に伴う金属配線形成を高価な CVD 装置に置き換えることなく、低コストで不純物混入の少ない成膜が可能であるマグネトロンスパッタによる配線ルール 40nm レベルのビア、トレンチ埋め込みを可能とするイオン化マグネトロンスパッタについて研究を行った。

1 - 3 本論文の構成

本論文は6章で構成している。第1章は序論として、本研究の背景と目的を述べる。第2章では本研究のマグネット構造相違によるスパッタ粒子のイオン化効果を検証する。第3章では第2章で議論したマグネットをイオン化スパッタに使用し、MOS デバイスのゲート酸化膜ダメージの検討を行う。第4章では、デバイスにダメージを与えず、ビアへの埋め込み非対称も低減するイオン化スパッタを検討する。第2章、第3章、第4章まで基板サイズ 200mm を処理するイオン化スパッタについて述べる。第5章では、第4章で検討したマグネット構造を用いて、基板サイズ 300mm を処理するイオン化スパッタへの適用について検討する。第6章で全体をまとめた結論とする。

第2章 イオン化スパッタに適したマグネット構造

2 - 1 目的

ビア、トレンチのボトムカバレッジ率を向上させるには、ターゲットから基板に入射する粒子が基板に対し、垂直に入射させ、ビア、トレンチのボトムまで粒子を到達させる必要がある³⁵⁻³⁷。そのためには、ターゲットから飛散する粒子を効率的にイオン化し、基板バイアス電位を印加することで基板に垂直に引き込むことが必要である。

ターゲットから飛散する金属粒子のイオン化を促進する方法には、いくつかの方法が考えられる。ここでは、ターゲットから飛散する金属原子を効率的にイオン化するマグネット構造に着目し、ビア埋め込みに適したマグネット構造を検討する³⁸。ビアのバリアメタルである Ti/TiN の積層成膜を対象とするが、まずイオン化の効果を評価するため、プラズマに関しては、Ti を対象とする。ただし、ビア埋め込み性、膜質に関しては Ti、TiN とともに取り扱う。本章では、一般に用いられる 2 重円構造のバランスマグネットとアンバランスマグネットを使用した場合のプラズマ相違、ビア埋め込み性能相違を評価し、ビア埋め込み性能を向上させるマグネット構造を検討する。検討結果を元に考案したマグネットを用いて、Ti、TiN の膜質、埋め込み性について評価を行った。

2 - 2 実験装置と実験方法

図 2 - 1 に実験装置の概略図を示す。図 2 - 1 に示すスパッタ装置は LTS (Long Through Sputter) 構造であり、基板電位はフローティングで RF バイアスのない状態である。マグネットとして、図 2 - 2 に示すバランスマグネットとアンバランスマグネットの回転マグネットを使用した。バランスマグネットは外周 N 極リングと内側 S 極リングの中心点が同一である。これに対して、アンバランスは磁力バランスを崩すため、N 極リングと S 極リングの中心点をずらしている。図 2 - 2 に示すように

第2章 イオン化スパッタに適したマグネット構造

S極リングをターゲット外方向にシフトしている。これらマグネットは、ターゲット全面をエロージョンするため、成膜中、回転中心点を基準に 60rpm で回転させている。基板サイズは 200mm、ターゲットサイズは 300mm を使用した。図 2 - 1 のチャンバーウインドには、合成石英を使用し、防着板からの漏光をマルチチャンネル分光器(浜松ホトニクス社製:C6670)によって発光分析し、プラズマ状態を評価した。ターゲットが Ti の場合、Ar ガスを流さないと自己保持放電できない。そのため、基板側の電流を測定すると Ar イオンと Ti のイオンが混入し、Ti のみのイオン化率を算出することができない。そこで、発光分光によって定性的にイオン化状態を評価した。また、酸化膜に形成したピア(径:200nm、深さ:1000nm、アスペクトレシオ A/R:5)に Ti 膜を成膜し、切断後、日立ハイテクノロジーズ社製 SEM (Scanning Electron Microscope:S4700)にて、ピア断面の埋め込み形状を評価した。ピア埋め込み性の評価は図 2 - 3 に示すボトムカバレッジ率として定義した。

プラズマ評価として、マグネットの磁場測定データを元にプラズマシミュレーション (NEPUTUNE/PLASMA PIC:付録 B) を行い、プラズマ密度分布の評価を行った。磁場分布は、実際のマグネットを用い、ガウスメータ (F. W. BELL Model9640) で、5mm/pich の 2 次元測定を行った。

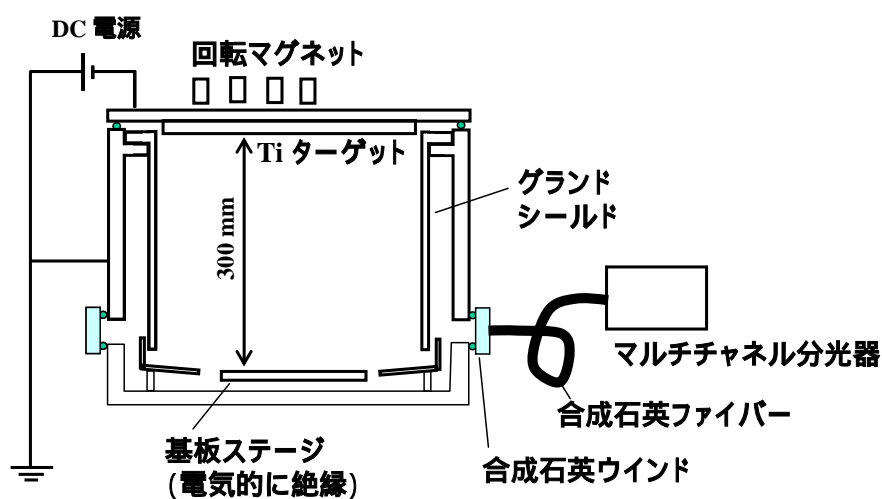


図 2 - 1 実験装置概略図

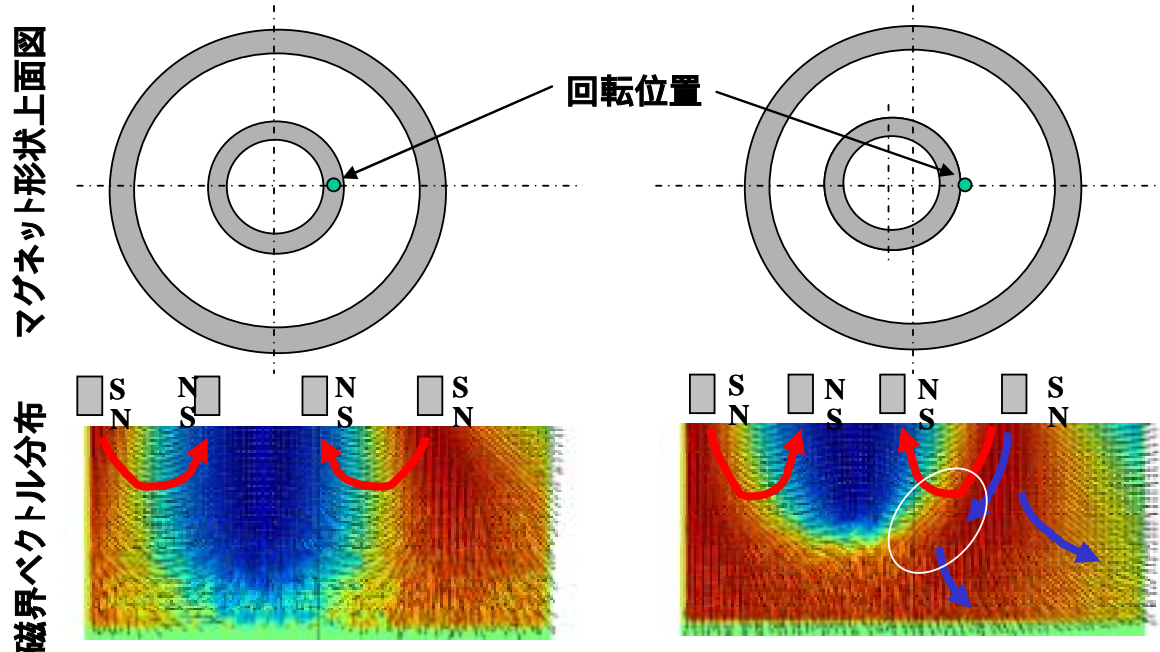


図2 - 2 バランスマグネットとアンバランスマグネットの
上面構造図とセンターの磁界ベクトル断面図

磁界ベクトル分布の矢印は磁力線方向を示している。また色は下方向を赤、上方向を青で示している。

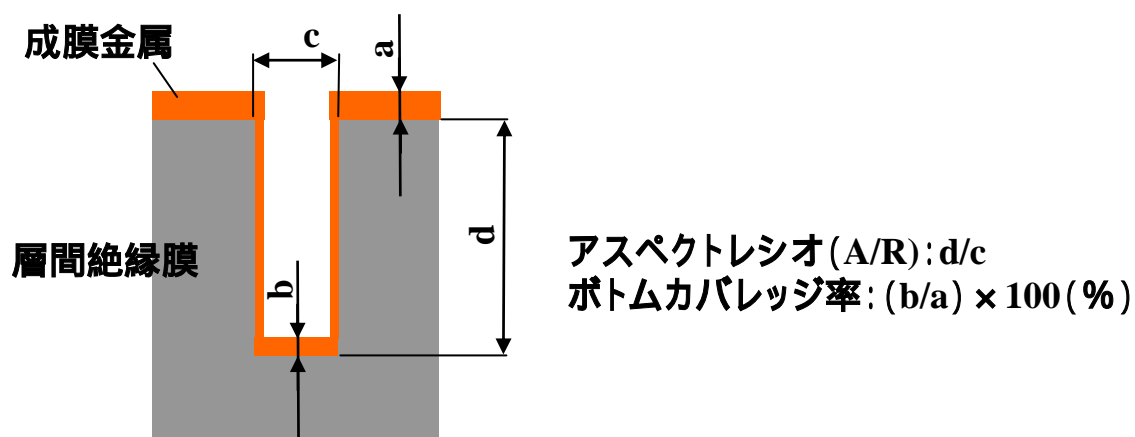


図2 - 3 ビア埋め込み評価の定義

a: 成膜膜厚, b: ビアボトム膜厚, c: ビア直径, d: ビア深さ

2 - 3 結果と考察

2 - 3 - 1 マグネット構造の検討

図2 - 4にバランスマグネットとアンバランスマグネットを用いて、ビアに Ti を成膜した断面SEM像を示す。両者とも成膜条件は、DCパワー10kW、Ar流量9sccm、真空度0.06Paとし、成膜膜厚は100nmとした。バランスマグネットで成膜した場合、ボトムカバレッジ率は、基板センターが13.3%、基板エッジが12.8%であった。これに対して、アンバランスマグネットを用いて成膜した場合、ボトムカバレッジ率は、基板センターが23.1%、基板エッジが15.2%であった。アンバランスマグネットを使用することで、ボトムカバレッジ率が高くなっている。明らかにアンバランスマグネットを用いることで、埋め込み性能が向上している。これは、Tiのイオン化率が上昇し、基板が電氣的に絶縁されていることから、プラズマ中で基板はフローティングポテンシャル(負のポテンシャル)が形成され、正のTiイオンがビアボトムに対し、垂直に引き込まれるためであると考えられる。

そこで、プラズマ状態を評価するため、発光分光分析を行った。図2 - 5にマグネット相違による発光スペクトルを示す。同じDCパワーで放電したにもかかわらず、バランスマグネットを用いたときより、アンバランスマグネットを用いた方が、全発光強度(波長にわたるスペクトルの面積積分値)と全スペクトルの強度が高くなっている。図2 - 6にAr()、Ti()、Ti()の発光状態図を示す。Ti()はTiのイオン発光であり、スペクトル強度が高くなっていることはTiイオンの生成量も増加していることがわかる。ただ、Arの発光強度が増加していることから、プラズマ密度自体が増加しており、ターゲットから放出される中性Ti量に対するTiイオン量が増加したか定量的には評価できない。そこで、発光分光結果から定性的に評価を行う。付録Aに示す方法から、電子温度を概算するとバランスマグネットを用いた場合、3eVであるのに対して、アンバランスマグネットを使用すると6eVと高くなってい

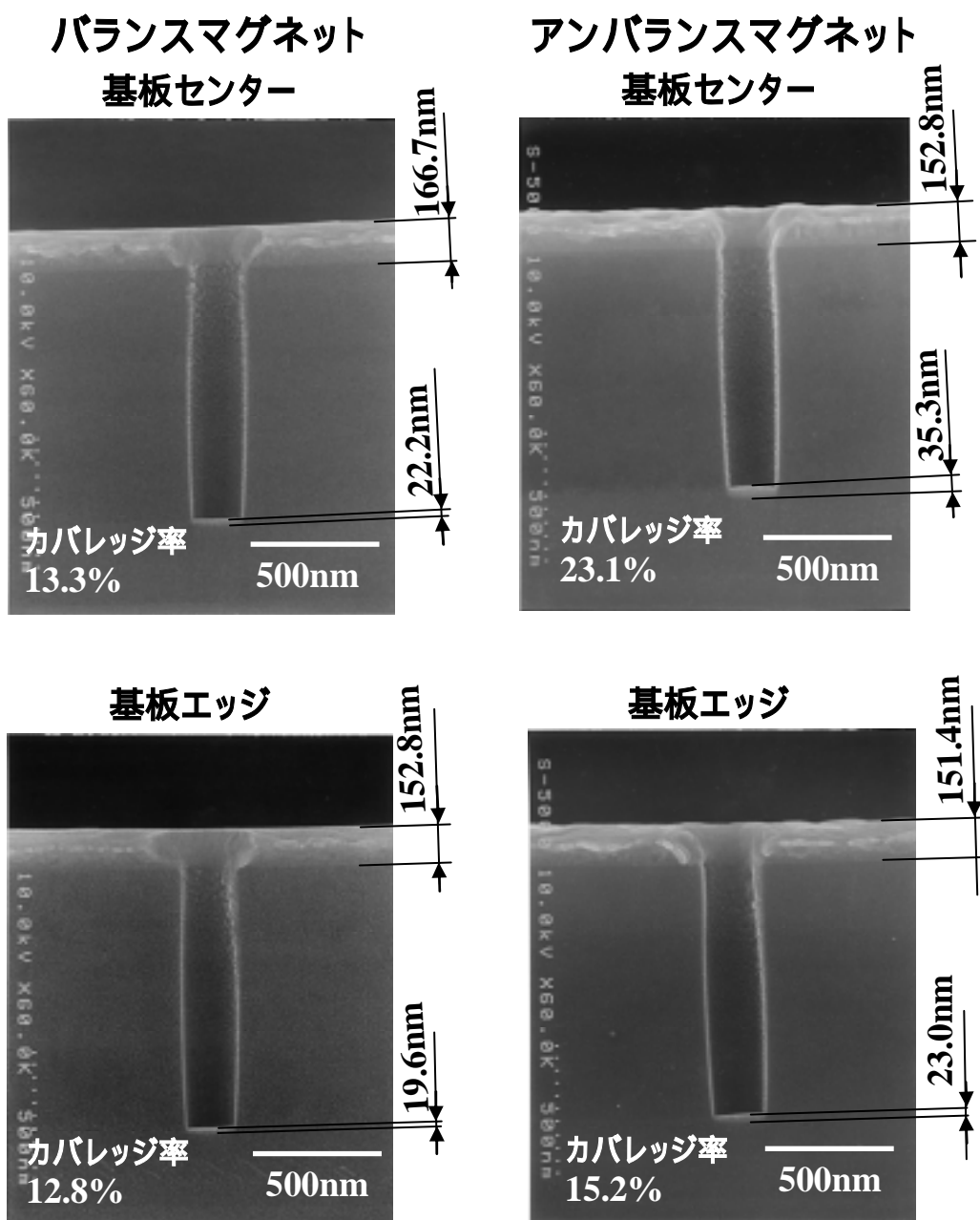


図 2 - 4 ビアに Ti を成膜した断面埋め込み SEM 像

使用した酸化膜ビアは、ビア径 0.2 μm 、ビア深さ 1.0 μm アスペクトレシ (A/R) 5 (ボトムカバレッジは SEM 像内に表示している。)

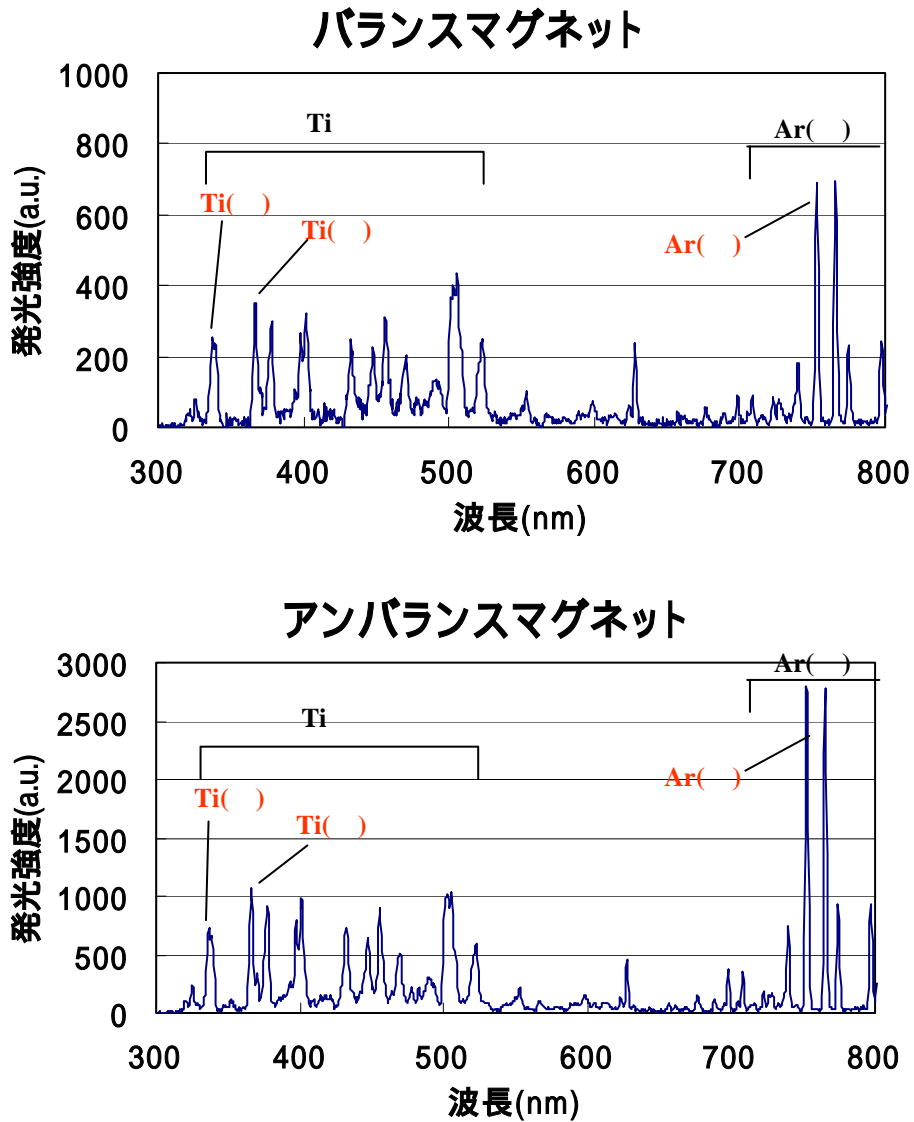


図2-5 マグネット相違による発光スペクトル

() : 中性原子の発光、() イオンの発光を示す。

300nm から 500nm までに Ar 発光スペクトルも検出されるが、Ti イオン発光が主である。

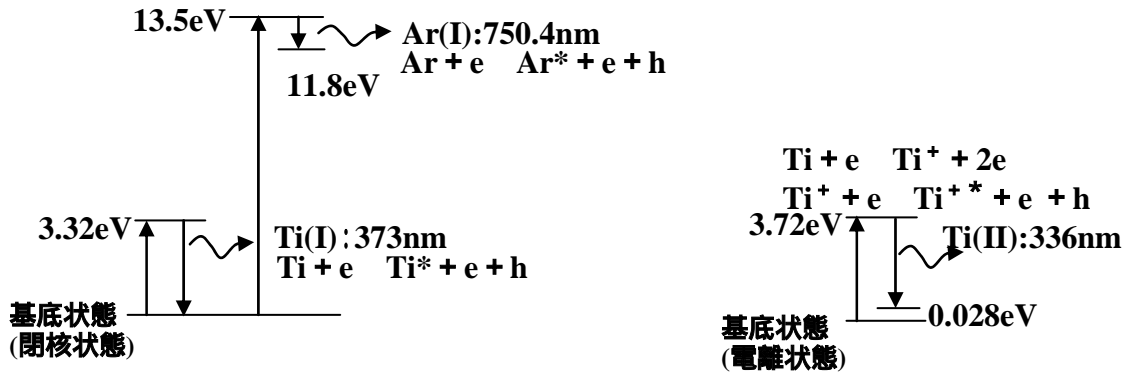


図2 - 6 電子衝突による発光メカニズム

Ti*はTiの活性種を示している。

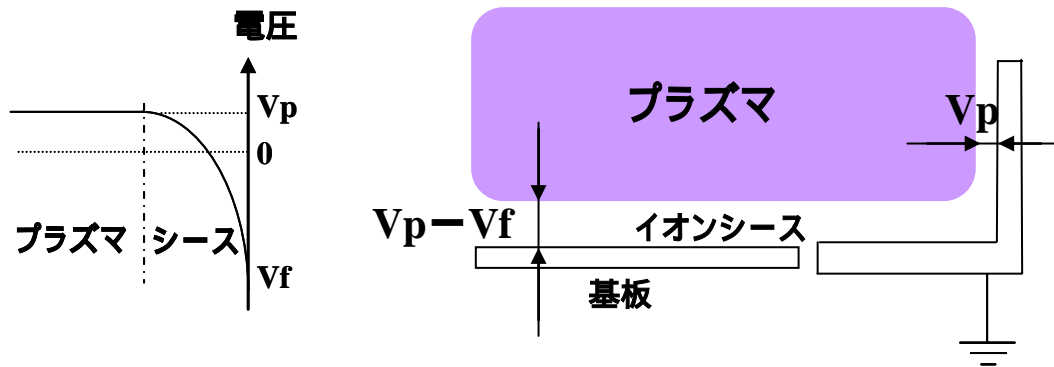


図2 - 7 電氣的ポテンシャル説明図

左図はポテンシャルを示し、右図は基板近傍の形状を示している。

V_p はプラズマポテンシャル、 V_f はフローティングポテンシャルを示している。

第2章 イオン化スパッタに適したマグネット構造

る。アンバランスマグネットを使用すると電子エネルギーが高くなっている。このことは、ターゲットから飛散した金属原子が電子と衝突する際の衝突電離確率が高くなっていることであり、Tiのイオン化効率が高くなったと言える。

式(1)に示すように電子温度が高いとプラズマポテンシャルが高くなる³⁹⁾。

$$V_p = \frac{\kappa T_e}{2e} \quad (1)$$

V_p : プラズマポテンシャル、 κ : ボルツマン定数、
 T_e : 電子温度、 e : 電子素量

プラズマ中に電氣的に絶縁された基板には式(2)で示す電位となる。

$$V_p - V_f = \frac{\kappa T_e}{2e} \ln \left(\frac{m_i}{2.3m_e} \right) \quad (2)$$

V_f : フローティング電位、 m_i : イオン質量、 m_e : 電子質量

図2-6に示すように、バランスマグネットを用いた場合、式(1)、(2)から基板にかかる電位は、-15.6Vである。これに対して、アンバランスマグネットを用いた場合、基板にかかる電位は-31.1Vとなる。アンバランスマグネットを用いることで、イオンの生成量が増えるとともに、基板に正イオンを引き込むエネルギーが高いことがわかる。これらのことから、アンバランスマグネットを用いることで、ビア埋め込み性が高かったことが説明できる。

ビアの埋め込み性をより向上させるためには、基板にバイアス電位を印加し金属イオンをより引き込む必要がある。基板にバイアス電位を印加する方法として、直流または交流の2種類がある。基板に直流の電位を印加するには、基板に直接電位がかかるよう基板表面に接触させる必要がある。そこで、基板に対して容量結合し、基板表面にバイアス電位を印加できる高周波を選択する。ここで、基板にバイアス電位を印

第2章 イオン化スパッタに適したマグネット構造

加して、バランスマグネットとアンバランスマグネットを使用した場合のプラズマ状態を付録 B のプラズマシミュレーションを用いて評価した。シミュレーションでは、カソード電圧は - 450V、基板上のバイアス電位を - 120V、ガス圧を 0.064Pa として計算した。また、磁場分布は図 2 - 2 で示したものをを使用した。プラズマシミュレーションの結果を図 2 - 6 に示す。

バランスマグネットを使用した場合、ターゲット外周に相当する部分のプラズマがアースシールドに引き込まれている。これに対して、アンバランスマグネットの場合、アースシールドにプラズマが引き込まれることなく、基板中心方向に形成されている。また、アンバランスマグネットを使用することで、基板近傍にもプラズマ密度が高い部分が形成されている。これは、図 2 - 2 で示した磁場分布から、アンバランスマグネットの場合、発散磁界がターゲット中心から基板方向に形成されるためと考えられる。基板近傍でプラズマ密度が高くなるのは、発散磁界によって、電子が基板方向に輸送され、基板電位によってプラズマが形成されていると考えられる。マグネットにアンバランスマグネットを用い、基板にバイアス電位を印加することで埋め込み性が向上することが考えられる。

さらにビアの埋め込み性を向上させるためには、ターゲットから飛散する金属原子をよりイオン化する必要がある。そのためには、アンバランスマグネットの発散磁界をさらに強化し、ターゲットから飛散する金属と発散磁界に捕捉される電子との衝突確率を上げる方法が考えられる。そこで、N 極の磁場強度を上げ、N 極と S 極の磁場バランスをより崩す方法として、図 2 - 2 に示すアンバランスマグネットの円弧に沿って N 極マグネットを追加する図 2 - 8 のマグネット構造を考えた。N 極の円弧型マグネットを配置したことで、図 2 - 2 に示したアンバランスマグネットの磁場分布と異なり、発散磁界が基板中心に対し全面に達しているのがわかる。実際に、このマグネットを試作し、Ti および TiN のビア埋め込み性を評価した。

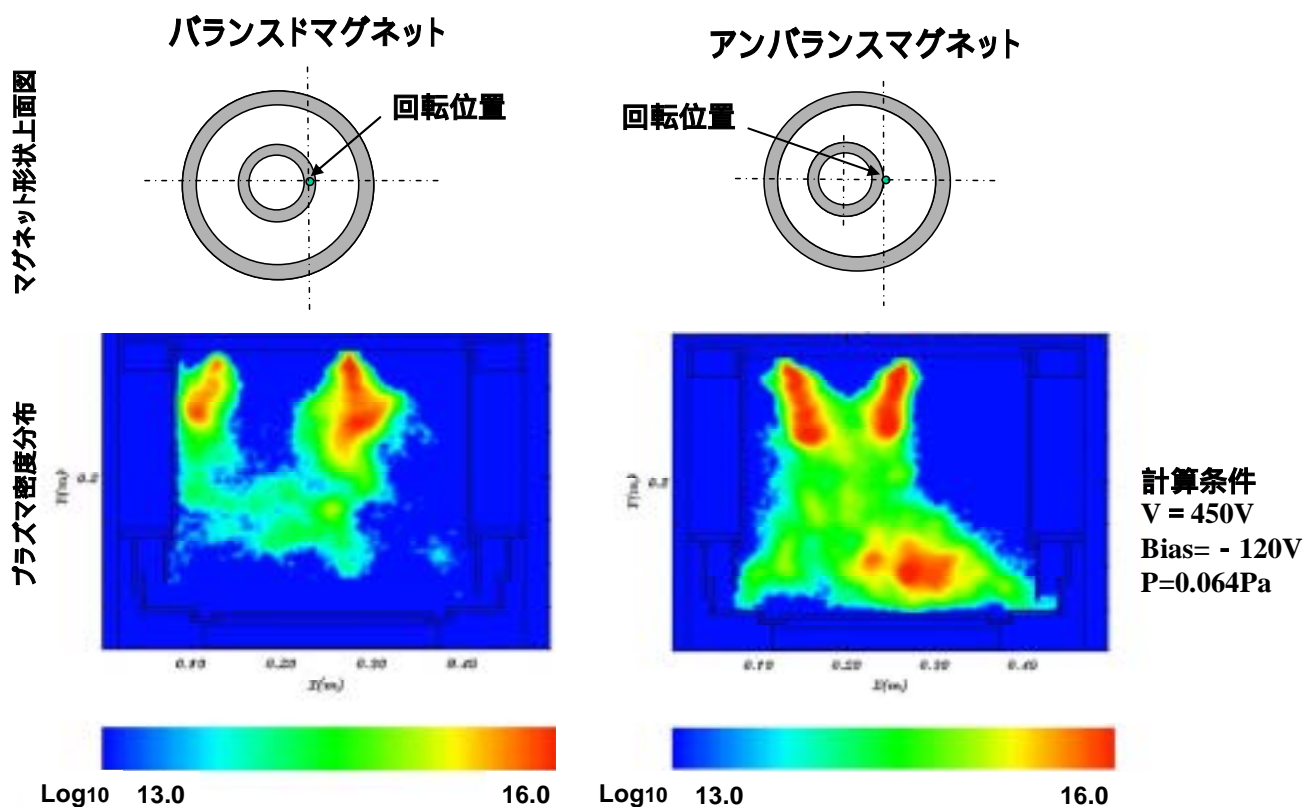


図2-6 プラズマシミュレーションによる電子密度分布

計算条件 カソード電圧：450V, 基板バイアス電位：-120V, ガス圧力：0.064Pa

カソードは DC パワー制御であるが、計算上の入力値が電圧であることから、電圧値を使用、同様に基板バイアスもパワー制御であるが、電圧値として計算を実施した。

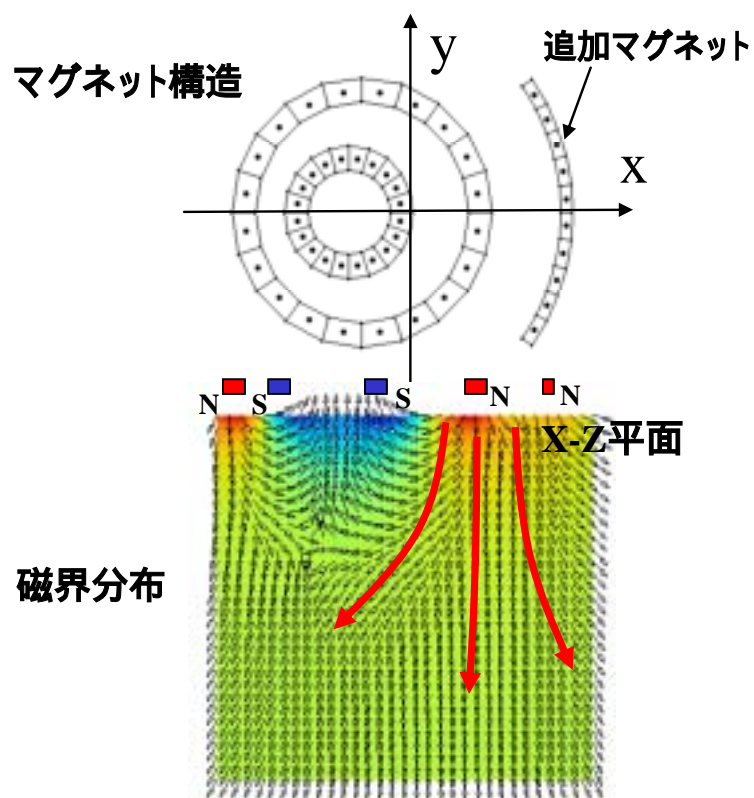


図2 - 7 発散磁界を強化したアンバランスマグネット構造と磁界分布

マグネット配置を元に磁界計算した磁界分布を示している。

2 - 3 - 2 Ti のピア埋め込み性評価

埋め込み性の評価前に放電条件を決定する。発散磁界を強化したアンバランスマグネットを用いた Ti の放電特性を図 2 - 9 に示す。Ar ガス流量が 32sccm では放電を開始することができず、33sccm でガス圧 0.17Pa 以上でないとは放電を開始することができなかつた。Ar ガス流量の増加とともに圧力は増加し、カソード電圧は低下している。カソードはパワー ($P=I \cdot V$, P:パワー, V:電圧, I:電流) が一定になるよう制御している。Ar ガス圧の増加でカソード電圧が低下するのは、カソード電流が増加しプラズマ密度が増加したことを意味している。このことは、放電開始、放電維持に電子供給が必要であることを意味している。放電をより安定にするには、ガス圧を高くすることが望ましい。しかし、ガス圧が高いと放電空間でスパッタ粒子とガスとの衝突確率が高くなり、基板に向かうスパッタ粒子の直進性が阻害される。そこで、できるだけガス圧を低くし、ターゲット寿命に渡って放電開始が安定であること考慮して、Ar ガス流量を 35sccm とした。ターゲット寿命とともにターゲットがエロージョンされるとカソード電圧が低くても放電が可能となる。パワー制御であることからカソード電圧が低くなるとカソード電流が増加するので、放電開始可能な Ar ガス流量近傍の 35sccm で問題ないと言える。

先に述べたように、基板バイアス RF パワーを高くすると基板にイオンを引き込むエネルギーが高くなるため、埋め込み性が向上する。しかし、イオンによるピアの逆スパッタ効果も高くなる。図 2 - 9 に基板バイアス RF パワーのみで放電させ、逆スパッタ (基板側をスパッタ) させたときのピア形状を示す。基板バイアスパワーが高くなるとピア間口がスパッタされ肩落ち形状となるとともに対向側にリスパッタされた粒子が堆積する^{40,41}。この結果ピアの間口が狭くなるため、バリア膜成膜後の次工程でピアに Al,W 等埋め込む際、ポイド等が発生する。基板バイアス RF パワーはイオン引き込みを促進し埋め込み性を向上できるが、間口を狭めない程度のパワー設

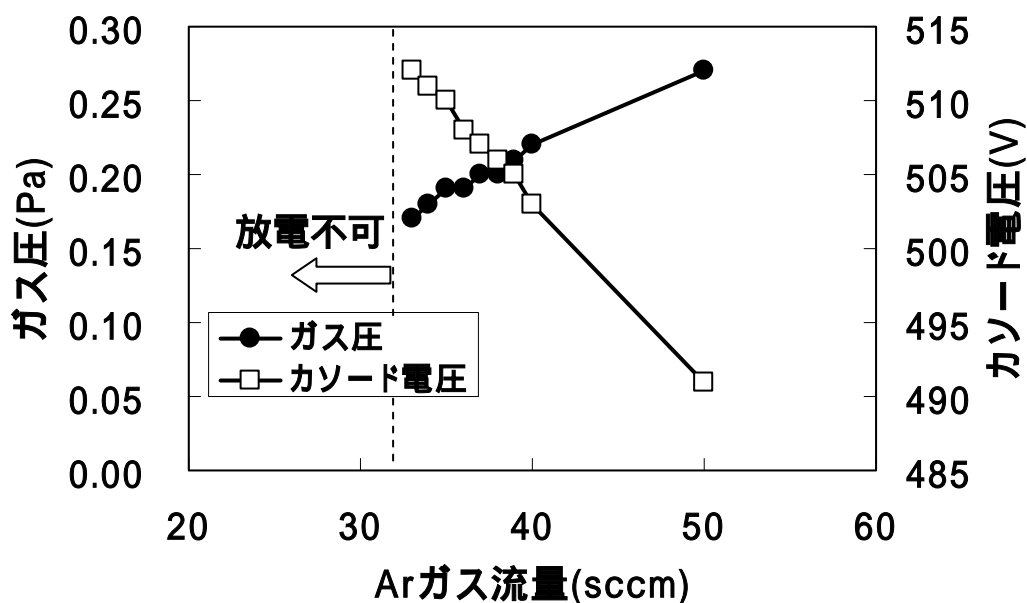


図2 - 8 Ar ガス流量に対するガス圧およびカソード電圧との関係

DC 電源で電界を印加しても、Ar ガス流量 32sccm 以下（ガス圧 0.16Pa 以下）で放電開始ができない。カソード電圧は DC パワー15kW で放電し、放電が安定した時の電圧である。

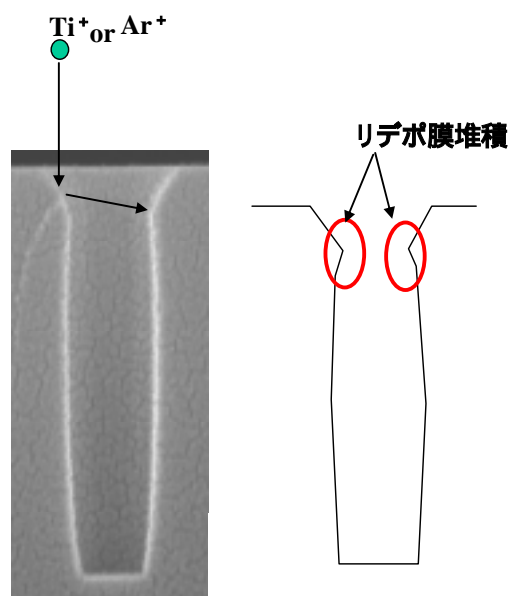


図2 - 9 逆スパッタによるビア形状

基板バイアス RF パワー300W で放電した場合の形状である。ビア間口がイオンによりスパッタされ肩落ちする形状となる。スパッタされた粒子は対向部に堆積する。

第2章 イオン化スパッタに適したマグネット構造

定を行う必要がある。基板バイアス RF パワーによるカバレッジ率、形状の評価を容易にするため、アスペクトレシオ 3.3 (ビア径: 300nm、ビア深さ: 1 μ m) の大きいビアを使用した。DC パワー 15 kW、Ar ガス流量 35sccm とし、基板バイアスパワーを変えて埋め込み性を評価した結果を図 2 - 10 に示す。図からわかるように、バイアス RF パワーの増加とともに間口の肩落ちが大きくなり、リデポ量も増加している。バイアス RF パワーが 300W となると、イオンを引き込むエネルギーは増加するが、ビア間口が狭まることでボトムカバレッジ率が低下する。そこで、間口は多少狭まるもののボトムカバレッジ率が低下しない RF バイアスパワー 200W に設定した。

アスペクト 5 のビアに DC パワー 15kW、Ar 流量 35sccm、RF バイアスパワー 200W で膜厚 90nm 成膜した。成膜後のビア断面 Ti 埋め込み形状を図 2 - 11 に示す。Ti のボトムカバレッジ率は基板センターで 38.6%、基板エッジで 34.6%となり、図 2 - 4 に示したボトムカバレッジに比べ、大幅に向上した。発散磁界を強化し、Ti のイオン量を増加したことと基板にバイアス電位を印加したことで、ビアボトムに対し垂直に入射する Ti イオンが増加した効果によると考えられる。

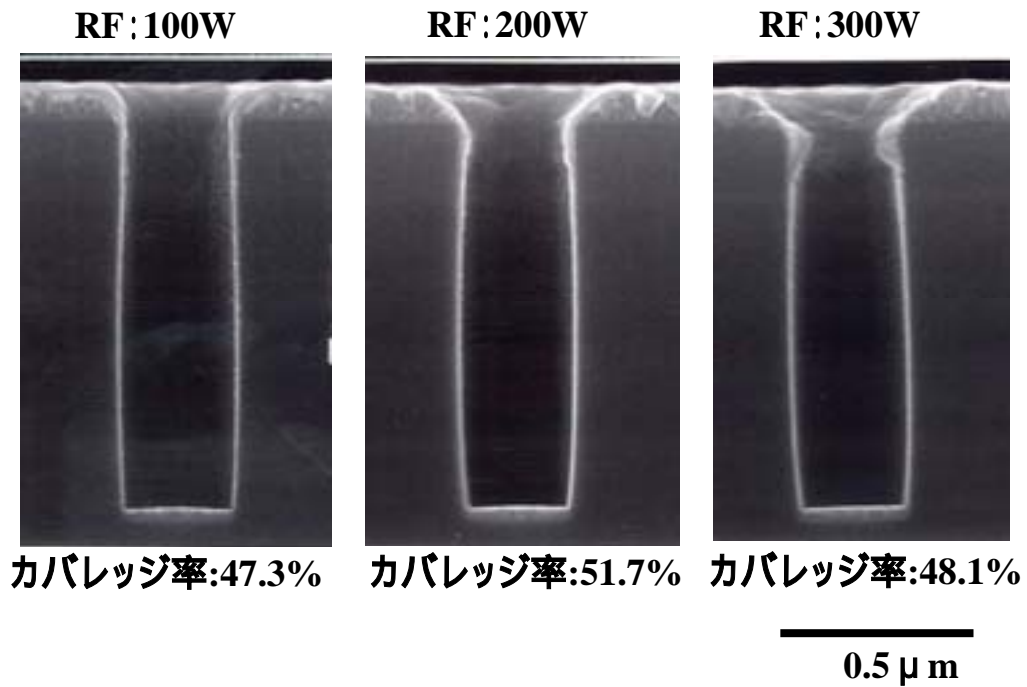


図2 - 10 基板バイアス RF パワー相違によるピア埋め込み形状
 DC パワー15kW、Ar ガス流量 35sccm で放電し、アスペクト 3.3 (ピア径: 300nm、ピア深さ: 1 μm) のピアに埋め込みを行った。

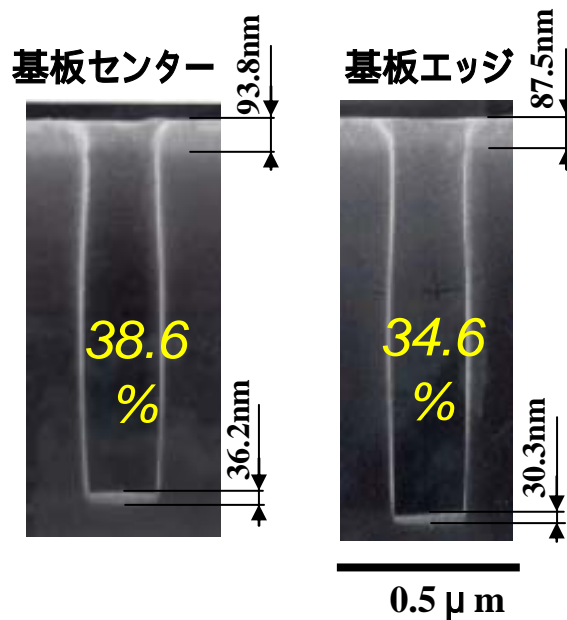


図2 - 11 発散磁界強化アンバランスマグネットを用いた
 Ti のピア埋め込み形状 SEM 像
 基板センター: カバレッジ率=38.6%、基板エッジ: カバレッジ率 = 34.6%

2 - 3 - 3 TiN のピア埋め込み性評価

Ti の埋め込み性が向上する発散磁界強化型マグネットを用いて、TiN の埋め込み性を評価する。TiN を成膜する場合、ガスとして Ar と N₂ を用いる反応性スパッタとなる⁴²。そこで、埋め込み性のみでなく、Ti の窒化膜膜質についても評価する。

TiN を成膜する場合、Ar 流量を一定にして、放電しながら N₂ ガス流量を増加すると Ti ターゲット表面で化学反応し TiN となる。ターゲット表面が TiN 化するまでは N₂ が TiN 反応に消費されるが、TiN 化すると N₂ ガス流量を増加させても反応消費がないため、ガス圧が高くなる。また、ターゲット表面が完全に TiN 化した状態で N₂ ガス流量を低下させて放電していくと、ターゲット Ti を完全に露出することが難しいため、ガス圧は徐々に低下することになる。一般的には、ガス流量に対する成膜レートとのヒステリシス関係から説明される⁴²。しかし、成膜レートを導くには N₂ ガス流量ごとに膜厚を測定する必要があり、通常ガス圧に対するヒステリシスから算出する方法を用いる。その結果を図 2 - 1 2 に示す。放電限界以上で安定に放電できる Ar ガス流量を 35sccm とし、N₂ ガス流量に関するヒステリシスを示している。この結果、Ar 流量 35sccm とした場合、N₂ ガス流量 53sccm 以上で TiN が成膜されていることとなる。TiN 膜質安定性を考慮し、N₂ ガス流量を 62sccm とした。

成膜時の基板温度を変えて成膜した TiN 膜の XRD (X - Ray Diffraction: X 線回折) によって膜の結晶性を評価した。成膜条件は DC パワー 15kW、RF 基板バイアスパワー 200W、Ar ガス流量 35sccm、N₂ ガス流量 62sccm とした。基板は Si ウエハに熱酸化膜 (100nm) と Ti (50nm) を成膜した上に TiN (50nm) を成膜した。TiN の結晶は TiN(111)、TiN(200) と TiN(002) に配向することが知られている⁴³。特に強く現れるのが TiN(111) への配向である。基板温度に関する TiN(111) の結晶ピーク強度との関係を図 2 - 1 3 に示す。基板温度の上昇とともに TiN(111) の結晶ピーク強度が低下している。これは、基板温度の上昇で TiN(111) への配向性が低下していること

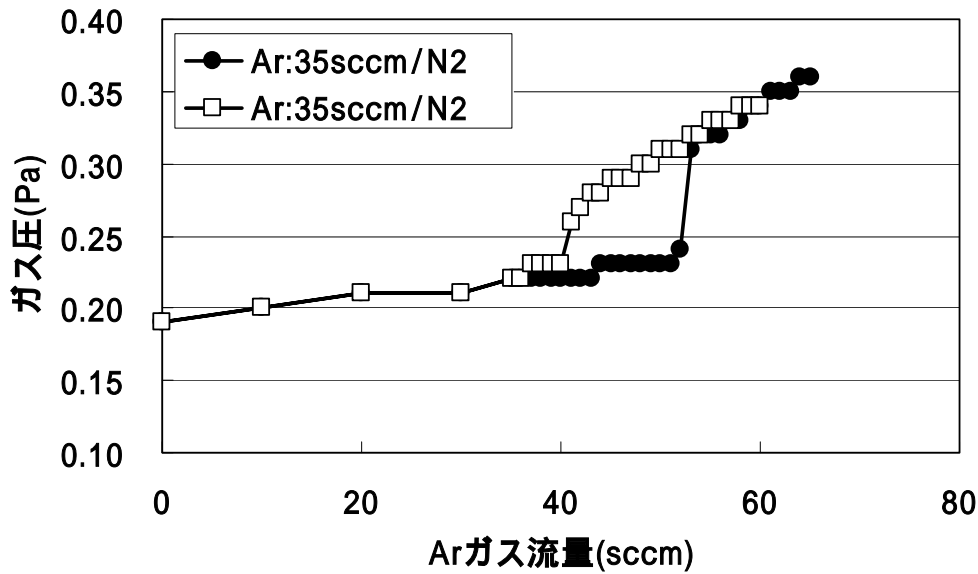


図2 - 1 2 N₂ ガス流量に対するガス圧との関係

○ : N₂ ガスを 1sccm 毎上げていった場合を示す。

□ : N₂ ガスを 1sccm 毎下げていった場合を示す。

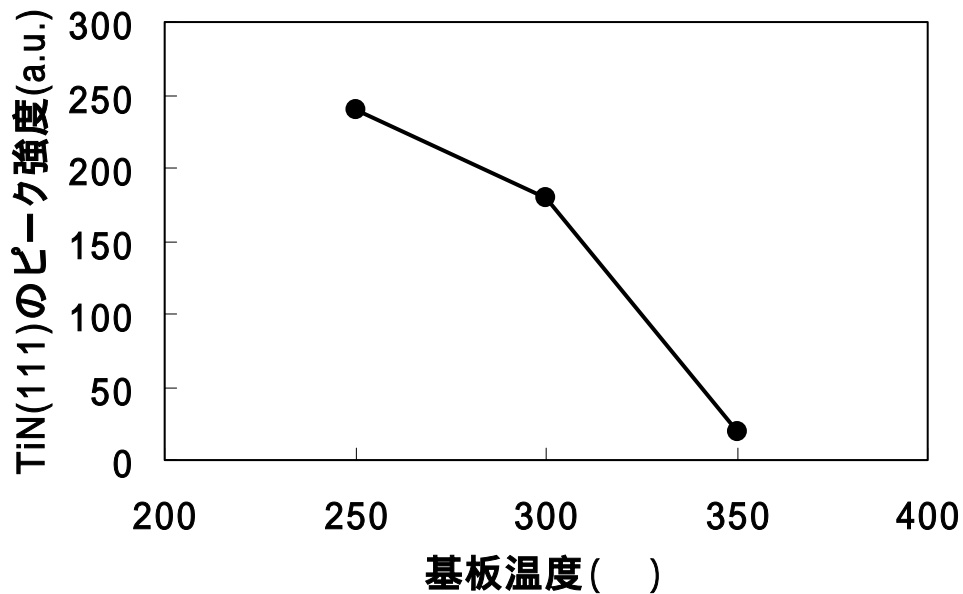


図2 - 1 3 XRD 分析による基板温度と TiN(111)ピーク強度との関係

DC パワー15kW、RF 基板バイアスパワー200W、Ar ガス流量 35sccm、N₂ ガス流量 62sccm で TiN を成膜し、XRD 薄膜法で TiN (111) のピーク強度を測定した。

Si/SiO₂ (100nm) /TiN (50nm)

第2章 イオン化スパッタに適したマグネット構造

になる。TiN(111)配向が強いと TiN 結晶が針状の柱状結晶でバリア性が低下すると言われている^{44,45}。そこで、急激に TiN(111)配向が低下していることから基板温度は 350 とした。

DC パワー15 kW、Ar ガス流量 35sccm、N₂ ガス流量 62sccm、基板温度 350 で成膜した場合、比抵抗は 56.7 μ cm であった。Si 基板に Ti(35nm)を成膜し、その上に TiN (20nm) を成膜した XRD 分析結果を図 2 - 14 に示す。Ti(111)ピークは高くなく、Ti (002) ピーク強度が高く、柱状結晶でバリア性が確保できる比抵抗の低い膜が形成されている。また、Si 基板に成膜したことから、Ti が TiSi₂ (チタンシリサイド) が形成されていることがわかる^{46,47}。Si と低抵抗のコンタクトを形成できることを示している。

ピア埋め込み性を上げるには RF 基板バイアスパワーを上げる必要があり、RF バイアスパワーによる膜質の評価を行った。基板バイアス RF パワーに対する TiN の比抵抗を図 2 - 15 に示す。基板バイアス RF パワーの増加とともに比抵抗が高くなっている。比抵抗の増加原因を調べるため、TiN 膜中の組成を RBS (Rutherford Backscattering Spectroscopy:ラザフォード後方散乱法) によって分析した。基板バイアス RF パワーに対する N/Ti との関係を図 2 - 11 に示す。図から基板 RF バイアスパワーを上げることで N/Ti が増加していることがわかる。これは TiN の膜中 N 成分が増えていることになる。図 2 - 12 に TiN 成膜時の発光分析結果を示す。N₂⁺ イオンの発光が検出されていることがわかる。これら結果から、ガスに N₂ を用いることで、放電によってプラズマ中に N₂⁺ が形成され、基板バイアス RF パワーを上げると基板バイアス電位も高くなり、N₂⁺ イオンが基板に引き込まれ膜中に混入するためと考えられる。

膜質的に問題なことから、TiN の成膜条件を DC パワー15 kW、RF バイアスパワー200W、Ar ガス流量 35sccm、N₂ ガス流量 62sccm、基板温度 350 とした。この

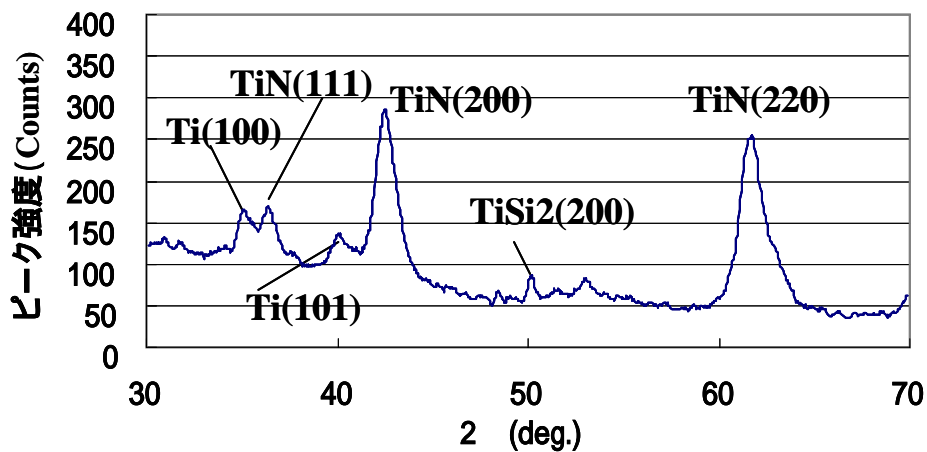


図2 - 14 TiN 膜の XRD 分析結果

Si/Ti/TiN を成膜し、XRD 薄膜法で分析したスペクトルを示す。

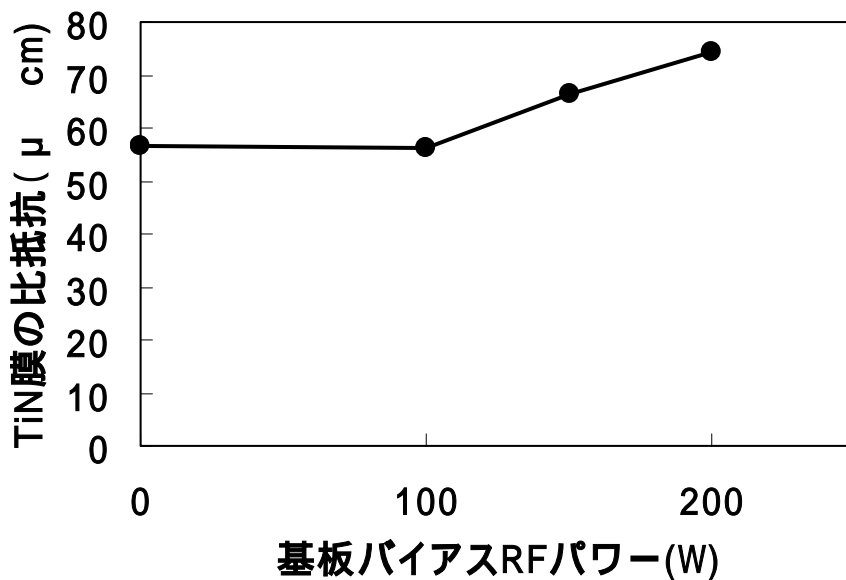


図2 - 15 基板バイアス RF パワーと TiN 膜の比抵抗との関係

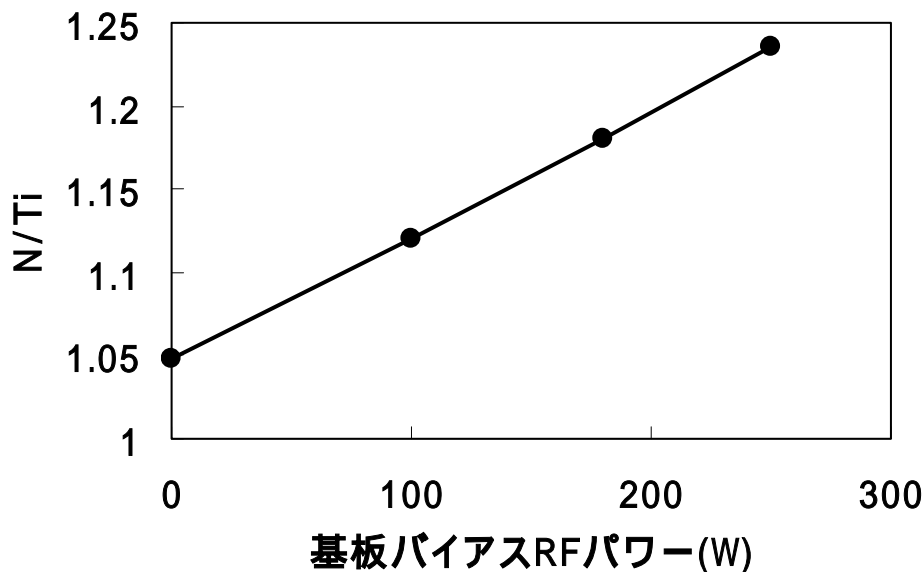


図2 - 16 基板バイアス RF パワーに対する N/Ti との関係

成膜条件：DC パワー15kW、Ar ガス流量 35sccm、N2 ガス流量 62sccm、基板温度 350 の成膜条件で基板バイアス RF パワーを変えて TiN を成膜し、RBS で組成を分析した。
Si 基板/SiO₂(100nm)/TiN(50nm)

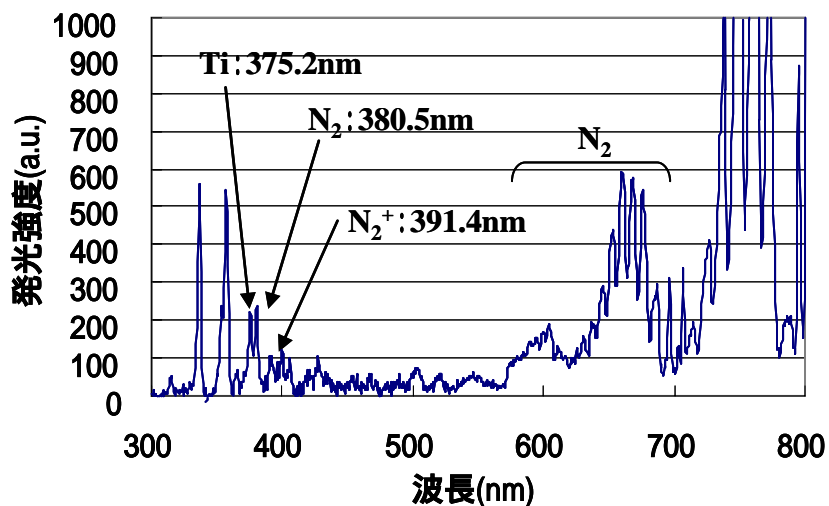


図2 - 17 TiN 成膜時の発光スペクトル

成膜条件：DC パワー15kW、Ar ガス流量 35sccm、N2 ガス流量 62sccm、
基板バイアス RF パワー100W で放電し、散乱光を分光器で測定した。

第2章 イオン化スパッタに適したマグネット構造

成膜条件で、アスペクト5のピア埋め込み評価を行った。その結果を図2 - 18に示す。ボトムカバレッジ率は基板センターで36.9%、基板エッジで32.0%であった。図2 - 4の埋め込み性に比べ、発散磁界を強化したマグネットを使用することでボトムカバレッジ率は大幅に向上した。

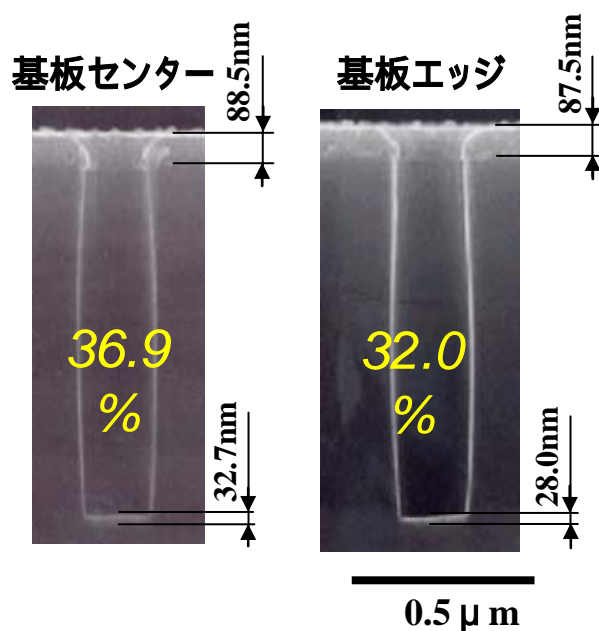


図2 - 18 発散磁界強化アンバランスマグネットを用いた
TiNのピア埋め込み形状SEM像

基板センター：カバレッジ率=36.9%、基板エッジ：カバレッジ率 = 32.0%

DC パワー15 kW、RF バイアスパワー200W、Ar ガス流量 35sccm、N₂ ガス流量 62sccm、
基板温度 350

2 - 4 まとめ

ビアの埋め込み性を向上させるため、Ti のイオン化率を向上させる方法として、マグネット構造に着目し、イオン化率を向上させボトムカバレッジ率を高くするマグネット構造を検討した。

バランスマグネットに対し、アンバランスマグネットを使用した放電では、Ar 自体の励起量とともにターゲットから放出される Ti の励起量も増加される。アンバランスマグネットを使用した放電では、電子温度が高いことから衝突電離確率が高くなり、Ti のイオン量が増加すると考えられる。また、アンバランスマグネットを使用すると基板にかかるバイアス電位が高くなることから、ビアに対して Ti イオンが垂直に引き込まれやすくなる。

そこで、アンバランスマグネットの発散磁界を強化するため、2重円リングマグネットの発散磁界側に円弧マグネットを配置するマグネットを考案した。このマグネットを用い、基板にバイアス RF を印加できる装置でビアの埋め込み評価を行った結果、Ti、TiN とともに LTS 構造の埋め込み性に比べ、膜質的に問題なく、大幅にボトムカバレッジ率が高くなる結果が得られた。

第3章 イオン化スパッタによるゲート酸化膜ダメージの評価⁴³

3 - 1 目的

マグネトロンスパッタによる酸化膜上のメタル成膜では、メタルがアイランド状に成膜された状態では酸化膜に電荷が蓄積されるが、ほとんどデバイス不良が問題となっていない。これに対して、酸化膜のエッチングプロセスや成膜プロセスでは、古くからプロセス中にプラズマから酸化膜に電荷が蓄積し、ゲート酸化膜にダメージを与えることが問題となっている⁴⁹⁻⁵⁴。近年、デバイス構造の微細化に伴い、イオン化スパッタを用いるようになると、メタル成膜時のプラズマダメージも無視できなくなってきた。そこで、磁場構造の異なるマグネットを用いたイオン化スパッタ装置を用いて、Ti成膜時におけるデバイスへの影響を評価し、デバイスに影響を与えない方法を検討した。

3 - 2 実験装置および実験方法

実験装置として、基板にRFバイアスが印加でき、ターゲット(Ti)と基板との距離が300mmある図3-1に示すイオン化マグネトロンスパッタ装置を使用した。基板サイズは直径200mmである。この実験ではマグネットによるプロセスの影響を比較するため、バランスマグネットとアンバランスマグネットを使用した。マグネット構造の上面図と磁場強度分布の断面図を図3-2(A)と2(B)に示す。図3-2中の2次元の磁場強度分布はガウスメータ(F. W. BELL社製 Model9640)を用いて測定した結果をベクトル表示したものである。バランスマグネット(A)は同じ中心を持つ2重円の構造をしている。(A)のバランスマグネットの磁界はN極からS極にほぼ収束している。一方アンバランスマグネット構造(B)の2重円は、内側のマグネットが(a)方向にシフトしている。加えて外側の円マグネットに沿って円弧のマグネットを設置し、発散磁界を強化している。(B)のアンバランスマグネットは基板方向に

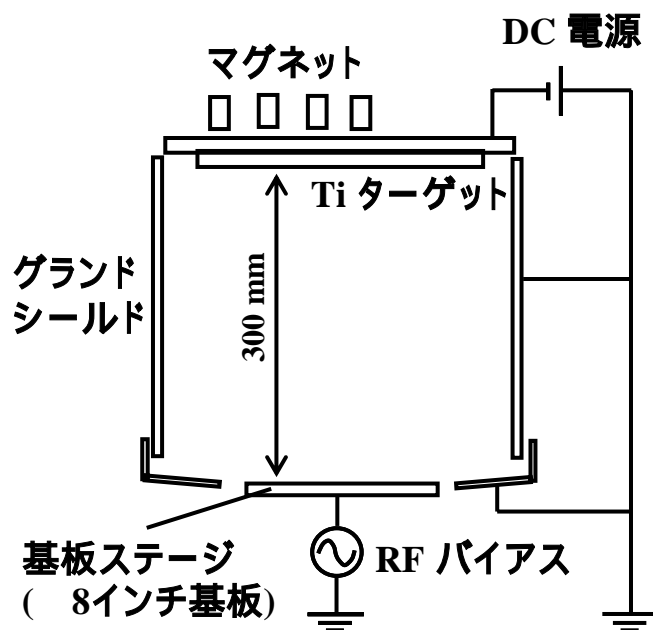


図3 - 1 イオン化スパッタ実験装置の概略図

ターゲットから飛散したイオンは、RF バイアスのステージに対して垂直に引き込まれる。(DC パワー : 15kW, RF バイアスパワー : 100W, Ar 流量 : 40sccm, ガス圧 : 0.2Pa)

*シールド外部の真空容器部分は省略している。

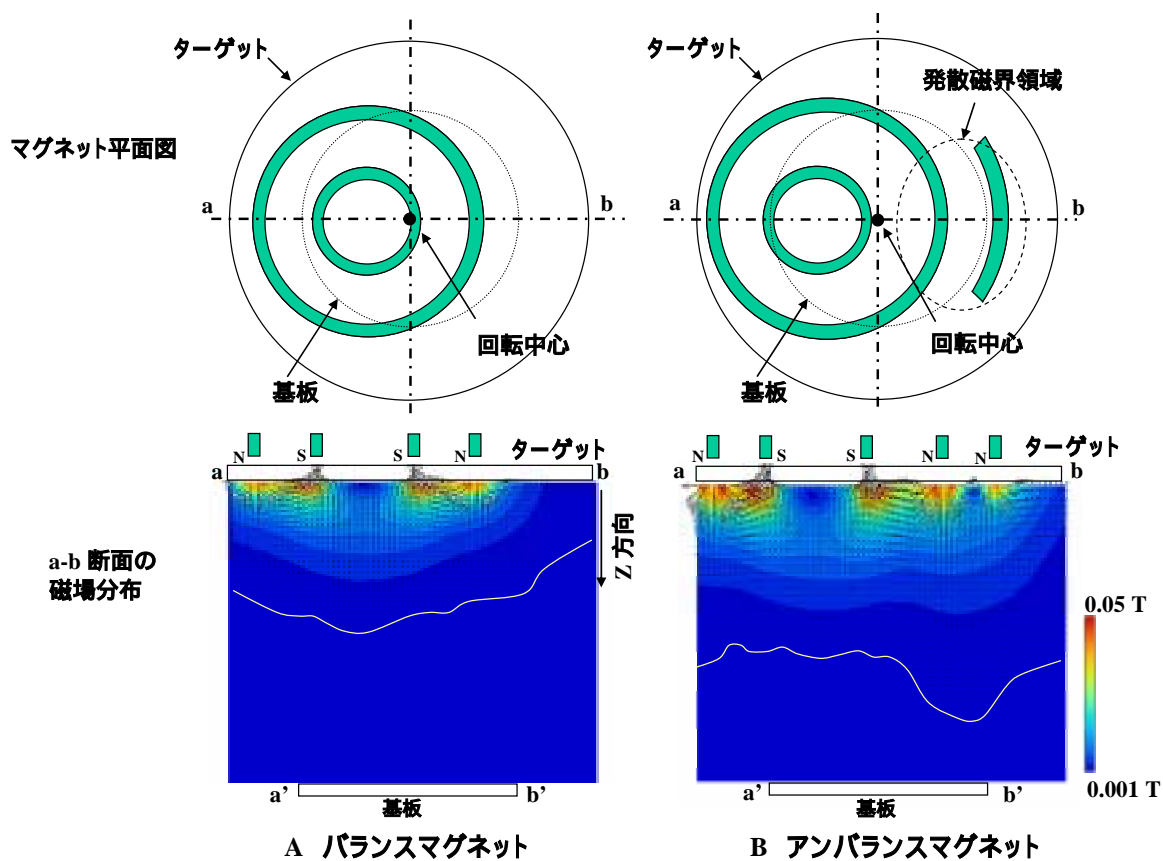


図3 - 2 バランスマグネットとアンバランスマグネットの上面構造図と断面磁界分布

磁場測定はF. W. BELL社製ガウスメータ (Model9640) を使用し、ピッチ5 mm で2次元の磁場強度測定を行った。AはバランスマグネットでBはアンバランスマグネットのZ方向磁界強度分布を示している。バランスマグネットはターゲット近傍に磁束が閉じているのに対して、アンバランスマグネットは基板方向に磁界が生じている。

第3章 イオン化スパッタによるゲート酸化膜のダメージ評価

向かう磁界が発生している。これらマグネットは成膜中 60rpm で回転させた。

図3-3にアンテナ MOS (Metal Oxide Semiconductor) の断面構造を示す。ゲート酸化膜の面積と Poly - Si ゲート電極の面積はそれぞれ $5 \times 6 \mu\text{m}^2$ と 10cm^2 ある。MOS キャパシタの電極のアンテナ比 (Antenna Area Ratio) は、Poly-Si ゲート電極 (Sg) に対するゲート酸化膜 (Sox) の面積比 (Sg/Sox) で定義され、評価デバイスのアンテナ比は 33 万倍とした。ゲート酸化膜の膜厚 25 から 80 の 5 種類 (25 、 30 、 40 、 50 、 80) を使用した。アンテナ MOS キャパシタの Poly-Si ゲート電極上に Ti を 30 の膜厚で成膜した。Ti 成膜時の条件は、カソード DC パワーを 15kW : バイアス RF パワー 100W : Ar 流量 40sccm、真空度 0.2Pa とした。ただし、カソード DC パワーをオンしてから 1 秒後にバイアス RF パワーをオンした。薄膜 Ti を成膜後、 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ により Ti を剥離した。

これら基板の酸化膜ダメージは、Ti 膜剥離後、一般的な電流 - 電圧 (I-V) 測定によって、電氣的に評価した。Poly-Si ゲート電極と Si 基板との I-V 特性をプローブ測定器 (HP4062UX) によって測定しゲート酸化膜の耐圧を評価した。電界強度 8 MV/cm 以下で、 $1\text{nA}/\text{cm}^2$ 以上のリーク電流が発生するものをゲート酸化膜にダメージが発生したものとした。酸化膜へのダメージが発生する場合、成膜中のプラズマによる影響が考えられる。そこで、成膜中のプラズマによる影響を評価するため、図3-4に示す測定系で基板側に入射する電流を測定した。このとき、プラズマの放電条件は、カソード電圧を 1kV、Ar 流量を 40sccm、バイアス RF はオフとした。放電中、基板側に設置したプローブ (面積 : 0.78cm^2) に電圧 (100V) を印加し、プローブに流れる電流を電流プローブ (Techtronix:A6303) を用い、アンプ (Techtronix:TM501A) で増幅後、オシロスコープ (Techtronix:2440) で電流波形を測定した。さらに、マグネットの位置と基板の位置を明確にするため、マグネットの回転は行わなかった。電流測定値は基板端 (a) から 20,50,100,150 と 180mm で測定した。

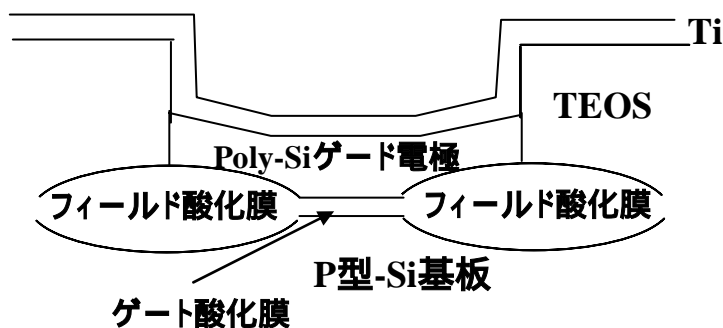
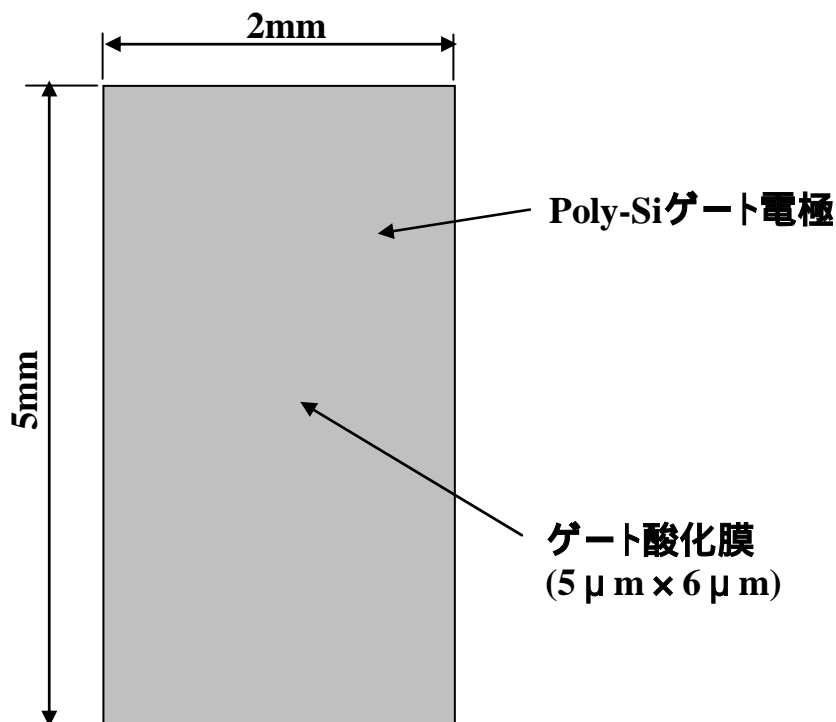


図3 - 3 アンテナ MOS キャパシターの上面図と断面図

酸化膜には TEOS 膜、ゲート電極には Poly-Si を使用している。ゲート酸化膜の膜厚: 25, 30, 40, 50, 80 の 5 種類を用いた。ゲート酸化膜の面積は $5\mu\text{m} \times 6\mu\text{m}$ 、ゲート電極の面積は 10mm^2 とし、アンテナ比は 33 万倍とした。Ti 成膜後 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ で Ti を剥離後、ブローパー (HP4062UX) を用い、PolySi ゲート電極と Si 基板との耐圧を測定した。

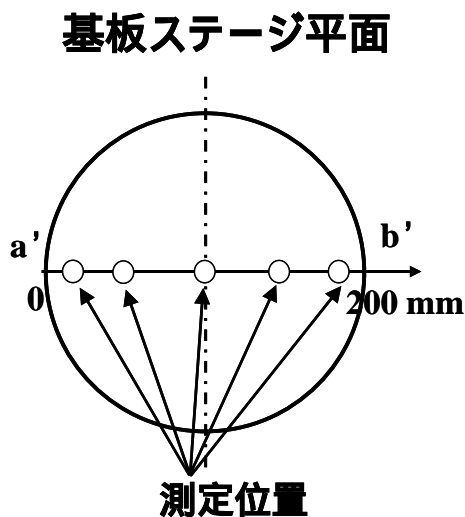
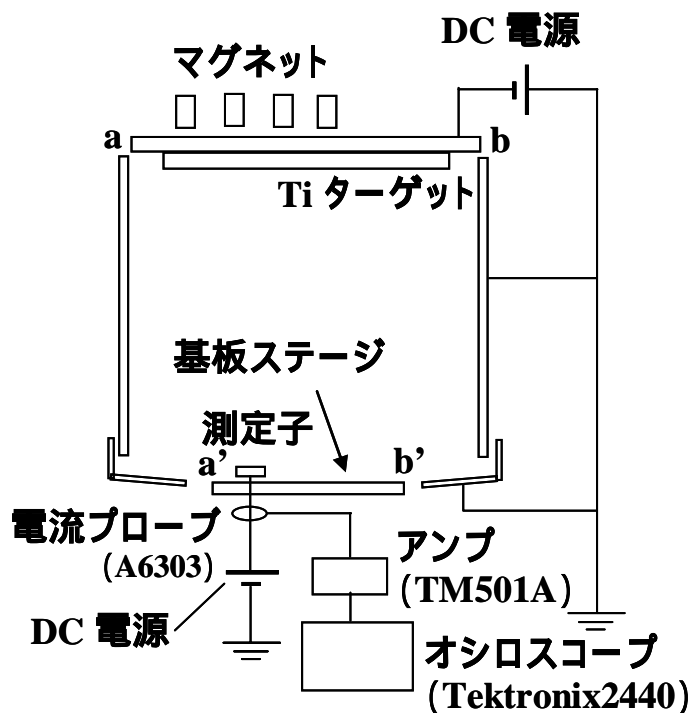


図3 - 4 基板電流測定外略図と基板面における測定位置

基板側にプローブを接地し、プローブに 100V の電圧を印加した。放電開始とともにプローブに流れ込む電流を電流プローブとオシロスコープを用いて測定した。(カソードパワー : 15kW, Ar 流量 : 50sccm, 直流電源 : 100V)

3 - 3 結果と考察

図3 - 5 に装置のマグネットにバランスマグネットとアンバランスマグネットを用いた場合のアンテナMOSキャパシターの耐圧ダメージ不良結果を示す。Ti成膜は、カソードパワーを15kW、バイアスRFパワー100W、Ar流量を40sccmとした。図3 - 5 に示すようにバランスマグネットの場合、膜厚が薄くてもゲート酸化膜の耐圧ダメージはほとんど発生していない。それに対して、アンバランスマグネットの場合、ゲート絶縁膜の厚さが薄くなるにつれて、8MV/cm以下の電界強度でゲート酸化膜にダメージが入る割合が増加している。

図3 - 6 に基板面内におけるMOSアンテナキャパシターのゲート酸化膜耐圧ダメージ分布を示す。基板外周部に近い部分で発生していることがわかる。不良発生領域は、放電開始時、回転マグネットの回転位置から発散磁界が基板に向かう位置に相当していた。酸化膜のエッチング、酸化膜の成膜プロセスにおける酸化膜ダメージは、プラズマプロセス中にアンテナMOSへ電荷が供給され、ゲート酸化膜を電流が流れることで発生すると言われている⁵⁵⁻⁵⁸。アンバランスマグネットを用いた場合、発散磁界の生じる領域でプラズマ密度が高くなることから、MOSデバイスの酸化膜に電荷蓄積したことによる破壊が考えられる。そこで、基板の位置において、プラズマから基板に流入する電流を図3 - 4 に示す測定系で測定した。その測定結果を図3 - 7 に示す。カソードパワーを15kW、Ar流量を40sccmで放電を行い、プローブには100Vを印加してプローブに流れる電流波形を測定した。バランスマグネットを使用した場合、基板に流入する電流量は基板面内でほぼ均一である。これに対して、アンバランスマグネットを使用した場合、基板端で発散磁界の強い箇所電流値が高くなっている。バランスマグネットは、基板位置における電流の差がないのに対して、アンバランスマグネットを用いた場合は、発散磁界が生じている位置で基板電流が高い結果となった。このことから、アンバランスマグネットを用いたとき、基板に入射す

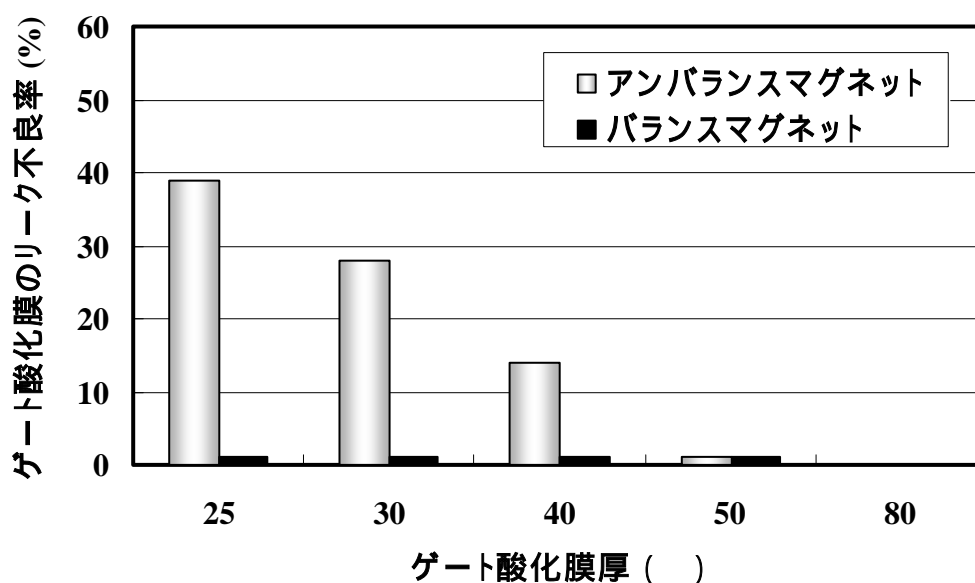


図3 - 5 ゲート酸化膜とゲート酸化膜のリーク不良率

耐圧 8MV/cm 以上でリーク電流 1nA/cm² 以上のものをダメージとした。
アンバランスマグネットを使用すると薄膜化と共にダメージ率が増加する。

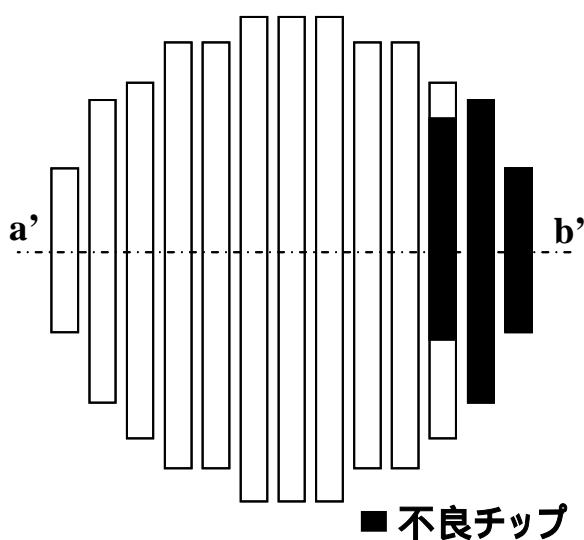


図3 - 6 基板上的ダメージ分布領域

アンバランスマグネットを使用して、ゲート酸化膜厚 40 のアンテナ MOS に Ti を成膜し、耐圧ダメージ測定を行ったときのダメージ領域を示している。a',b'は Fig3 の断面に相当し、アンバランスマグネットの発散磁界部にダメージが発生している。(アンテナ MOS デバイスは 8 インチウエハに 147 個配置している。)

第3章 イオン化スパッタによるゲート酸化膜のダメージ評価

る荷電粒子は基板面内で不均一が生じている。プラズマが不均一になると、基板バイアス電位 (Vdc) が不均一となる。この不均一さで基板面内に電位差が生じ、酸化膜に電流が流れ、ダメージが発生する可能性がある⁵⁸。しかし、メタルスパッタの場合、成膜開始直後ほぼ全面がメタルで覆われ Si 基板と導通するため、酸化膜への電荷蓄積だけでは酸化膜のダメージを説明できない。そこで、放電開始後の荷電粒子の挙動を調べるため、図 4 に示す測定系で、基板端 (20mm) における放電開始時の電流波形を測定した。図 8 にバランスマグネットとアンバランスマグネットを用いた放電開始直後の電流波形を示す。バランスマグネットを用いた場合、放電開始とともに基板への電流が緩やかに増加している。これに対して、アンバランスマグネットを用いた場合、基板への電流が 10 μ s 以下で急激に流れ込んでいるのがわかる。そこで、放電開始時の電流に対する時間勾配(dI/dt)を基板位置において測定した。その結果を図 9 示す。アンバランスマグネットを使用した場合、基板電流と同様に基板端で電流に対する時間勾配が非常に高い。基板のダメージ発生箇所は、放電開始時に発散磁界が強い基板の位置で発生している。これらのことから、放電開始時の過渡的電子供給がゲート酸化膜にダメージを与えるものと考えられる⁵⁷。放電開始時、図 10 に示すように基板方向の発散磁界に電子が曲率ドリフトし、ゲート電極に電子が供給され、ゲート酸化膜が帯電し、Si 基板との電位差が発生し、アンテナ MOS の酸化膜にダメージが入るものと考えられる。アンバランスマグネットを使用してターゲットから飛散するスパッタ粒子のイオン化率を上げる場合、基板方向に磁束が発散しないようなマグネット設計を行う必要がある。

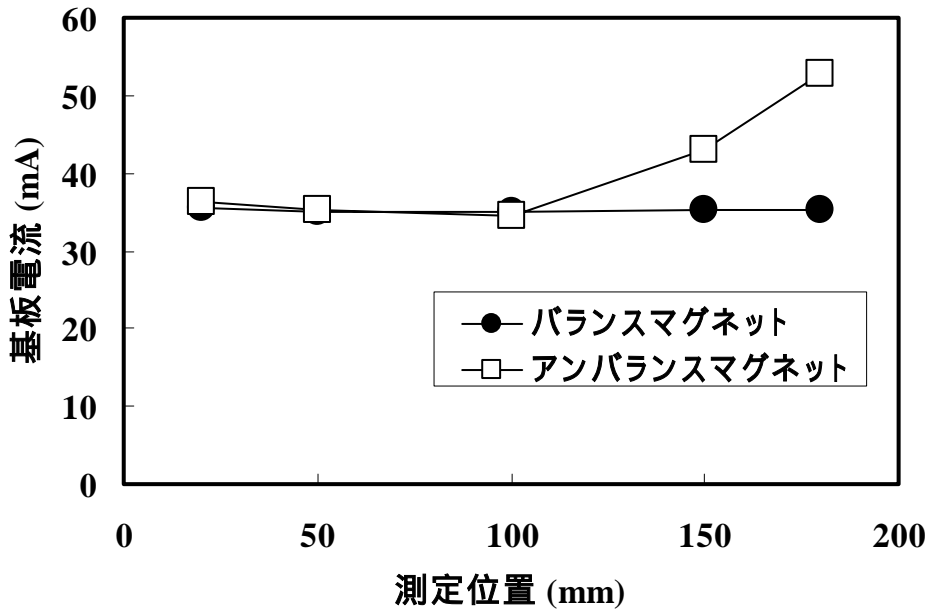


図3 - 7 測定位置に対する基板電流との関係

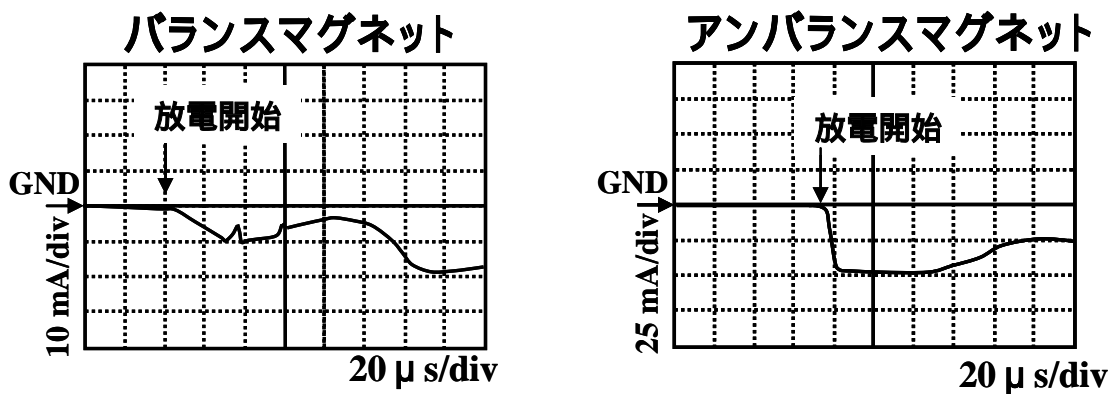


図3 - 8 放電開始時の基板電流波形

基板エッジ b' から 20mm の位置で測定した波形である。

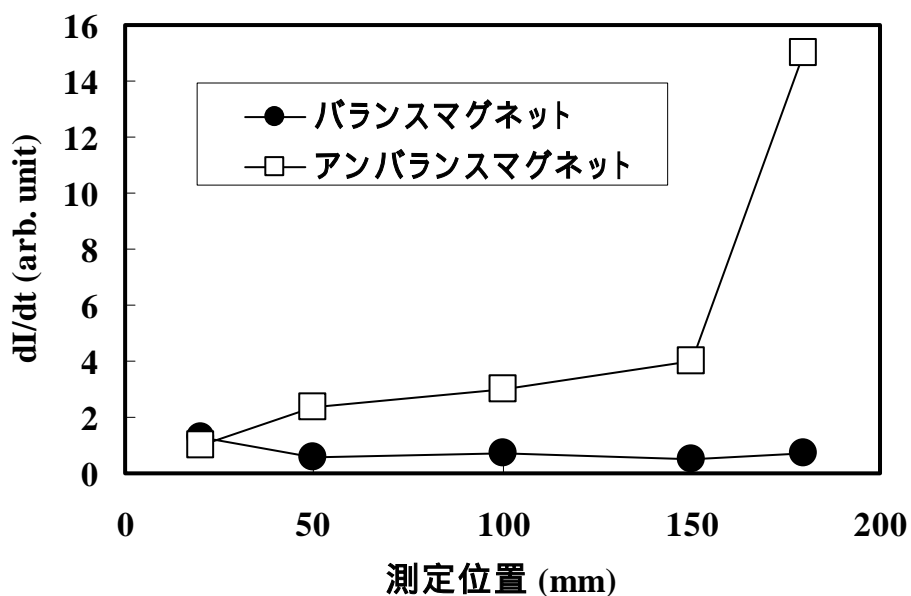


図3 - 9 基板位置に対する dI/dt との関係

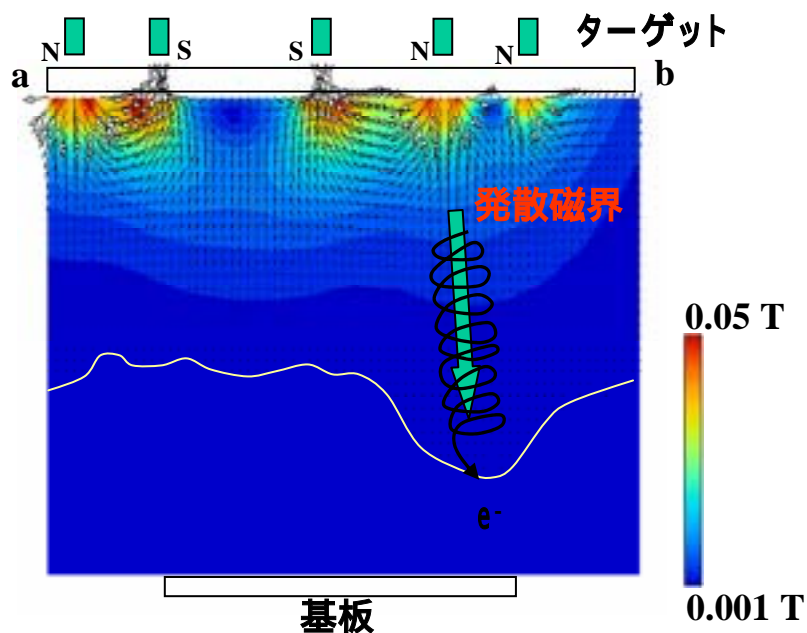


図3 - 10 発散磁界と電子の湾曲ドリフト

基板方向への発散磁界は電子を湾曲ドリフトさせながら基板方向に輸送される。電子の湾曲ドリフトは、磁束による遠心力と $E \times B$ が釣り合うことである。

3 - 4 まとめ

マグネット構造の異なる2種類のマグネットを使用し、アンテナ MOS デバイスに Ti を成膜し、ゲート酸化膜のダメージ評価を行った。アンバランスマグネットを用いたイオン化スパッタ装置で金属膜を成膜する場合、MOS デバイスの酸化膜が薄くなると耐圧ダメージが発生しやすくなる。放電開始の時、発散磁界に捕捉された電子が基板へ急激に供給され、基板面に不均一な電位を生じるため MOS デバイスの耐圧ダメージが発生すると考えられる。

アンバランスマグネットは発散磁界によってイオン化率を向上させ、ビアホールボトムカバレッジを上げることができる。しかし、アンバランスマグネットの発散磁界で微細パターンの酸化膜にダメージを与えてしまう。酸化膜にダメージを与えないためには、アンバランスマグネットの発散磁界方向を基板に垂直にしないマグネット設計が必要である。または、放電開始時、発散磁界によって基板へ荷電粒子を輸送させない工夫が必要である。

第4章 ピアバリアメタル形成用イオン化スパッタの開発

4 - 1 目的

第2章で発散磁界を強化したアンバランスマグネットを用いることで、ビアの埋め込み性が大幅に改善する結果が得られた。しかし、そのマグネットを用いた第3章で発散磁界が基板方向に向かうとMOSキャパシターの酸化膜にダメージを与えることがわかった。そこで、デバイスにダメージを与えることなく、ターゲットから放出される金属粒子のイオン化率を上げビア埋め込み性を向上させる必要がある。また、金属のイオン化率を上げるだけでは、基板エッジのビアにバリアメタルを形成する際、埋め込み非対称を抑制することができない。基板エッジのビアボトムに非対称なバリア成膜が生じるとボトムと側壁の境界でバリア性が低下してしまう。そこで、これら問題点を解決できるマグネットを開発し、ビアの埋め込み性を向上させる必要がある。

4 - 2 実験装置と実験方法

MOSキャパシターの酸化膜ダメージを低減するため、マグネットの発散磁界を弱める必要がある。しかし、マグネットの発散磁界を弱めるとターゲットから飛散する金属原子のイオン化率が低下し、ビア埋め込み性も低下することになる。そこで、発散磁界を弱めるマグネット構造とともに放電構造の検討を行った。

基板エッジにおけるTiバリア膜の埋め込み非対称を緩和する必要がある。そこで、ターゲットエロージョン形状によるビア埋め込み非対称を付録Cの(株)東芝生産技術センター製のスパッタシミュレーションによって検討した。図4-1にビアボトムの堆積非対称要因と非対称性の定義を示す。基板エッジのビア埋め込み性非対称は、図4-1に示すように、ターゲットの斜めから粒子が飛散したことで、ビアボトムに斜め堆積することで形成される⁵⁹⁻⁶²。そこで、非対称性を図4-1に示すようにボトム左右の堆積量の比()で示すものとする。

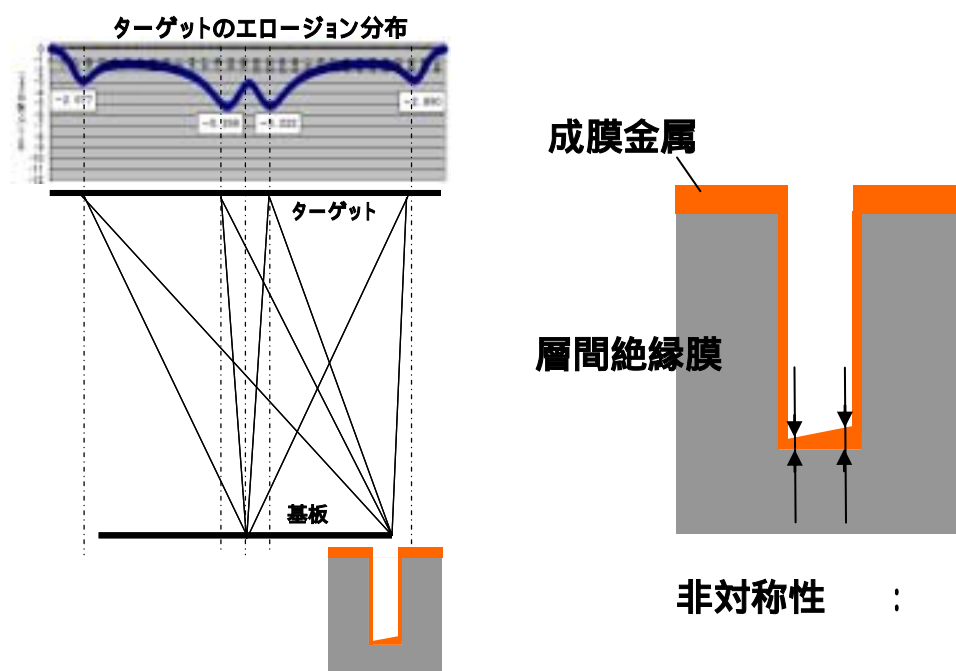


図4 - 1 ボトム堆積の非対称性要因と非対称性の定義

ターゲットエロージョン分布を算出し、そのエロージョン分布を元に、スパッタシミュレーション（付録C）を用いて、基板エッジのピア埋め込み非対称緩和を検討した。ターゲットエロージョンは、基本的にマグネットの形状に依存する。例えば、2重円マグネットの場合 N 極リングマグネットと S 極リングマグネット間を電子が $E \times B$ ドリフトすることで、Ar ガスと電子の衝突回数が増し、プラズマ密度が高くなる。ターゲット近傍に高プラズマ密度プラズマが形成されれば、Ar イオンは負電位のカソードに多く衝突し、ターゲットをよりエロージョンすることとなる。N 極リングと S 極リングの間で形成されるプラズマ分布によって、ターゲットのエロージョンは N 極と S 極の間でガウス分布として表わすことができる⁶³。ターゲット面をメッシュ化(1cm×1cm)し、ガウス分布で算出された数値をメッシュに入力する。それを回転中心で1周分積分し、エロージョン分布を求めた。

第4章 ピアバリアメタル形成用イオン化スパッタのマグネット開発

MOS キャパシタの酸化膜ダメージを評価するため、実際に作成したマグネットを使用して、図3 - 4の実験装置で基板電流を測定した。また、マグネットを30度毎移動静止させ、基板外周に流れる電流波形を測定し、放電開始時に基板に流れ込む電流の時間変化を測定した。同時に、図3 - 3に示したアンテナMOSキャパシターを使用して、酸化膜ダメージの有無を評価した。アンテナMOSキャパシターは、アンテナ比33万倍、ゲート酸化膜厚25,30,40,50,80の5種類を用いた。

スパッタ装置にSIS構造を用い、放電状態を評価するとともにTi、TiNの埋め込み性を評価した。埋め込み性の評価には、アスペクト5（間口0.2 μm 、深さ1 μm ）のピアを用いた。

4 - 3 結果と考察

4 - 3 - 1 マグネット構造の検討

基板エッジのピア埋め込みに対する非対称性は図4 - 1に示したように、斜め入射成分によると考えられる。しかし、ターゲットエッジから飛散する粒子は、斜め成分だけではなく、その直下のピア埋め込み性も向上でき、非対称を抑制できる可能性がある。そこで、ターゲット外周のエロージョン量を増加することで、ピアボトム埋め込み性を改善できるか検討した。図4 - 2に発散磁界型マグネットのエロージョン分布とターゲット外周エロージョン量が多いことを仮定したマグネットをエロージョンシミュレーションで計算した結果を示す。図4 - 2のエロージョン分布は、ターゲット半分を表示している。発散磁界型マグネットのエロージョンは、ターゲット中心部分の量が多い。これは、N極リングマグネットとS極リングマグネット間はプラズマ密度が高く、マグネットの回転中心近傍はマグネット回転とともに常に高密度プラズマに曝されるためである。図4 - 2で示した発散強化型マグネットとターゲットエッジのエロージョン量が多くなる仮定マグネットのエロージョン分布を用いて、埋め込み性能をスパッタシミュレーションで評価した。

ピアの左右側壁に堆積する入射粒子数を比較することで、非対称性を評価した。(粒子付着の少ない側壁の粒子数) ÷ (ピア側壁に入射し堆積した粒子数) × 100 (%) でシミュレーションによる非対称性を表した。50%に近づくほど非対称性が改善することになる。

図4 - 2示したエロージョン分布を用いて、基板エッジのボトム側壁に付着する粒子評価をスパッタシミュレーションによって行った。その結果を図4 - 2に示す。発散磁界強化型マグネットの場合、側壁の粒子比率は20%であるのに対して、仮定マグネットの場合、30%と非対称性が改善していることがわかる。ターゲットエッジから飛散する粒子数を増加させることが、基板エッジのピアボトム埋め込み非対称を改善

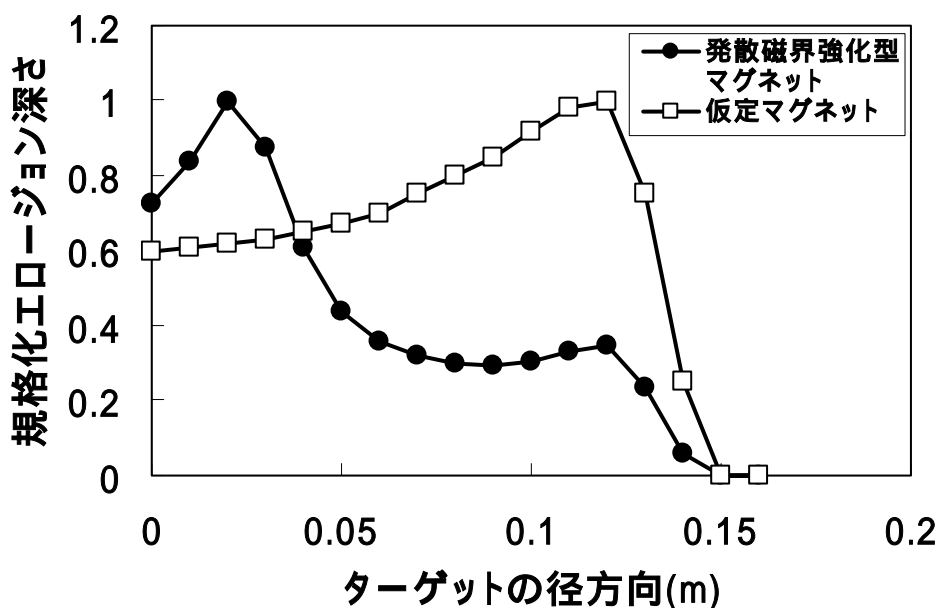


図4 - 2 ターゲットエロージョンシミュレーションによるエロージョン分布
(ターゲット 300mm、エロージョン分布は半径分のみ表示)

発散磁界強化型マグネット



左右側壁の入射粒子比:20%

仮定マグネット



左右側壁の入射粒子比:30%

図4 - 3 スパッタシミュレーションによる基板エッジビアの入射粒子評価

基板エッジのビアに対して、ビアの左右側壁に入射し付着した粒子数をシミュレーションから算出した。その左右比率であり、50%に近いほど均一であることを始点としている。

第4章 ピアバリアメタル形成用イオン化スパッタのマグネット開発

に有効であることがわかった。そこで、MOS デバイスの酸化膜ダメージを与えることなく、ターゲット外周のエロージョン量を増加させ、発散強化型マグネットを使用した場合のピア埋め込み性を確保するマグネットを検討する必要がある。

ターゲット外周エロージョン量を増加させるため、外周のプラズマ軌跡量を増加させる必要がある。ターゲット外周にプラズマを形成するとプラズマの一部がアースシールドに拡散するため、放電維持が難しいという問題がある。また、Ti、TiN を対象としたマグネットであることから、ターゲット上にリデポ膜が形成されると基板上へのダスト発生要因となるため、ターゲット全面をエロージョンする必要がある。

プラズマ密度が低く、エロージョンできない部分が生じるとターゲットから飛散した粒子の一部がターゲットに再付着する。付着した粒子は膜となり、剥離するとパーティクルとして基板上に堆積し、リークなどの配線不良となってしまう。

これらを考慮すると、ターゲット外周部に高密度のプラズマを形成し、放電維持可能とし、さらにマグネット回転で、プラズマ密度の高い部分がターゲット全面を回転軌跡し、ターゲットをエロージョンしなければならない。また、MOS デバイスの酸化膜にダメージを与えない必要がある。

そこで、ターゲット外周のプラズマ軌跡量増加とターゲットの全面エロージョンを実現させるため、図4-4に示す2つの円弧型マグネット構造を考えた。ターゲット外周でプラズマが拡散すると放電維持が難しくなるため、N極とS極の磁極間距離を狭め、プラズマの高密度化とグランドシールドへの拡散を抑制する。図4-4に示すように、円弧型マグネットに3箇所磁場アンバランス部分を設け、発散磁界によるMOS デバイスの酸化膜ダメージ低減を試みる^{65,66}。ターゲットの全面エロージョンを考慮し、プラズマ発生領域が回転中心にかからないものがA、回転中心にオーバーするものがBのマグネットである。これらマグネットからエロージョン分布を計算した結果を図4-4マグネット構造の下に示している。回転中心のオーバー部がある

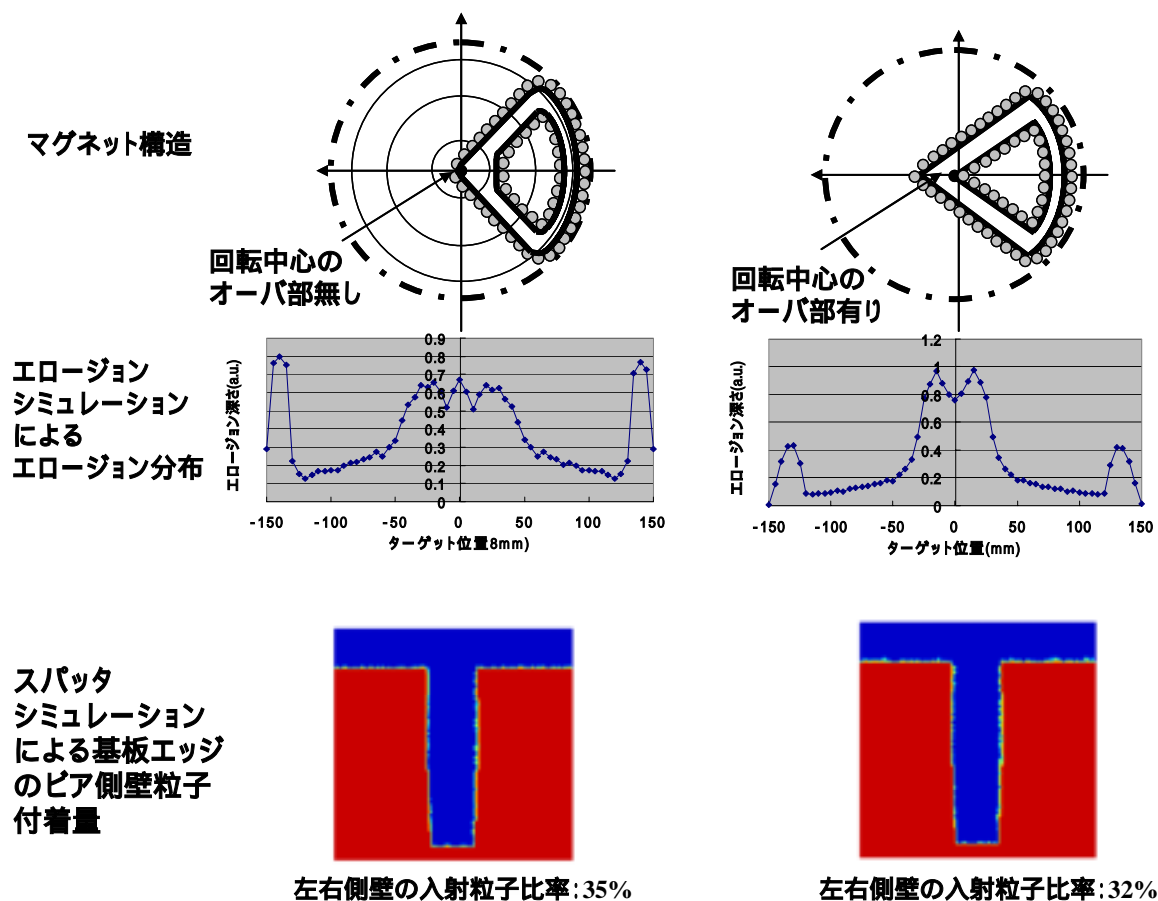


図4 - 4 円弧型マグネット構造案によるエロージョン分布とピア側壁入射粒子比

回転中心にエロージョン部分がオーバーラップしない円弧型マグネットとオーバーラップする円弧マグネットを考案した。それらマグネットの形状を元にエロージョンシミュレーションによってエロージョン分布を計算した。さらに、そのエロージョン分布を元にスパッタシミュレーションによって基板エッジのピアに対して、左右に付着する粒子比率を算出した。

第4章 ピアバリアメタル形成用イオン化スパッタのマグネット開発

円弧マグネット B の場合、ターゲット中心のエロージョン量が多く、発散磁界強化型マグネットに類似している。円弧型マグネット A、B のエロージョン分布を元に、スパッタシミュレーションにて基板エッジビアの側壁付着比を計算した。その結果、ビア側壁への粒子付着比は円弧型マグネット A が 35%、円弧型マグネット B が 32%であった。回転中心のオーバー部分がある円弧型マグネット B でも発散磁界強化型マグネットに比べるとかなり非対称性が緩和されている。これは発散磁界強化型マグネットのエロージョンがターゲット中央からエッジまでの間の量が多く、その斜め入射成分によると考えられる。

図 4 - 4 に示した円弧型マグネット A を製作し、磁場分布を測定した結果を図 4 - 5 に示す。図 4 - 5 では比較のため発散磁界強化型マグネットも示している。円弧型マグネット A の磁界は基板より離れていることがわかる。円弧型マグネットの発散磁界は図 4 - 5 の赤丸で記した 3 箇所になる。中央部でも基板中心方向に発散磁界が強く伸びていない。

基板エッジの発散磁界の影響を評価するため、基板エッジに相当する部分で基板電流の測定を行った。測定は図 3 - 4 の方法で、基板エッジ 180mm の位置にプローブを固定し、マグネットを右回りに 30 度毎シフトさせて、放電開始波形の dI/dt を測定した。その結果を図 4 - 6 に示す。図 4 - 6 に示すように、発散磁界強化型マグネットに比べ円弧型マグネットの dI/dt が 1 回転に渡って低い値であることがわかる。円弧型マグネットを用いて MOS キャパシタの酸化膜ダメージ評価を行った結果、を図 4 - 7 に示す。ゲート酸化膜厚 30 てもリーク不良は 0 であった。円弧型マグネットにすることで、基板方向に伸びる発散磁界を抑制でき、MOS キャパシタの酸化膜ダメージをなくすことができた。

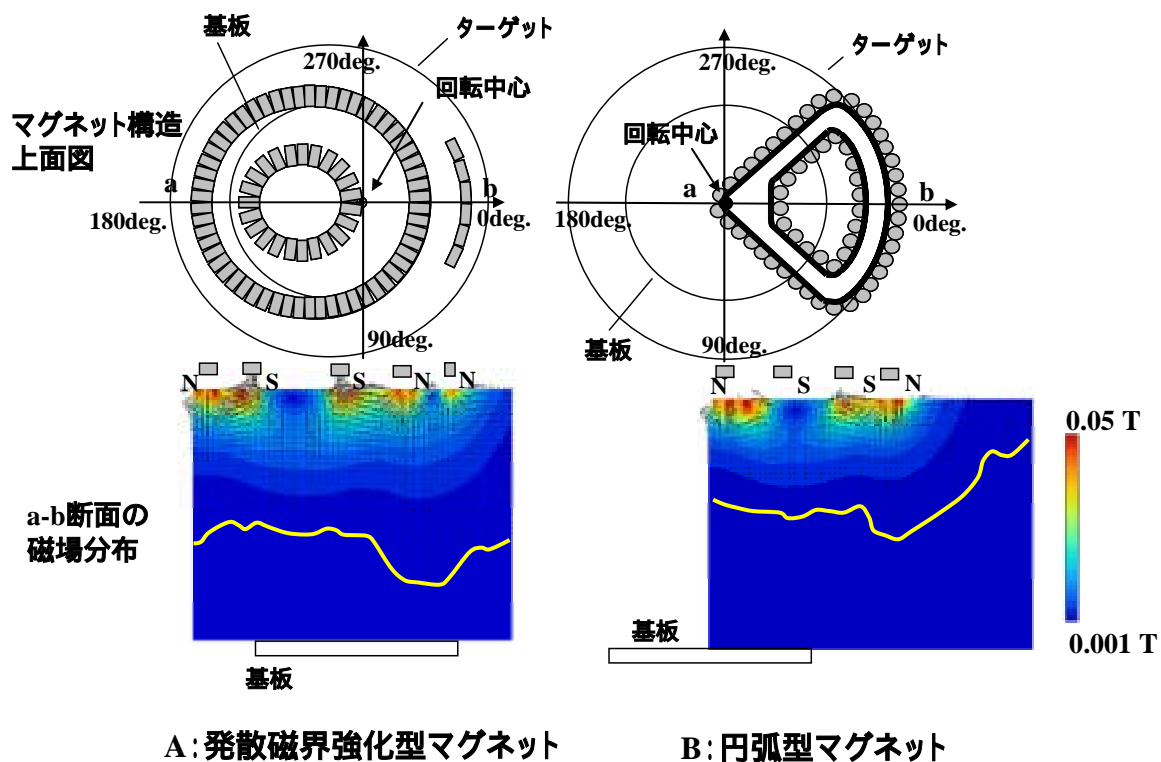


図4 - 5 マグネット構造と磁場分布

マグネットを試作し、測定器で2次元の磁場強度を測定して表した磁場分布である。

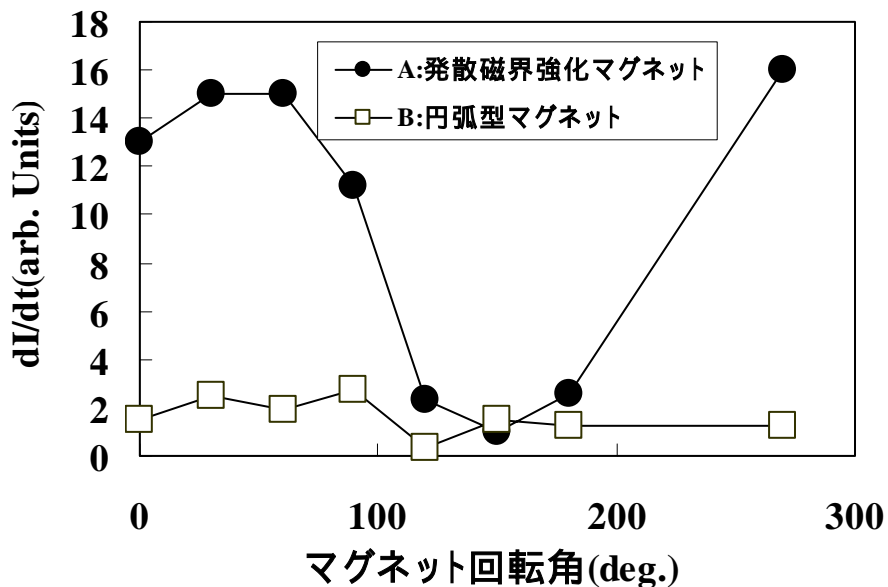


図4 - 6 マグネットの回転位置と dI/dt との関係

放電開始時における基板エッジの基板電流はマグネット30度毎右回りにシフトさせて測定した。

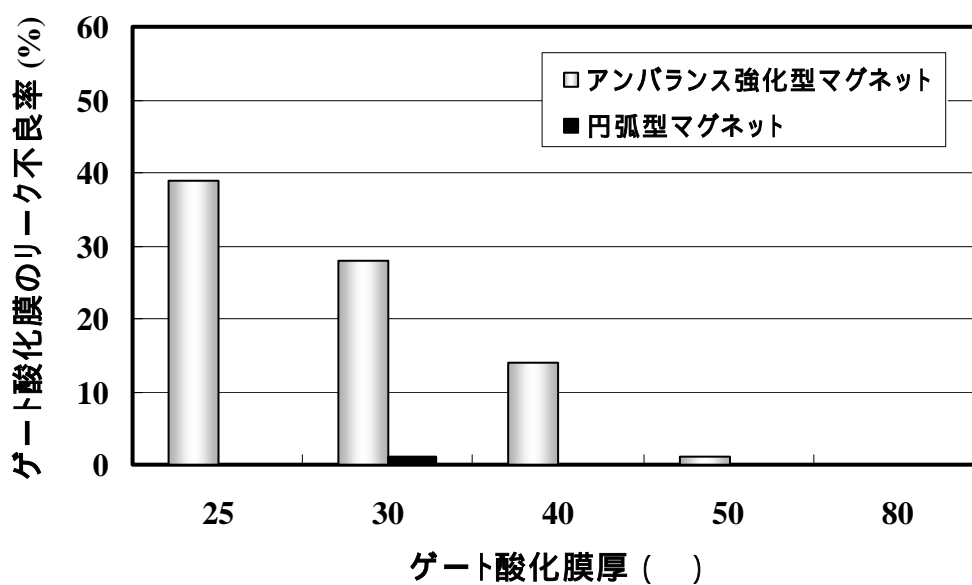


図4 - 7 ゲート酸化膜厚に対するゲート酸化膜のリーク不良率

使用したアンテナ MOS デバイスのアンテナ比は 33 万倍であった。

発散磁界を強化したアンバランスマグネットに比べ、円弧型マグネットを用いることでゲート酸化膜へのダメージが抑制されている。

4 - 3 - 2 円弧型マグネットによる Ti のピア埋め込み性評価

円弧型マグネットを図4 - 8に示す SIS 装置に用い、ピアの埋め込み性を評価した。図4 - 8に示したように、今までの実験装置にイオンリフレクター（IR：アースシールドにプラス電位を印加）を追加した構造となっている⁶⁴。IR は発散磁界等でイオン化した粒子を基板中心方向に押し戻すため、プラスに電位を印加した構造となっている。第2章と同じ要領で放電開始限界を測定した結果を図4 - 9に示す。放電開始は Ar ガス流量 30sccm 以上で可能であることから、第2章と同様に Ar ガス流量は 35sccm とした。2重円マグネットの発散磁界を強化したマグネットのカソード電圧に比べ、Ar ガス流量が一定の場合、カソード電圧が高い。パワー一定制御であることから、カソード電圧が高くなることはカソード電流が少なくなることになる。このことは、第2章で示した2重円構造の発散磁界を強化したマグネットに比べ、プラズマ密度が低いことを意味している。イオンリフレクター（IR）を 100V にした場合の放電開始限界を図4 - 10に示す。IR 電圧を印加することで、カソード電圧が低下している。このことから、IR 電圧を印加することでカソード電流が増加し、プラズマ密度が高くなったことを示している。このことは、第2章で示した2重円構造の発散磁界を強化したマグネットの場合に比べ、さらにプラズマ密度が高くなっていることを表している。

DC パワーを 15kW、Ar ガス流を 35sccm で放電し、IR 電圧を変化させて、図3 - 4の方法で基板電流の測定を行った。測定位置は基板センターとし、測定子に -100V 印加し、基板電流を測定した。その結果を図4 - 11に示す。IR 電圧 25V 以上から基板電流が増加し、70V 以上で基板電流は飽和している。IR 電圧 25V 以上から基板に流入するイオン量が増加し、70V で飽和していると言える。Ti イオンの基板引き込み量は 70V 以上でほぼ同じであることから、IR 電圧を 100V に設定した。

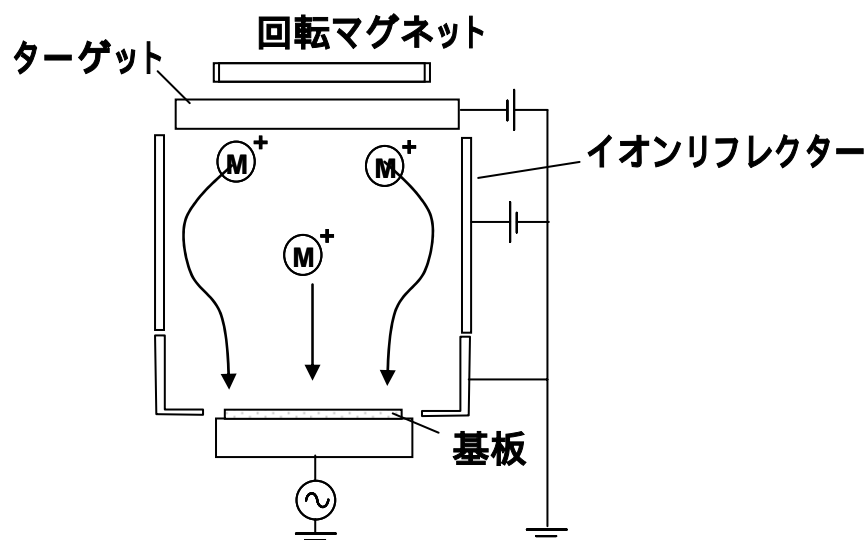


図4 - 8 Ti用 SIS 構造のイオン化スパッタ装置

SIS (Self Ionized Sputter) ULVAC 社が Cu の自己保持放電用に開発した装置構造である。Cu はスパッタ率が高いため、放電開始のみ Ar ガスが必要であるが、放電されれば、Ar ガスなしでも放電するが、Ti はスパッタ率が低いため、自己保持放電できない。イオンリフレクターにプラス電位を印加しているのは、プラスに帯電したメタルイオンを基板中心方向に押し戻すためである。

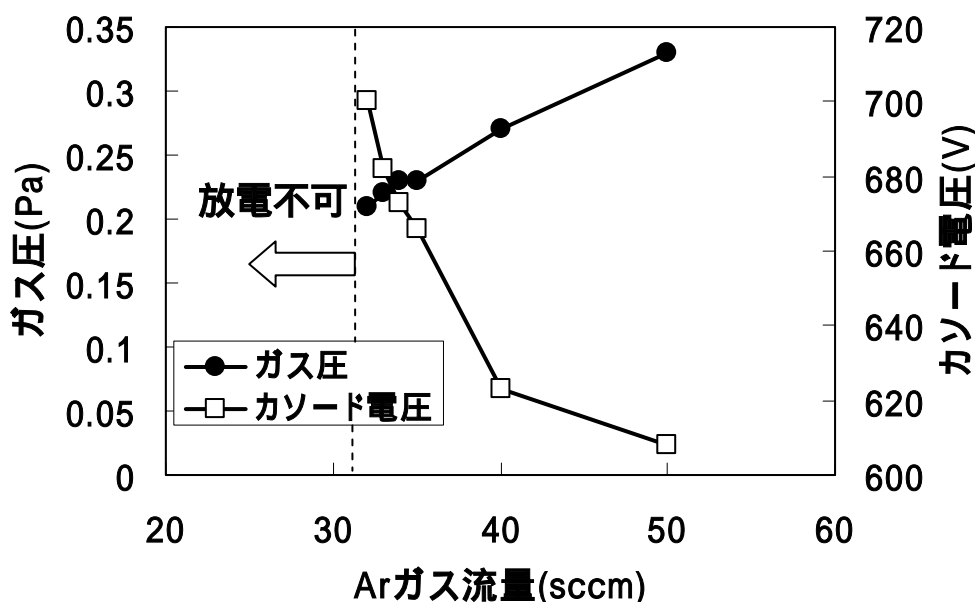


図4 - 9 Ar ガス流量に対するガス圧およびカソード電圧との関係

DC パワーを 15 kW とし、Ar ガス流量を変化させ放電開始できた場合のガス圧とその時のカソード電圧を示している。円弧型マグネットを SIS 装置に使用した場合である。

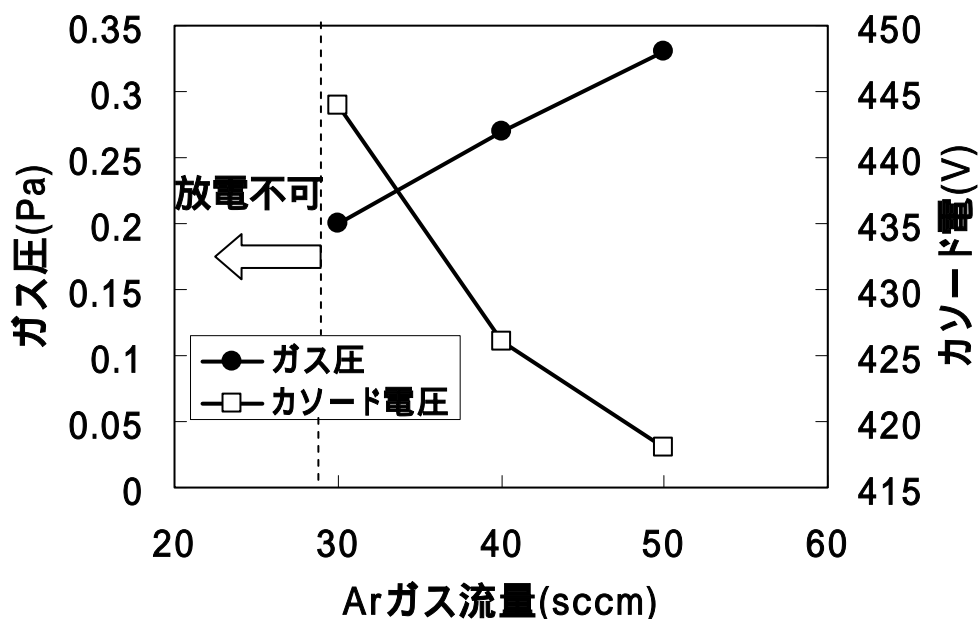


図4 - 10 Ar ガス流量に対するガス圧およびカソード電圧との関係

DC パワーを15 kW、IR 電圧を100V とし、Ar ガス流量を変化させ放電開始できた場合のガス圧とその時のカソード電圧を示している。円弧型マグネットを SIS 装置に使用した場合である。

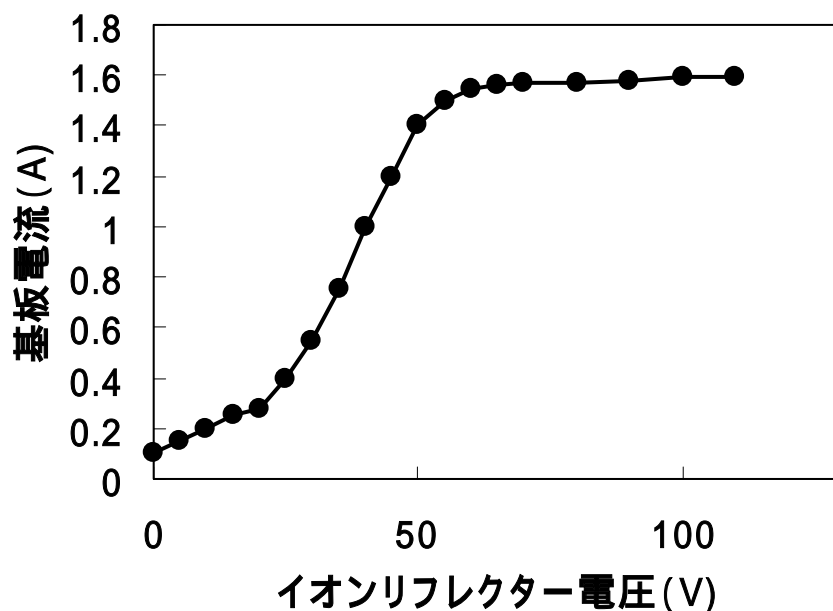


図4 - 11 イオンリフレクター電圧と基板電流の関係

DC パワー：15kW、Ar ガス流量:35sccm で放電し、IR 電圧を変化させて基板電流を測定した。

第4章 ビアバリアメタル形成用イオン化スパッタのマグネット開発

アスペクト5のビア埋め込みを行う成膜条件は、DC パワー15kW、Ar ガス流量35sccm、RF バイアスパワー100W、IR 電圧100V、基板温度350とした。まず、Si 基板に熱酸化膜を(1000)成膜し、その上にTi 膜を上記成膜条件で3000成膜後、膜厚および比抵抗の基板内分布を測定した。図4-12に基板の測定位置に対する膜厚分布と比抵抗分布を示す。膜厚分布の均一性は $\pm 2.9\%$ (目標レベル： $< \pm 10\%$)、比抵抗の均一性は $\pm 5.5\%$ で、比抵抗の平均値は $62.9 \mu \text{ cm}$ (目標レベル： $< 100 \mu \text{ cm}$)であった。

アスペクト5のビアに先の成膜条件(DC パワー15kW、Ar ガス流量35sccm、RF バイアスパワー100W、IR 電圧100V、基板温度350)で膜厚100nmのTiを成膜し、断面SEMで埋め込み形状の評価を行った。第2章で示した2重円の発散磁界を強化したマグネットと円弧型マグネットを用いたときのビア埋め込み形状を図4-13に示す。円弧型マグネットを用いることで、ビアのボトムカバレッジ率は基板センターで37.3%、基板エッジで37.3%であった。第2章で示した発散磁界強化した2重円マグネットのボトムカバレッジ率(基板センター：38.6%、基板エッジ：34.6%)と同等レベルの埋め込み性能が得られた。ただし、発散磁界強化型マグネットを用いた場合の埋め込み非対称性は $\text{ : } = 1:1.25$ であるのに対して、円弧型マグネットを用いた場合は、 $\text{ : } = 1:1.16$ と円弧型マグネットを用いることで非対称性が大幅に改善した。ここで、 : が1:1に近づくほど対称である。円弧型マグネットは、基板エッジに向かう発散磁界を弱めたが、イオンリフレクターを用いることでプラズマ密度が高くなった。このことで、Tiイオン化率を向上でき、ボトムカバレッジ率が高くなったと考えられる。また、ターゲット外周のエロージョン量を積極的に増加させたことで、スパッタシミュレーションで予測したように基板エッジのビアボトム埋め込み非対称性を低減することができた。

第4章 ピアバリアメタル形成用イオン化スパッタのマグネット開発

また、アンテナ MOS キャパシターの酸化膜厚 25 に上記条件(DC パワー15kW、Ar ガス流量 35sccm、RF バイアスパワー100W、IR 電圧 100V、基板温度 350)で Ti を成膜し、酸化膜ダメージを評価したが、リーク不良率は 0%であった。このことから、IR を用いることでプラズマ密度は高くなったが、 dI/dt が小さくなったことで、ゲート酸化膜にダメージが入らなくなったためと考えられる。

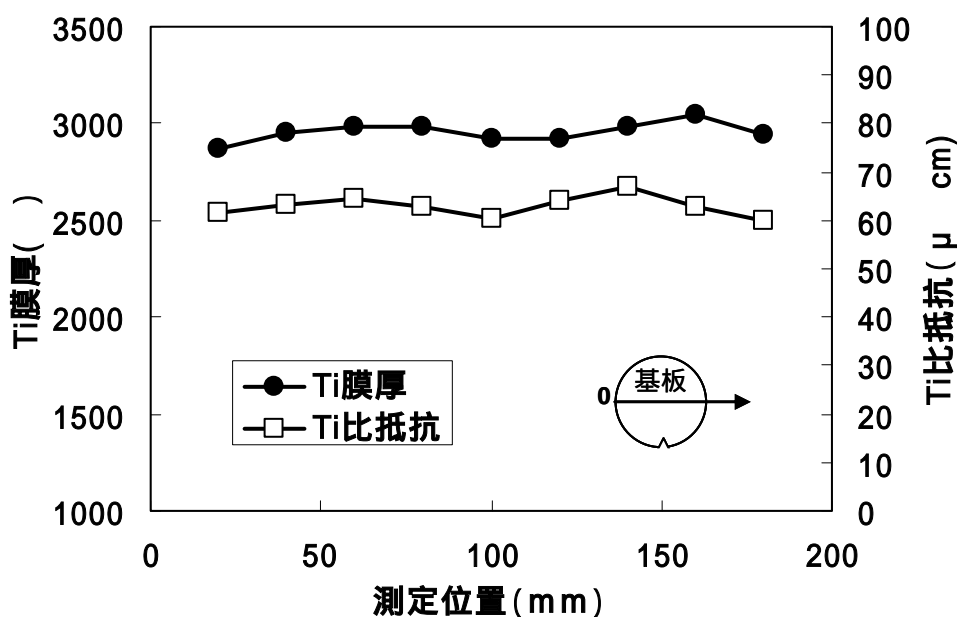


図4 - 1 2 測定位置に対する Ti 膜厚と Ti 比抵抗の関係

比抵抗は四探針法でシート抵抗を測定し、膜厚から計算した。

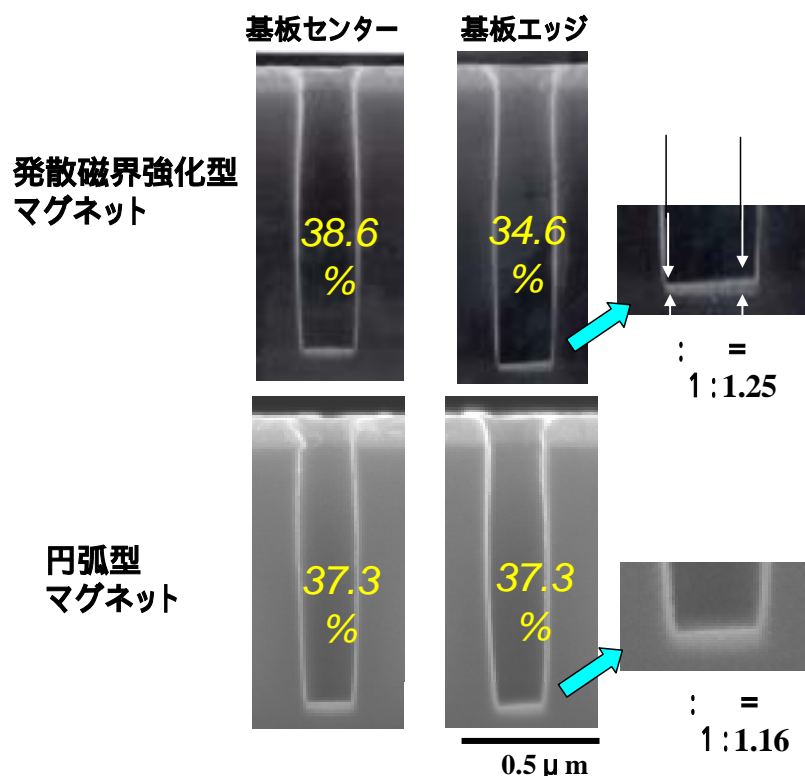


図4 - 1 3 Ti のピア埋め込み形状の SEM 像

DC パワー15kW、Ar ガス流量 35sccm、RF バイアスパワー100W、IR 電圧 100V、
基板温度 350 、ピアアスペクト 5 (間口 0.2 μm、深さ 1 μm)

4 - 3 - 3 円弧型マグネットによる TiN のピア埋め込み性評価

ピア埋め込み性を向上させるためには、ターゲットから飛散する粒子とガスとの衝突回数を低下させ、対向する基板に対する斜め入射粒子を低減する必要がある。それには、成膜時のガス圧を低くする必要がある。そこで、TiN 成膜時に使用する Ar ガスと N₂ ガスのトータル流量を削減するため、まず Ar ガス流量低減を試みた。Ti 成膜時は放電開始限界から流量を 35sccm とした。TiN 成膜では Ar ガスと N₂ ガスを使用することから、トータルガス圧が高く放電開始は容易である。そこで、Ar ガスのみで放電させ、ガス流量を徐々に低下し放電維持できるガス流量（ガス圧）を測定した。その結果、Ar ガス流量 30sccm まで放電維持できることがわかった。そこで、Ar ガス流量を 30sccm に固定し、N₂ ガス流量を変化させトータルガス圧のヒステリシスを測定した。ここで、DC パワー15kW、IR 電圧は 100V と GND の 2 種類を測定した。その結果を、図 4 - 1 4 に示す。第 2 章で記したように、IR 電圧 100V の場合、N₂ ガス流量 58sccm 以上で Ti が窒化し、GND の場合は N₂ ガス流量 62sccm 以上で Ti 窒化する。そこで、ガス流量の安定性を考慮し、TiN 成膜時の Ar ガス流量は 30sccm、N₂ ガス流量は 65sccm とした。Si 基板に熱酸化膜を 1000 成膜し、その上に TiN 膜を 2000 成膜し、膜厚および比抵抗の測定を行った。図 4 - 1 5 に基板の測定位置に対する膜厚分布と比抵抗分布を示す。膜厚分布の均一性は ±6.2%（目標レベル：< ±10%）、比抵抗の均一性は ±2.8%で、比抵抗の平均値は 55.4 μ cm（目標レベル：< 150 μ cm）であり、膜質的に問題ないことが確認できた。

アスペクトレシオ 5 のピアに TiN を成膜し、第 2 章で示した 2 重円の発散磁界強化型マグネットと形状比較した結果を図 4 - 1 6 に示す。Ti 同様にボトムカバレッジ率は基板中央 38.9%、基板エッジ 38.9%と同等以上で、基板エッジのボトム埋め込み非対称性は発散磁界強化型マグネットが 1:1.42 であるのに対して、円弧型マグネットを用いることで 1:1.19 と改善している。

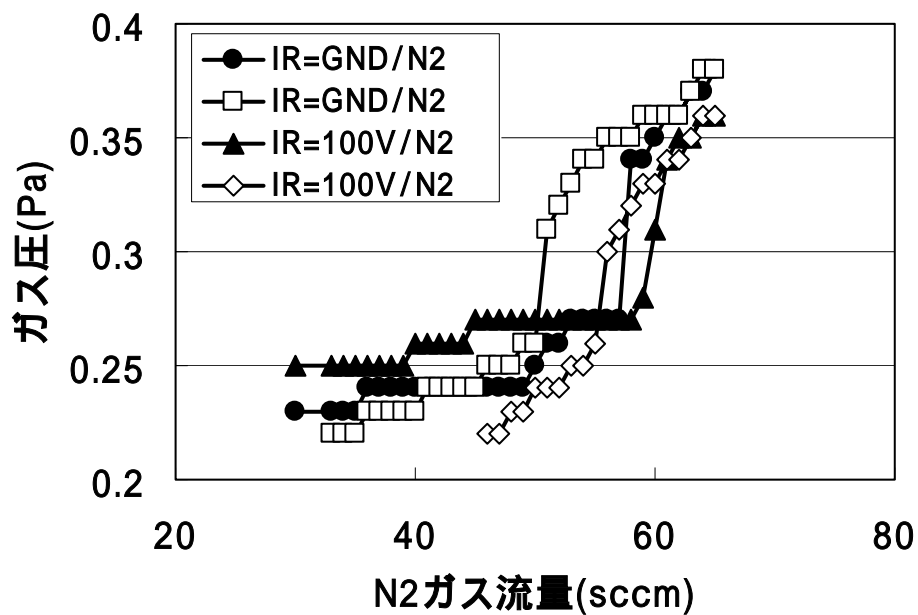


図4 - 1 4 N2 ガス流量に対するガス圧との関係

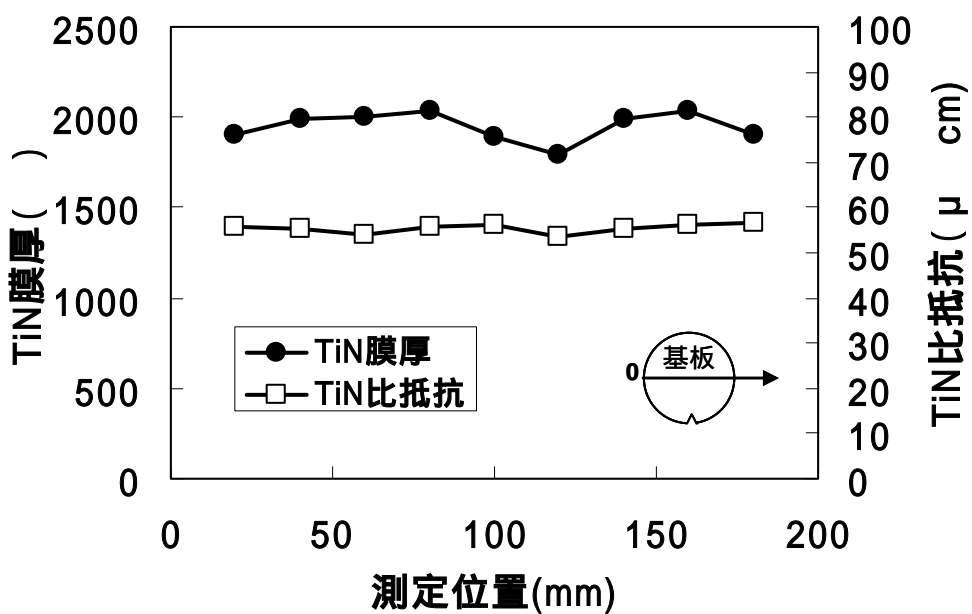


図4 - 1 5 測定位置における膜厚と比抵抗の関係

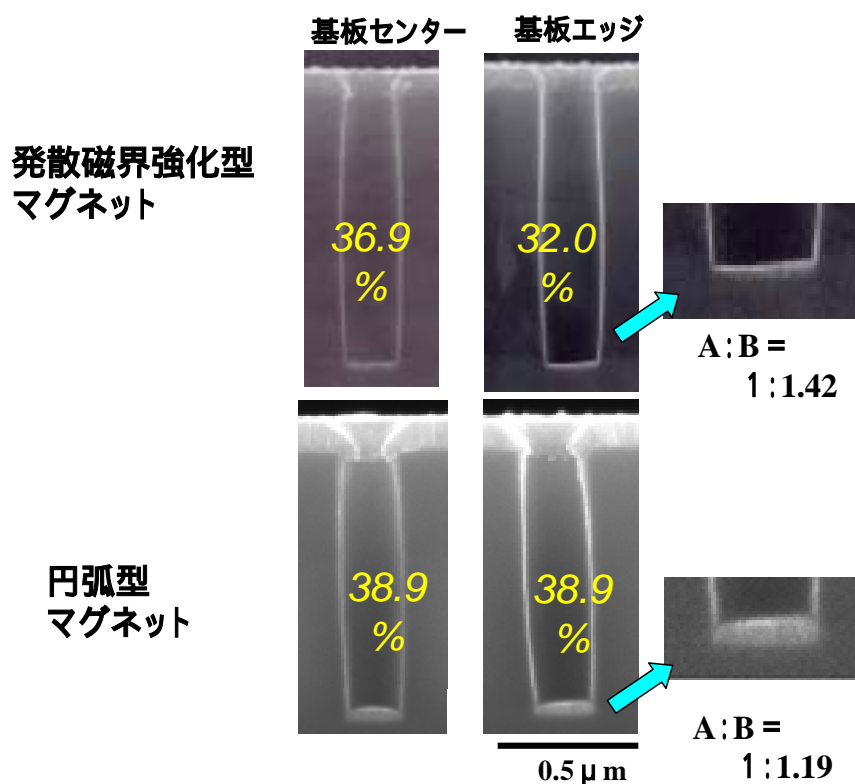


図4 - 16 TiN のピア埋め込み形状の SEM 像

DC パワー15kW、Ar ガス流量 35sccm、N₂ ガス流量 65sccm、RF バイアスパワー100W、IR 電圧 100V、基板温度 350 、ピアアスペクト5 (間口 0.2 μm、深さ 1 μm)

4 - 4 まとめ

デバイスにダメージを与えず、基板エッジのピア埋め込み性向上と基板エッジのピア埋め込み性における非対称性改善を検討した。デバイスダメージ低減には、基板方向に発散磁界を伸ばさないことが必要であることが、第3章よりわかっている。また、基板エッジのピア埋め込み非対称性改善はスパッタシミュレーションからターゲットエッジからの飛散量を増加させることで改善されることがわかった。そこで、デバイスダメージ対策として、発散磁界を分散し、基板まで届く強力な発散磁界をなくすこととした。さらに、ターゲット近傍のプラズマ密度を高くし Ti イオン化率を上げるため、N 極と S 極を近づけ、イオンリフレクターを設置した SIS 装置を使用した。

これら指針を元に円弧型マグネットを SIS 装置に使用し、埋め込み性とデバイスダメージの評価を行った。その結果ボトムカバレッジは第2章で考案した発散強化型マグネットを使用して、ピア埋め込みを行った際のボトムカバレッジ率以上が Ti、TiN とともに得られ、基板エッジのピアボトム非対称性も大幅に改善することができた。また、Ti、TiN はピアバリア膜としての性能上も問題ないことを確認した。

第5章 300mm 基板のバリア膜成膜用イオン化スパッタ開発

5 - 1 目的

約10年前から、基板サイズを200mmから300mmと拡大し、1基板から得られるチップの取れ数を増やし、チップコストを低減する試算が行われ、数年前から基板サイズ300mmの先端半導体工場が稼働している⁶⁷。第4章まで200mm基板に対応したイオン化スパッタによるビア埋め込みを議論してきた。本章では、200mm基板で開発したマグネット構造を300mm基板に対応するイオン化スパッタに適用することを検討する。基板サイズが拡大することで、ターゲットサイズも拡大することになる。200mm基板のとき使用していたターゲットサイズは300mmを使用していたが、300mm基板を用いる場合のターゲットサイズには400mmを使用する。ターゲットと基板間距離は200mm基板の場合300mmであったが、300mm基板でも300mmとした。基板サイズに対応して、幾何学的にサイズ拡大すると1.5倍のサイズとなるが、装置コスト、生産性の観点から、ターゲット、ターゲットと基板間サイズを上記サイズとした。このサイズの装置に、第4章で開発したマグネット構造の適用を検討するとともにTi、TiNのビア埋め込み性能向上を検討した。また、量産時問題となる成膜中のパーティクルについても検討した。

5 - 2 実験装置と実験方法

実験装置は図5-1に示すSIS装置に円弧型マグネットを使用した。ターゲットサイズは400mm、T/S距離は300mmとした。円弧型マグネットとターゲット表面の磁場強度を図5-2に示す。200mm基板用のイオン化スパッタ装置で開発した図4-4に示す円弧型マグネット構造を基本形とした。マグネットN極とS極との間隔は拡大せず、外形のみを拡大した。N極とS極の面積は200mmの時の1.2倍であった。DCパワーは、マグネットN極とS極の間に集中して供給されることから、

200mm 基板のイオン化スパッタ装置で DC パワー15kW投入した場合、 300mm 基板のイオンスパッタ装置では 18kW に相当する。第 2 章、第 3 章と同様にガス圧に対する放電特性から Ar ガス流量を設定した。また、TiN 成膜時の N₂ ガスに対する圧力のヒステリシス特性から N₂ ガス流量を設定した。さらに、図 5 - 2 に示す方法でイオンリフレクター電圧を変化させて、基板電流（基板に入射するイオン量）を測定し、基板電流が高くなるイオンリフレクター電圧値を用いた。

上記方法で設定した放電条件を元に、付録 2 のプラズマシミュレーションを用いてプラズマ状態を評価した。また、アスペクトレシオ 5（ビア径 0.2 μm、深さ 1 μm）のビアに Ti、TiN を成膜し、ビア割断後、断面 SEM にて埋め込み形状評価を行った。微細化するビアの埋め込み性をより詳細に評価するため、アスペクトレシオ 16（ビア径 50nm、深さ 0.8 μm）のビアを用いて埋め込み性を TEM(Transmission electron microscopy:透過型電子顕微鏡) にて評価した。

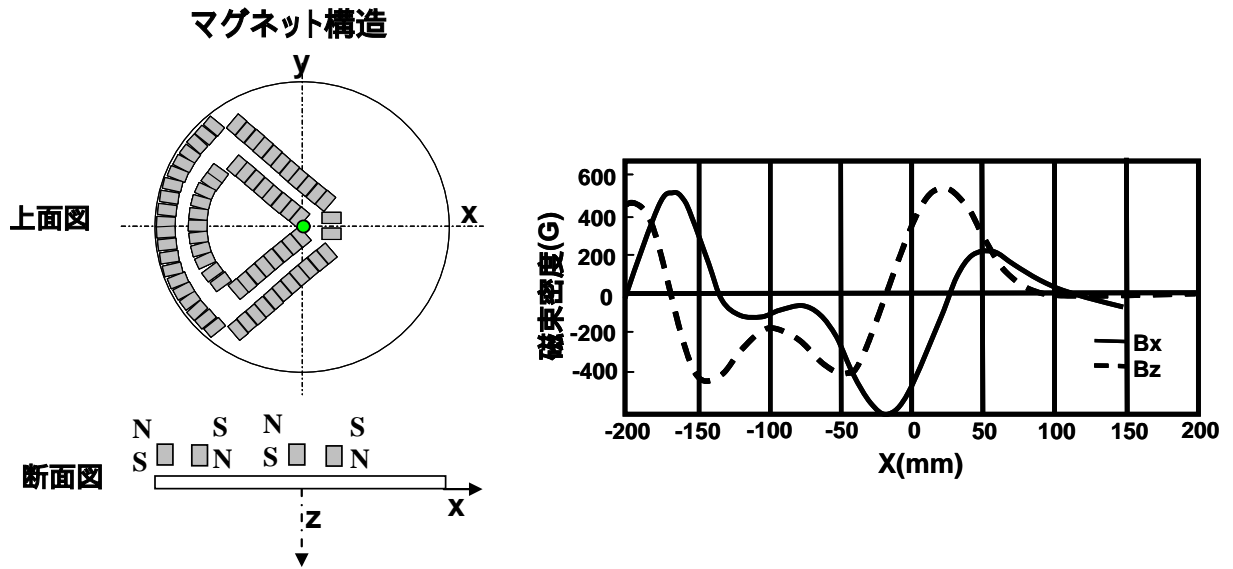


図5 - 1 マグネット構造とターゲット表面の磁束密度強度

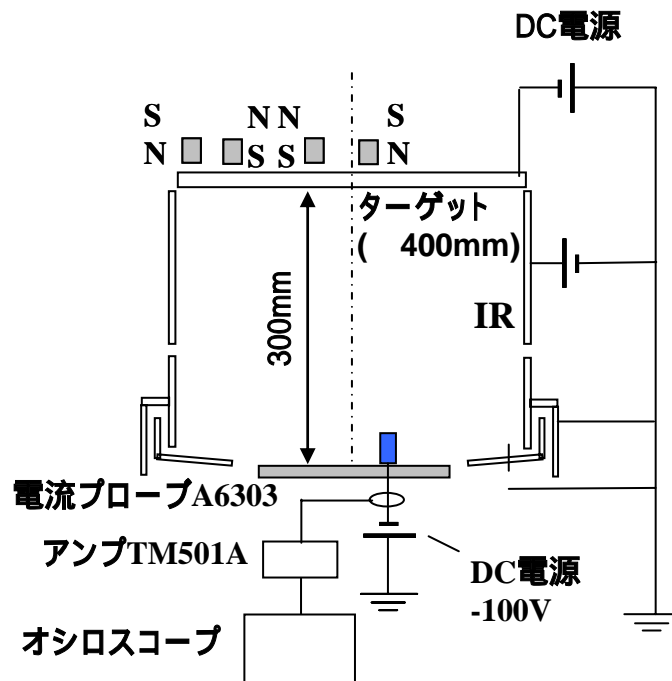


図5 - 2 実験装置と基板電流測定概略図

5 - 3 結果と考察

5 - 3 - 1 マグネット構造と装置構造の検討

Ti 成膜時の Ar ガス量を決定するため、放電特性を測定した。その結果を図 5 - 3 に示す。カソード DC パワー 18kW とした場合、放電開始限界 4sccm、放電維持限界が 5sccm であった。ガス圧に対して、カソード電圧変化が安定していることを考慮し Ti 成膜時の Ar 流量を 20sccm とした。

カソード DC パワーを 18kW、Ar ガス流量を 20sccm で放電し、図 5 - 2 の測定系でイオンリフレクター(IR)電圧を変えて基板電流を測定した。その結果を図 5 - 3 に示す。IR 電圧が 70V 以上で基板電流が 0.4A で飽和している。図 4 - 1 1 の 200 基板用イオン化スパッタの場合、飽和基板電流は 1.6A であることから、基板電流が低いと言える。基板電流が低いことは、基板に入射するイオンが少ないことを意味している。原因を推定するため、付録 2 のプラズマシミュレーションでプラズマ状態を評価した。図 5 - 4 にプラズマシミュレーションの結果を示す。全体的にプラズマ密度が低く、ターゲット外周の電子密度の高い部分が、IR 方向に向かっている。これは、IR がプラスの電位に印加されているため、電子が IR に吸い込まれていくものと考えられる。

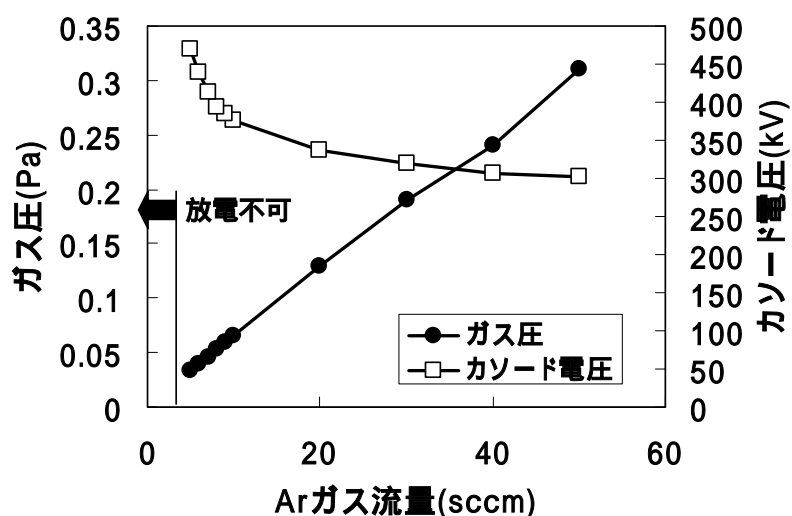


図 5 - 3 Ar ガス流量に対するガス圧とカソード電圧の関係

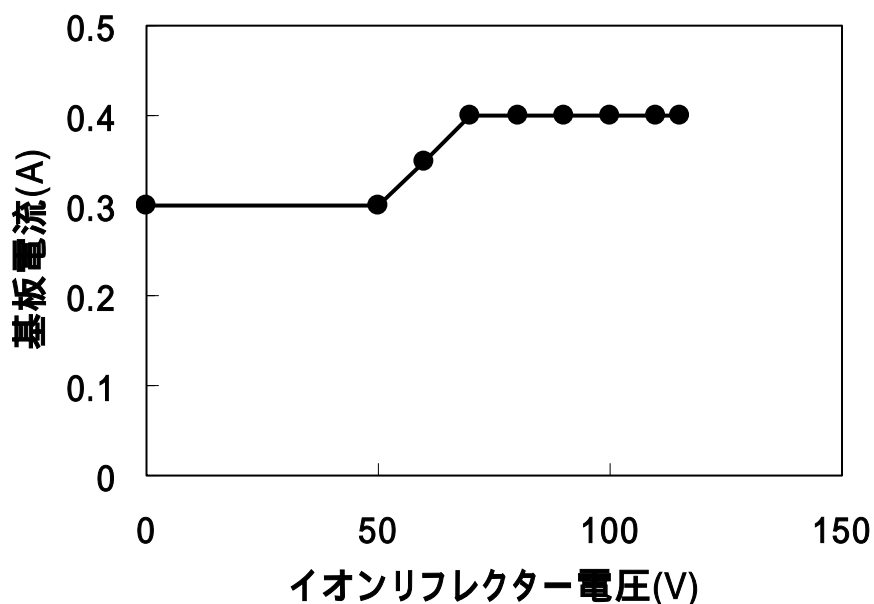


図5 - 4 イオンリフレクター電圧に対する基板電流の関係

DC パワー18kW、Ar ガス流量 20sccm で放電し、IR 電圧を変えて基板電流を測定した。

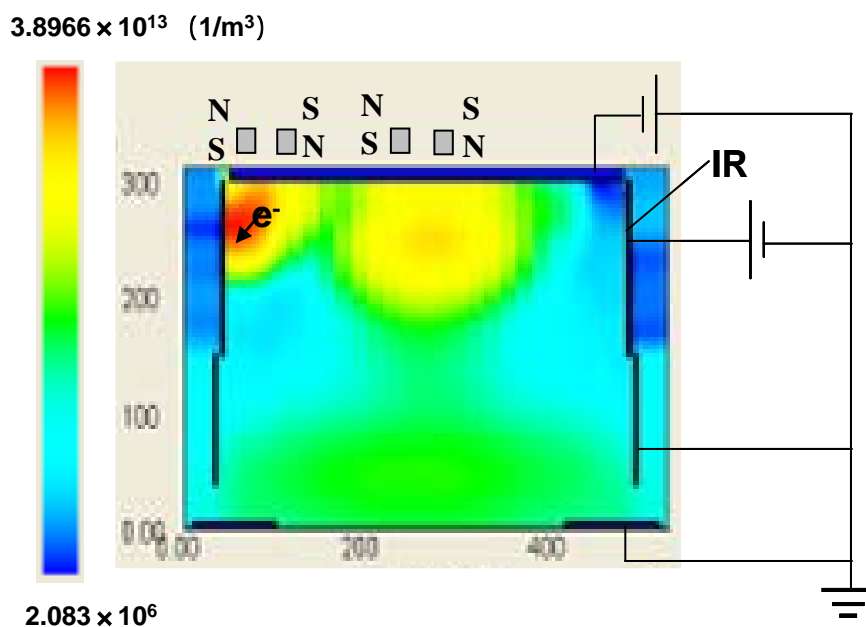


図5 - 5 プラズマシミュレーションによる電子密度分布

DC 電圧 : - 350V、ガス圧 : 0.13Pa、バイアス電圧 : - 100V、IR : 100V として計算した。

IR とプラズマが近い場合、電子が IR に吸い込まれることから、円弧型マグネットの外周をターゲット外周から中心方向にシフトするとともに IR とターゲットの間に電氣的にグランドを設置し、IR にプラズマから電子が吸収され難くする方法を検討した。上記に示したマグネット構造の装置におけるプラズマシミュレーションの結果を示す。円弧型マグネットの外周部を中心部にシフトしたことでターゲットと IR の間にグランド部を設置したことで、電子が IR に拡散することを抑制することができた。さらに、電子密度の高い領域を増やすことができた。これは、電子の拡散を抑制したことで電子密度を高くすることができたことと、マグネットの回転中心部分のマグネットを密にしたことで、水平方向の磁場を閉じ込めることができたものと考えられる。この結果から、基板に入射するイオン量の増加を確認するため、基板電流を測定した。また、基板外周方向に電子の流れが発生していることから、第3章で議論したデバイスダメージを評価する必要がある。アンテナ MOS デバイスを用いてゲート酸化膜のダメージ評価を行った。まず、基板電流の測定結果を図5 - 7に示す。IR 電圧 70V 以上で基板電流が 1.8A で飽和した。先のマグネットを用いた場合の基板電流 0.4A に比べ、飽和電流は高く、200mm 基板用イオン化スパッタの飽和基板電流 1.6A よりも高い値を得ることができた。IR 電圧は第4章と同じ 100V に設定して今後評価することとした。アンテナ MOS デバイスに Ti を成膜し、 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ で Ti 剥離後、破壊耐圧を測定した。成膜条件は DC パワー 20kW、IR 電圧 100V、Ar ガス流量 20sccm、RF 基板バイアスパワー 400W とした。ここで、RF 基板バイアスパワーは 200mm のとき 200W を使用することがあったことから、基板面積比が 2.25 倍を考慮して、よりイオンを引き込みダメージ評価することを目的に 400W とした。

アンテナ MOS デバイスのゲート酸化膜厚 30 nm、アンテナ比は 37 万倍 ($(\text{Poly ゲート電極面積 } 0.37\text{mm}^2) \div \text{ゲート酸化膜面積 } 1 \times 10^{-6}\text{mm}^2)$)、PolySi ゲート電極と Si 基板間に電界を印加し、破壊する電界強度を測定した。電界強度に対するゲート電

流と破壊耐圧マップを図5 - 8 に示す。基板面内の破壊耐圧は 14MV/cm 以上であり、放電開始時の電子供給でゲート酸化膜にダメージが入っていないことを確認することができた。

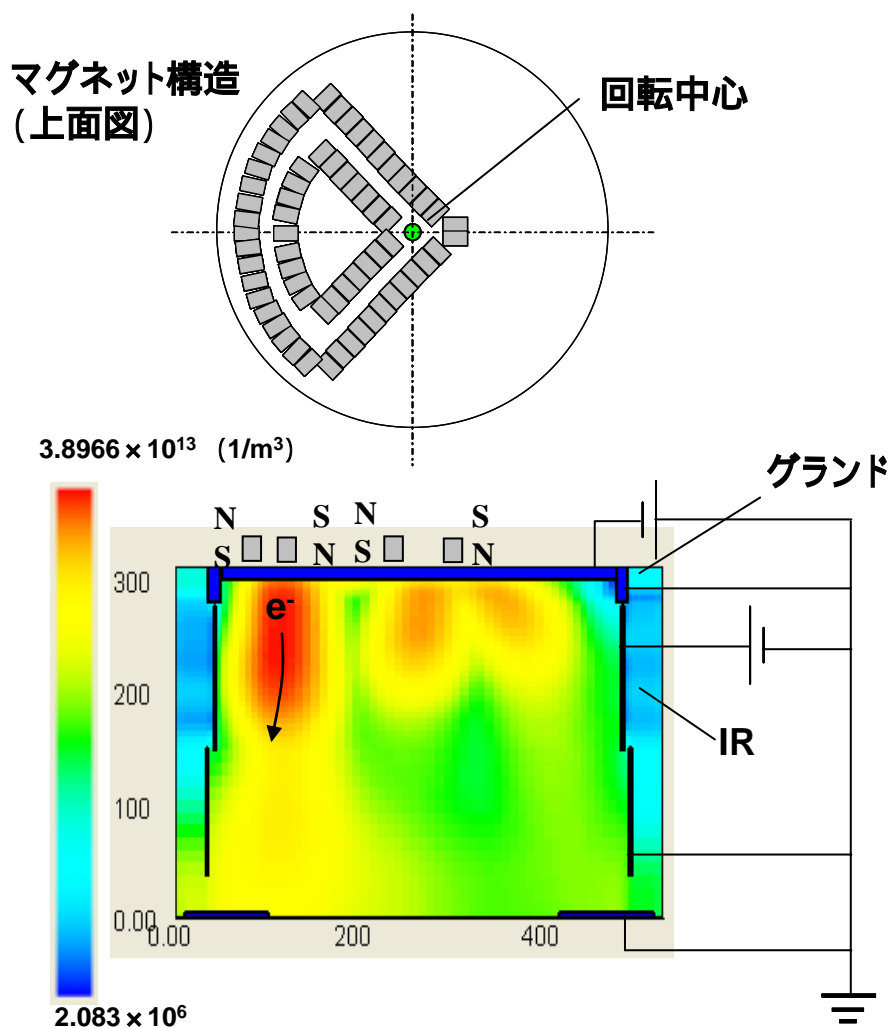


図5 - 6 新マグネット構造とグランド部を追加した装置の電子密度分布

DC 電圧 - 350V、ガス圧 0.13Pa、バイアス電圧 - 100V、IR100V として計算した。

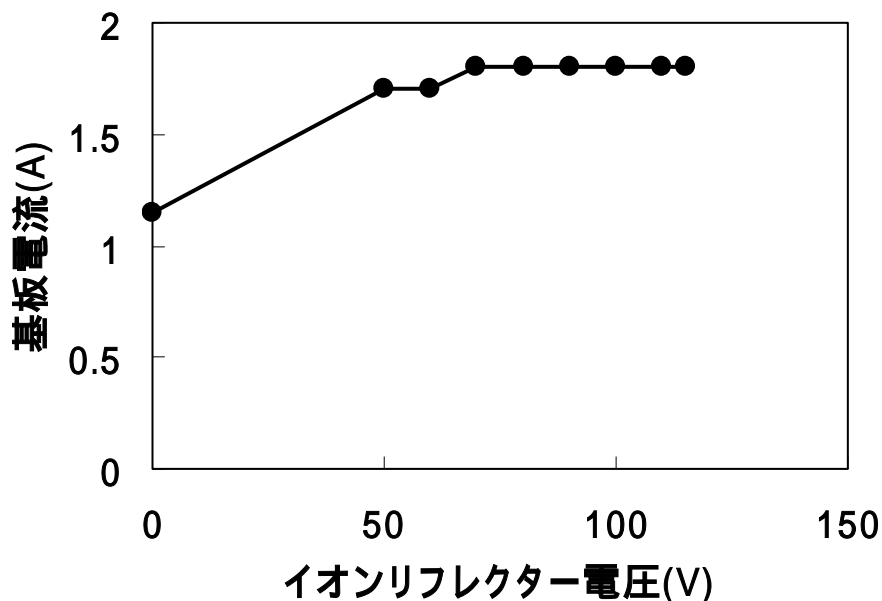


図5 - 7 イオンリフレクター電圧に対する基板電流との関係

DC パワー18kW、Ar ガス流量 20sccm、ターゲットとイオンリフレクターの間に電氣的にグランド部を設置

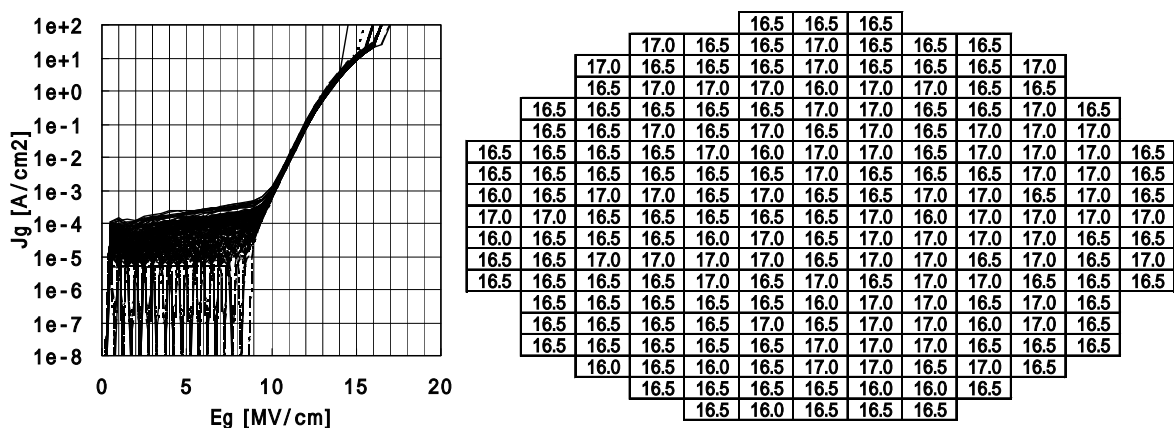


図5 - 8 破壊耐圧マップ

アンテナ比 37 万倍 (ゲート酸化膜面積 : $1 \times 10^{-6} \text{mm}^2$ 、Poly ゲート電極 0.37mm^2)
 Eg : Poly ゲートと Si 基板との印加した電界強度、Jg : ゲート電流
 マップ内の数字は破壊耐圧で単位は MV/cm、14MV/cm 以上で良品
 DC パワー20kW、IR 電圧 100V、Ar 流量 20sccm、RF バイアスパワー400W

5 - 3 - 2 Ti・TiN のピア埋め込み性評価

Ti、TiN のピア埋め込み性を評価する前に、TiN 成膜時の N₂ ガス流量の設定値を決定するとともに Ti と TiN の膜性能がピアのバリア膜として成り立つか評価することとする。DC パワー18kW、Ar ガス流量 20sccm で放電させ、N₂ ガス流量を 56sccm まで徐々に上げ、その後 N₂ ガスを低下させ、ガス圧の測定を行った。その結果を図 5 - 9 に示す。N₂ ガスが Ti の窒化に消費される量が満足するとガス圧が高くなることから、N₂ が 60sccm 以上であれば、TiN が成膜できる。

これまでの結果から、300mm 基板用イオン化スパッタで Ti を成膜するには、DC パワー18kW、IR 電圧 100V、Ar 流量 20sccm、基板温度 350℃、RF 基板バイアスパワー400W とした。同様に TiN の成膜は、DC パワー18kW、IR 電圧 100V、Ar 流量 20sccm、N₂ ガス流量 70sccm、基板温度 350℃、RF 基板バイアスパワー400W とした。この条件で成膜した Ti と TiN の膜厚分布、比抵抗分布を測定した結果を図 5 - 10 と図 5 - 11 に示す。Ti の膜厚分布は ±2.5%、比抵抗は平均 51 μΩ/cm であり、TiN の膜厚分布は ±9.1%、比抵抗の平均は 123.7 μΩ/cm である。膜厚分布、比抵抗値ともに目標レベル内であり、膜質として問題はない。しかし、図 4 - 15 に示した 200mm 用のイオン化スパッタの場合に比べ、比抵抗値が高くなっている。比抵抗値が高くなった理由を考察するため TiN 膜を XRD で分析した。Si 基板に Ti 膜(30nm)を成膜した上に TiN(10nm)を成膜して分析を行った。その分析結果を図 5 - 12 に示す。300mm 用のイオン化スパッタで成膜した方が、ピーク強度が低いことがわかる。TiN(200)ピーク強度が低く結晶性が低いことで比抵抗が低くなったと考えられる。300mm 用のイオン化スパッタで TiN を成膜する際、基板バイアスパワーを 400W と高くしており、バイアス電位が高く Ar イオンによるインパクトによって結晶性が低下したと考えられる。

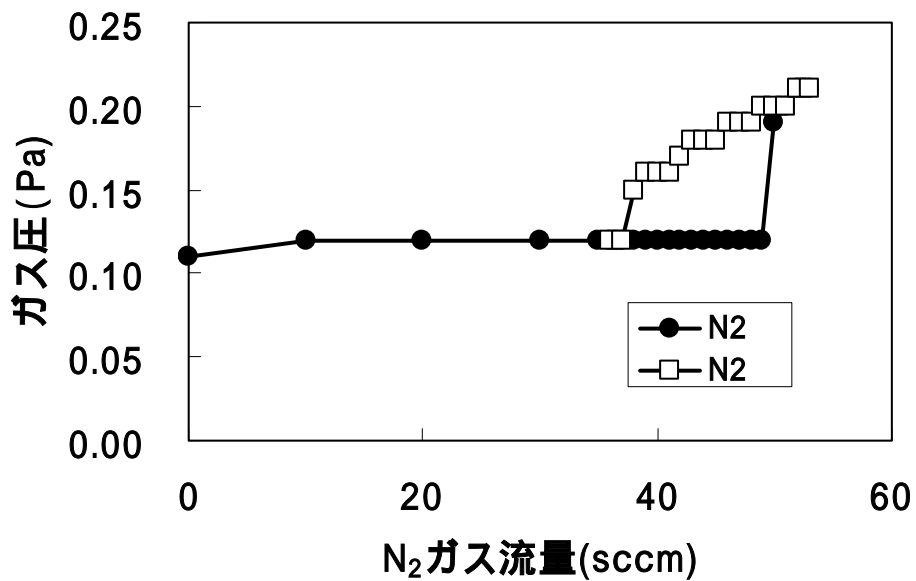


図5 - 9 N₂ ガス流量に対するガス圧のヒステリシス

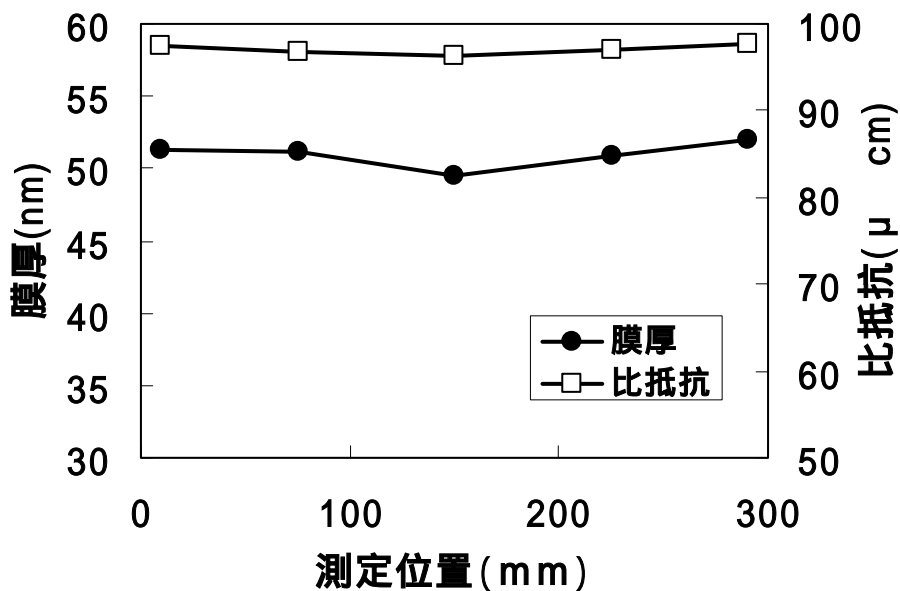


図5 - 10 Ti の膜厚と比抵抗分布

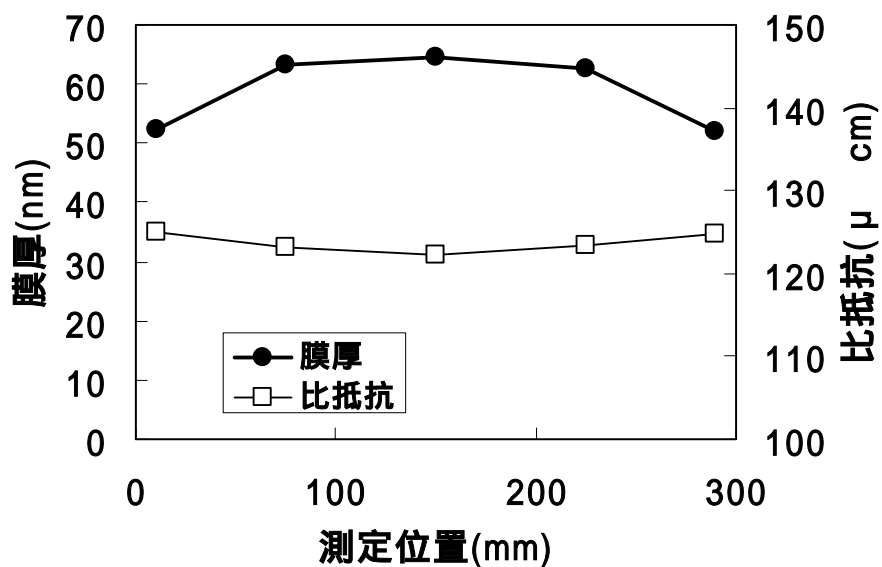


図5 - 1 1 TiN の膜厚と比抵抗分布

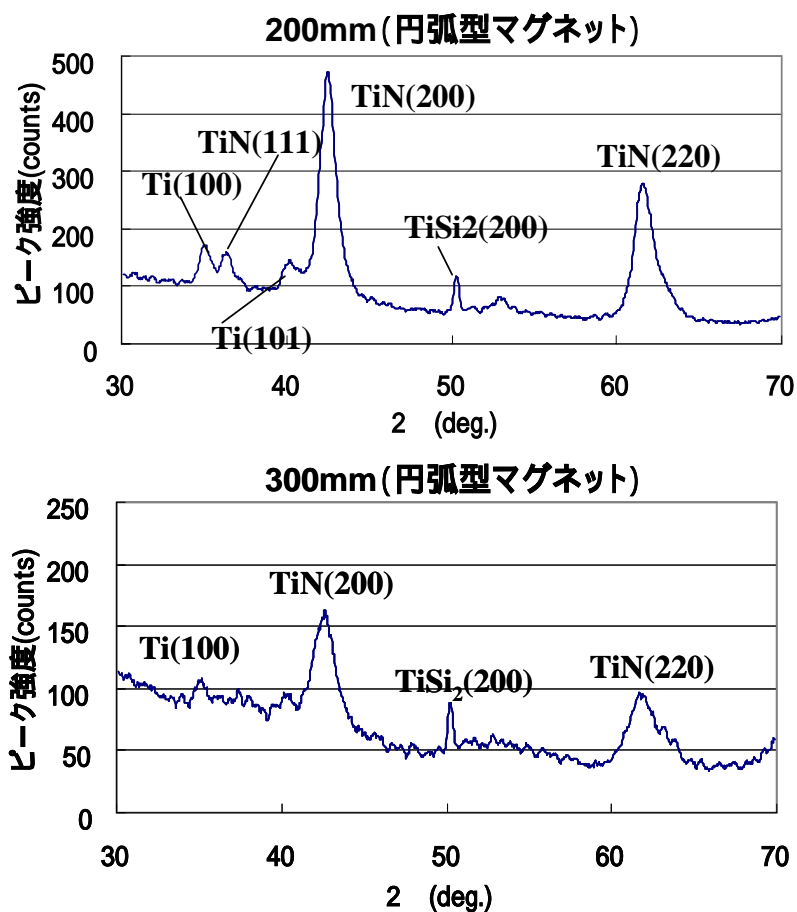
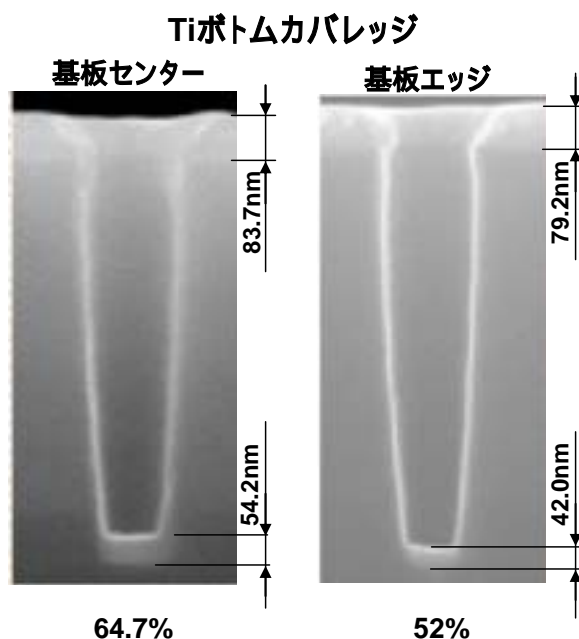


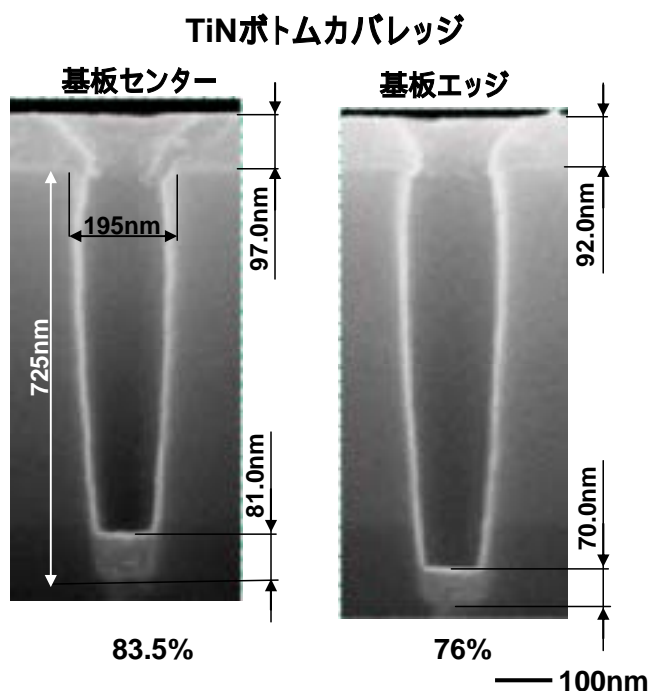
図5 - 1 2 XRD 分析結果

Si/Ti(30nm)/TiN (10nm)

膜質的に問題がないことから、Ti と TiN のビア埋め込み性を評価した。Ti の成膜条件は DC パワー18kW、IR 電圧 100V、Ar 流量 20sccm、基板温度 350℃、RF 基板バイアスパワー400W とし、膜厚は 80nm とした。TiN の成膜条件は、DC パワー18kW、IR 電圧 100V、Ar 流量 20sccm、N₂ ガス流量 70sccm、基板温度 350℃、RF 基板バイアスパワー400W とし、膜厚は 80nm とした。アスペクト5 のビアに埋め込みした場合の形状を図5 - 13 に示す。Ti のボトムカバレッジ率は基板センターで 64.7%、基板エッジで 52%であった。TiN のボトムカバレッジは基板センターで 83.5%、基板エッジで 76%であった。図4 - 13、図4 - 16 に示した 200μm 用イオン化スパッタの埋め込み性能に比べ、大幅に向上していることがわかる。これは、入力パワーが高く、プラズマ密度が高くなったことにより Ti のイオン化が促進されたものと考えられる。同様の条件でアスペクトレシオ1.6 のビアに Ti と TiN を成膜した結果を図5 - 14 に示す。Ti のボトムカバレッジ率は基板センターで 36.2%、基板エッジで 15.5%であった。TiN のボトムカバレッジは基板センターで 46.8%、基板エッジで 52.5%であった。Ti に比べて TiN のボトムカバレッジ率が高くなっている。これは、TiN が反応性スパッタであり、N₂/Ar 流量比が高くなったことで、N₂ 供給量が増加したことにより、N₂ がビアにも、より供給され窒化反応がビア面で促進されたためではないかと考えられる。



DC パワー：18kW、IR 電圧：100V、RF 基板バイアスパワー：400W、
Ar ガス流量：20sccm、基板温度：350



DC パワー：18kW、IR 電圧：100V、RF 基板バイアスパワー：400W、
Ar ガス流量：20sccm、N₂ ガス流量：70sccm、基板温度：350

図5 - 13 Ti と TiN のピア埋め込み SEM 像

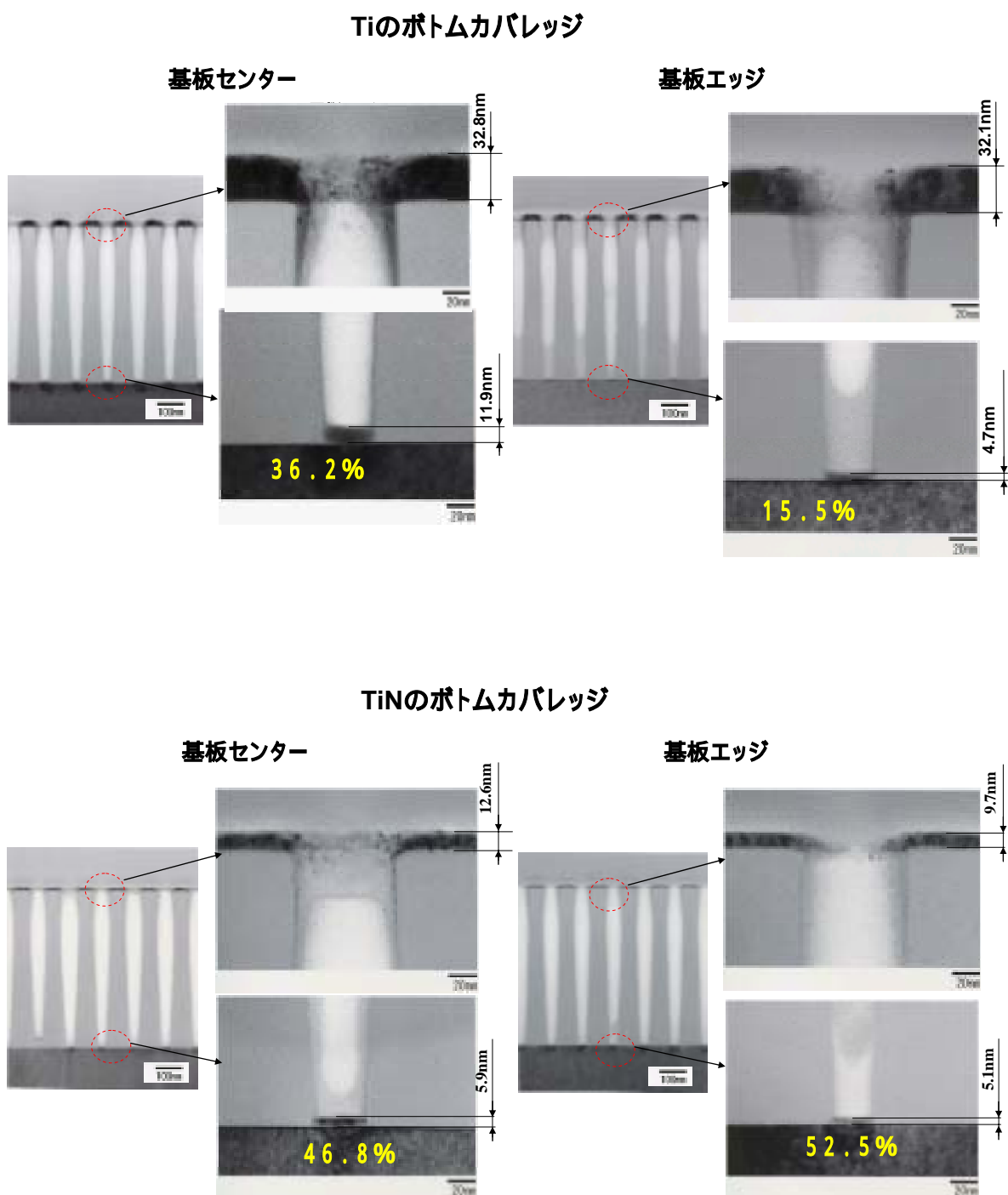


図5 - 14 Ti, TiN のピア埋め込み TEM 像

5 - 3 - 3 TiN ダストの抑制評価

量産時問題になるのが、成膜中に剥離するダストによる欠陥である。TiN 膜のストレスは 1 ~ 3 GPa 程度の圧縮応力である。これは Si 基板に TiN 膜を成膜して、成膜前後の基板そり量を元に式 (1) から算出する。

$$\sigma = \delta \times ES \times dS / [3 \times r \times (1 - \nu) \times dF] \quad (1)$$

ここで、 δ は $\delta = \delta_0 - \delta_1$ である。

δ : 膜応力、 δ_0 : 基板変位量、 δ_1 : 成膜間の基板そり量、 δ_2 : 成膜後の基板そり量、
ES : 基板のヤング率、dS : 基板の厚さ、r : 測定器のスキャン幅、 ν : ポアソン比

TiN の膜ストレスが強いことから、イオンリフレクター等の放電空間に付着した膜が、放電を繰り返すことで堆積量が増える。成膜回数にともない基板上に堆積するダスト数の推移を図 5 - 15 に示す。300mm 成膜用に開発したイオン化スパッタ装置の成膜ダストは、成膜枚数 10 枚を越えると急激に、大きさ 0.2 μm 以上の成膜ダストが 10000 (ヶ/基板) 以上に増加してしまう。

放電回数とともに熱履歴が加わることで、放電空間に堆積した膜が剥離してしまう。これは、放電パワーが高くなったことで、熱履歴の影響が大きくなったため、放電回数とともに放電空間に堆積した膜が剥離してしまうためと考えられる。特に、イオンリフレクターを伴う構造の場合、放電電流の多くがイオンリフレクターに流れる影響が大きいと考えられる。

基板上に堆積したダスト形状を図 5 - 16 に示す。図 5 - 16 には代表的なダストの形状を示している。ストレス剥離する形状のものが多く、中には粒子状のダストも含まれている。これらダストを EDX (エネルギー分散型 X 線分析) で分析した結果を図 5 - 17 に示す。これら剥離ダストが TiN であることがわかる。層状剥離ダストは、堆積膜全体が剥離したもので、基本的には、ストレス剥離と同じものである。粒

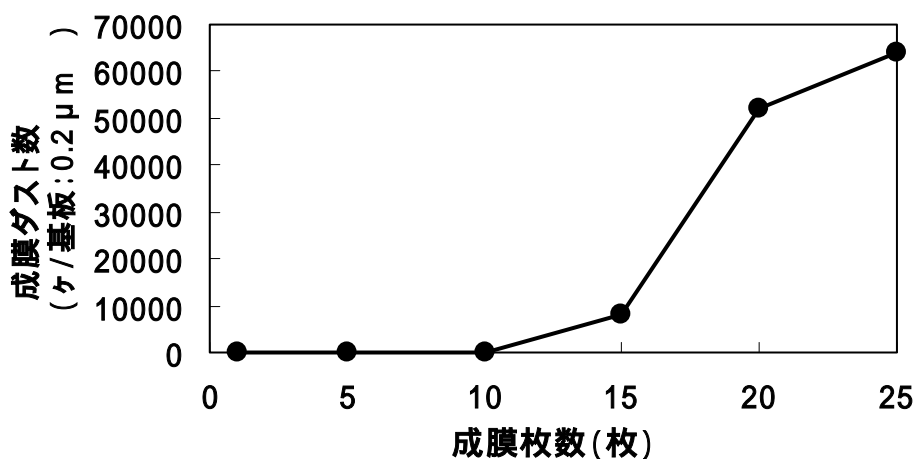
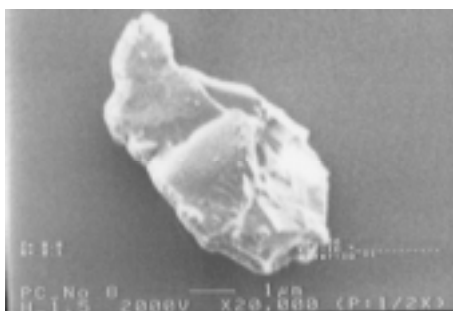


図5 - 15 成膜枚数に対する成膜ダスト数

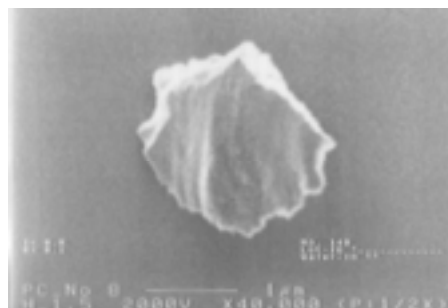
DC パワー：18kW、IR 電圧：100V、Ar ガス流量：20sccm、N₂ ガス流量：70sccm
 成膜時間：17 s、0.2 μm : 大きさ 0.2 μm 以上のダスト数

層状ストレス剥離



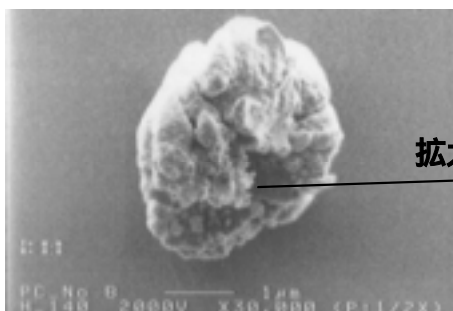
— 1 μm

ストレス剥離
(一般的BMダスト形状)



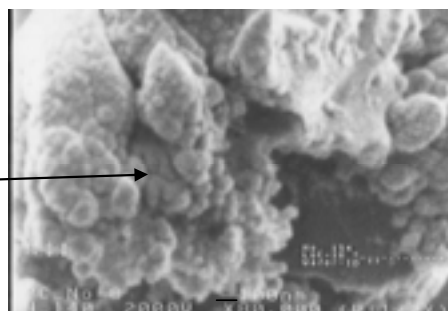
— 1 μm

粒子状凝集



— 1 μm

拡大



— 0.5 μm

図5 - 16 成膜ダストの形状

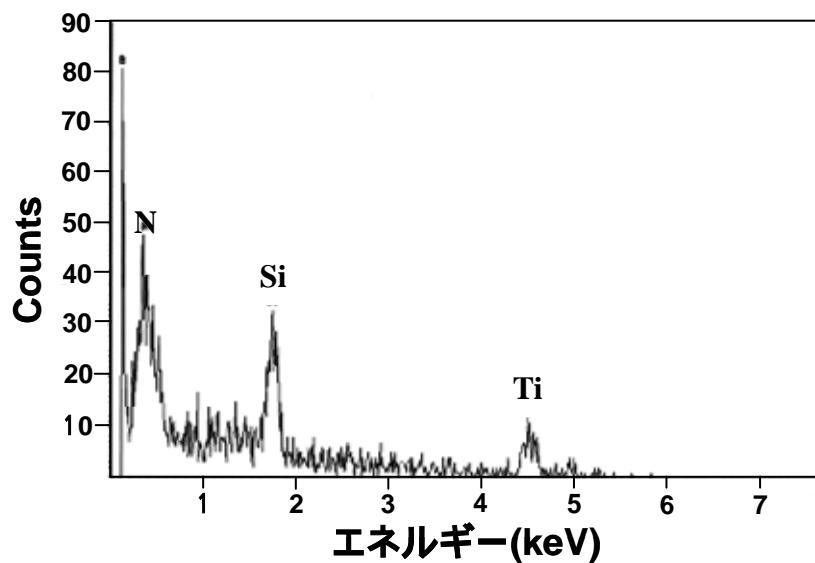


図5 - 17 成膜ダストのEDX分析結果

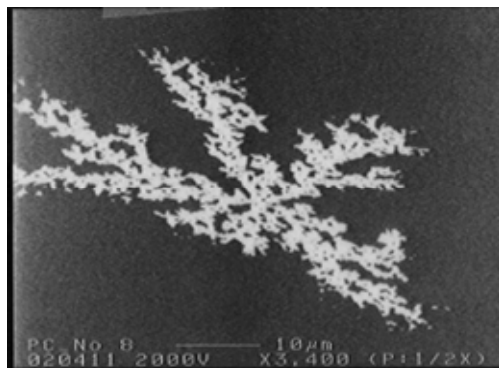


図5 - 18 クラスタ状ダストのSEM像

子状のダストは不安定な TiN の堆積膜であり、間隙部分などに成膜していたもので不安定な密着性によって剥離したものと考えられる^{68,69}。稀に観察された TiN のクラスター状態のダストを図5 - 18に示す。TiN は反応性スパッタであり、反応過程で巨大化し堆積する場合があるものと考えられる⁷⁰。

1枚の基板に堆積する成膜ダスト数はできるだけ少ないことが望まれるが、0.2 μm 以上のダストが100個以下であることが量産装置として要求されている。

ダスト発生の原因は、TiN 膜のストレスが大きいことと放電の熱履歴によるものであると考えられる。300mm 基板用のイオン化スパッタでは、ターゲットの拡大で投入 DC パワーそのものが高くなっている。200mm 基板用のイオン化スパッタでイオンリフレクター(IR)に流れる電流は30A程度あった。それが、300mm 基板用のイオン化スパッタの場合は、50A程度と非常に高くなっていた。IRも面積は拡大しているが、電流の流れる領域が限られ局所的に電流が流れ、ジュール加熱されている可能性が考えられる。そこで、IRをグランド電位にし、IRに流れる電流を低減させることを試みる。このとき、TiNのピア埋め込み性を低下させず、成膜ダストを低減する必要がある。そこで、IRをグランド電位にしても放電全体のパワーが変化しないよう式(2)で算出したパワーを元に24kWとした。

$$\text{DC パワー (18kW) + IR 電圧 (100V) } \times \text{IR 電流 (56A) = 23.6(kW)} \quad (2)$$

IRを電氣的にグランドにして各部の電流を測定した結果を図5 - 19に示す。IRを100Vにした場合、56A流れていたが、グランド電位にしたことで、プラズマが各部分に拡散し、電流が分散されていることがわかる。そこで、IRを電氣的にグランド電位にして、成膜ダストを測定した結果を図5 - 20に示す。その結果、IRに100Vを印加した場合に比べ、成膜ダストが大幅に抑制されていることがわかる。しかし、75枚成膜すると100(ヶ/基板)以上となり、量産を考えるとまだ不十分である。

Tiは引っ張り応力で、TiNより一桁低い500MPa程度である。そこで、TiN膜が

剥離する前に、膜ストレスの低い Ti 膜で放電空間をペーストする方法を検討した。Ti をダミー成膜した後、IR を電氣的にグランドとして TiN を成膜することを繰り返した場合の成膜ダスト推移を図 5 - 2 1 に示す。このとき、Ti のダミー成膜は、DC パワー18kW、IR100V、Ar 流量 20sccm とし、RF 基板バイアスパワーはビアを埋め込むためにイオンを引き込む必要がないことから 0W とした。図 5 - 2 1 に示すように Ti ペーストを繰り返すことで、成膜ダストの発生が抑制されていることがわかる。

IR をグランドにしたことから、TiN のビア埋め込み性を再評価する必要がある。TiN のビア埋め込み性を評価した結果を図 5 - 2 2 に示す。IR はグランド電位にしたものの DC パワーを高くしたことで、ボトムカバレッジ率はさらに高くなった。これは、DC パワーを高くしたことで、電子密度が高くなり、ターゲットから飛散する Ti と電子の衝突率が高くなる。その結果、衝突電離確率が高くなり Ti のイオン化率が高くなったものと考えられる。

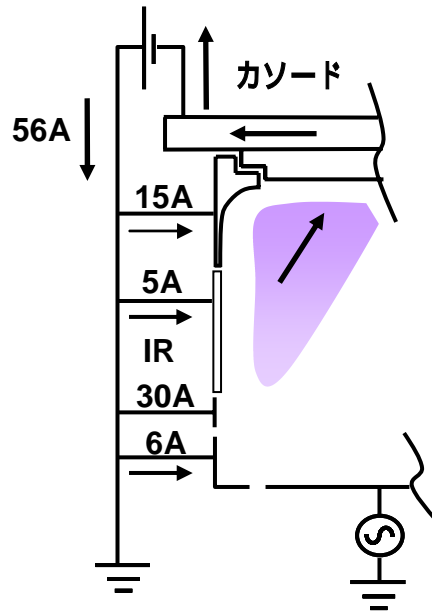


図5 - 19 IR を電気的グランド電位にした場合の各部に流れる電流量

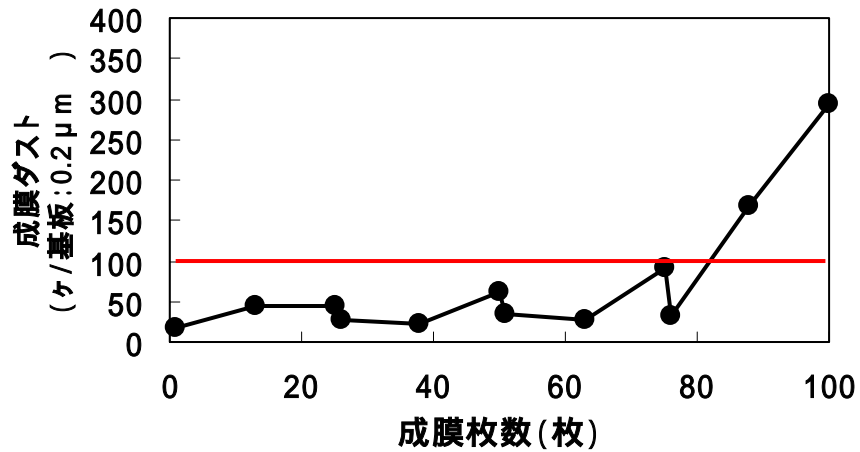


図5 - 20 IR を電気的グランド電位にした場合の成膜ダスト推移

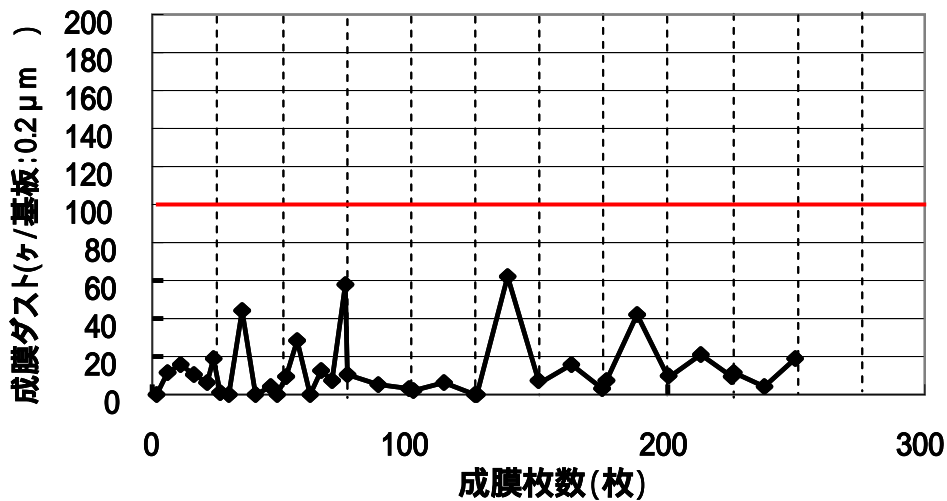


図5 - 2 1 TiN 成膜前に Ti ペーストを行ったときの成膜ダスト推移

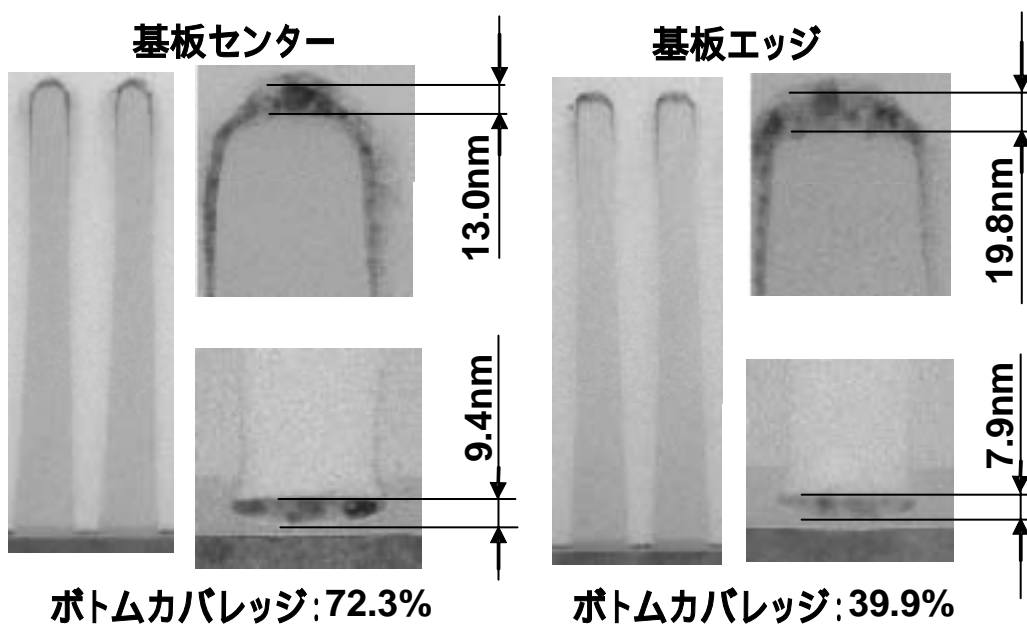


図5 - 2 2 TiN のピア埋め込み形状

5 - 4 まとめ

第4章で開発した円弧型のマグネット構造をもとに 300mm 基板成膜用のイオン化スパッタ装置を検討するとともに Ti, TiN のピア埋め込み性を検討した。また、量産時問題となる成膜中ダストについても検討した。

円弧型マグネットの円弧部がターゲット外周に近づくと、放電時に形成された電子がプラスに電位を印加したイオンリフレクター(IR)に吸い込まれることがわかった。そこで、ターゲットと IR の間に電氣的グランド部を設置するとともに、円弧型マグネットの円弧部を回転中心方向にシフトすることで、IR への電子吸収を抑制できることがわかった。この構造のイオン化スパッタで Ti、TiN をピアに埋め込んだ結果、非常に高いボトムカバレッジ率を得ることができた。300mm 基板を成膜するため、装置が拡大し、それに伴い DC パワーを高くすることが必要となった。このことで、放電空間内に堆積した膜ストレスの高い TiN 膜が、熱ストレスで剥離ダストが非常に多く発生した。そこで、イオンリフレクターをグランド電位にすることで電子流入箇所を分散することで、剥離ダストを低減することができた。さらに、剥離ダストを低減する方法として、TiN 成膜前に膜ストレスが TiN より 1 桁低い Ti を放電空間内にペーストした。この方法で、量産にも使用可能な成膜ダスト量とすることができた。

第6章 結論

多層配線の下層金属配線と上層金属配線を接続するビアは、半導体の微細化とともに微細となり、高アスペクト化してきている。この高アスペクトビアのバリアメタル成膜に適したイオン化スパッタ法として、マグネット構造について着目してイオン化スパッタ装置、プロセスの研究を行ってきた。

アスペクトレシオの高いビアに Ti をイオン化スパッタ法で埋め込みを行う場合、Ti のイオン化率を高くし、基板にバイアス電位を印加し、基板に対して垂直にイオンを引き込む必要がある。Ti のイオン化効率を高くする方法として、発散磁界を用いたアンバランスマグネットが有効であることを明らかにした。アンバランスマグネットの発散磁界を基板近傍まで発散し、その発散磁界に電子を湾曲ドリフトさせ、ターゲットから飛散する金属原子との衝突確率を上げると金属イオン化率が向上する。しかし、強い発散磁界が基板に垂直に導かれると、放電開始時、電子がその発散磁界に湾曲ドリフトしながら基板に供給され、デバイス破壊を起こしてしまうことが明らかとなった。そこで、発散磁界によるデバイスの破壊を抑制するとともに、基板エッジのビア埋め込み非対称性の緩和策として、発散磁界を弱めた円弧型マグネットを考案した。このマグネットによって、発散磁界を弱めたことでデバイス破壊はなく、ターゲット外周エロージョン量を増加させたことで、基板エッジの埋め込み非対称性を抑制できた。また、放電構造に SIS 構造を用いたことで、プラズマ密度が増加し、発散磁界を強化したマグネット同等以上の Ti、TiN のビア埋め込み性を得ることができた。さらに、この Ti、TiN はバリア膜として十分満足する膜質を得るプロセス条件を見出すことができた。

微細化とともに進む基板の拡大化に対し、300mm 基板の成膜が可能なイオン化スパッタ装置に円弧型マグネット構造を適用する検討を行った。ターゲットとイオンリフレクター (IR) の間に電氣的グランド部を設置するとともに円弧型マグネットの

円弧部を回転中心部にシフトする構造とした。このことで、ターゲット外周に形成されるプラズマの電子が IR に吸収されることを抑制し、ターゲット外周に高密度プラズマを形成することができた。その結果、高アスペクトのビアに対して、高いカバレージ率で Ti、TiN を埋め込むことができた。また、デバイス破壊を抑制でき、Ti、TiN とも膜質性能を満足する結果を得ることができた。しかし、ハイパワー化したことで TiN の剥離ダストが大量に発生した。そこで、イオンリフレクターをグランド電位にし、プラズマから流入する電子を放電空間内に分散することでジュール加熱を抑制できダスト発生を抑制できた。さらに、TiN 成膜前に Ti を放電空間内にペーストすることで、より TiN ダストの発生を抑制できた。

本研究で得られた結果を元に、製作したイオン化スパッタ装置によって、50nm 世代のビアバリアメタル Ti、TiN 形成用として用いられている。本研究では LTS (Long Through Sputter) 構造を基本に開発を行ってきた。今後進む微細化に対して、CVD (Chemical Vapor Deposition) との併用も考えられる。しかし、スパッタ法は CVD 法に比べ安価で、成膜された金属の膜質は、CVD 法に比べて不純物混入が少ない特徴がある。これらを考慮すると、更に埋め込み性能を向上できるスパッタ法を開発していく必要があると考えている。

本研究の対象は半導体プロセスに用いる分野の成膜用イオン化マグネトロンスパッタに関するものである。半導体は先端の微細化に対応したプロセスを用いており、今後、本研究で開発した技術が、他分野の微細金属成膜に展開されていくことを希望する。

謝辞

謝辞

本論文の作成に対し、御指導と御助言を賜りました九州工業大学 早瀬修二教授に心より感謝申し上げます。

本研究を進めるにあたり、大学院後期課程への入学機会を与えてくださるとともに、暖かくご指導と賜りました(株)東芝 生産技術センター 企画部部长 樋口勝敏博士(当時 (株)東芝 生産技術センター プロセス研究センター センター長)に深く感謝いたします。また、大学院への入学を承諾していただくとともに、ご指導賜りました(株)東芝 生産技術部 部長 石田修一氏(入学当時(株)東芝 生産技術センター センター長)、(株)東芝ライテック 取締役 藤武浩二氏((株)東芝 生産技術センター 前センター長)、現センター長の西田直人博士に深く感謝いたします。入社以来、公私共にご指導いただいたとともに、私に半導体・液晶のプラズマ開発に道を開いていただいた(株)SED 副社長 片岡好則博士に深く感謝いたします。

本研究の開始にあたり、装置および研究環境を提供していただくとともに、研究中也暖かくご指導賜りました(株)東芝 セミコンダクター社 半導体資材部長 長谷川功宏博士(当時 四日市工場 生産技術部 部長)には、深く感謝いたします。また、四日市工場 生産技術部 渡辺友治部長、生産技術部 プロセス第二担当 服部圭グループ長のバックアップのもと本研究をより深めることができましたこと、深く感謝いたします。開発当初から、議論等で協力していただいた(株)東芝 セミコンダクター社 プロセス技術推進センター 参事 和田純一氏、主務 坂田敦子氏に深く感謝します。本研究の結果を量産適用するにあたっては(株)東芝 セミコンダクター社 四日市工場 生産技術部 参事 福原成太氏のご協力があったものと深く感謝いたします。本研究での実験等で協力していただいた四日市工場 生産技術部 プロセス第2担当 主務 大竹高由氏と光本哲士氏、竹内将勝氏に深く感謝いたしま

謝辞

す。

本研究で、プラズマシミュレーション、スパッタシミュレーションで協力していただいた(株)東芝 生産技術センター プロセス研究センター 研究主務 山崎修博士と 研究主務 井柳克己氏に深く感謝いたします。

本研究は、装置そのもの開発でもあり、我々の研究にご協力いただいた株式会社 アルバック 第1半導体事業部 事業部長 五戸成史博士、半導体技術研究所 第3研究部 部長 豊田聡氏、第1研究室 室長 小平周司氏、鎌田幸吉氏第4研究部 部長 門倉好之氏、第1半導体装置事業部 富士裾野工場 第1装置技術部 部長 近藤友保氏、電子機器事業部 第2技術部 牛山史三氏、三重営業所 所長 須藤哲氏に深く感謝いたします。

本研究開発の途上、不慮の事故にて逝去した諏訪裕氏の想いを実現する装置、プロセスを完成できたことは、天から彼のサポートがあったものと深く感謝するとともにご冥福をお祈りいたします。

最後に、本研究含め常に影ながら支え、激励してくれた妻の和美、がんばれと励ましてくれた息子の優樹、娘の美紗樹に感謝します。

付録 A⁷¹⁾

相対法 (Line Pair Method) による電子温度算出方法

発光分光によるスペクトル線強度は (1) 式で表される。

$$\varepsilon_{21} = \frac{1}{4\pi} \frac{hc_0}{\lambda_{21}} A_{21} N_2 \quad (1)$$

21: 上準位 E_2 から下準位 E_1 遷移するスペクトル線の放出係数
 21: 上準位 E_2 から下準位 E_1 へ遷移する波長
 h: プランク定数
 C0: 光速度
 A21: 上準位 E_2 から下準位 E_1 へ遷移する自然放出係数
 N2: 上準位の原子数密度

単位堆積あたりの原子総数を N とするとボルツマン分布則は (2) 式で表される。

$$\frac{N_2}{N} = \left[\frac{g_2}{z(T)} \right] \exp\left(-\frac{E_2 - E_1}{kT} \right) \quad (2)$$

g_2 : エネルギー準位 2 の多重度
 k: ボルツマン定数

ここで、 $z(T)$ は (3) 式の状態和を表す。

$$z(T) = \sum_m g_m \exp(-E_m / kT) \quad (3)$$

(1) 式と (2) 式からスペクトル線の放出係数 ε_{21} は (4) 式となる。

$$\varepsilon_{21} = \frac{1}{4\pi} \frac{hc_0}{\lambda_{21}} \frac{g_2}{z(T)} A_{21} \cdot N \cdot \exp(-E_m / kT) \quad (4)$$

(4) 式を書き直すと (5) 式のようになる。

$$\begin{aligned} \frac{\varepsilon_{21} \lambda_{21}}{A_{21} g_2} &= \exp\left(-\frac{E_2}{kT} \right) \frac{1}{4\pi} \frac{hc_0 N}{z(T)} \\ &= K \cdot \exp\left(-\frac{E_2}{kT} \right) \end{aligned} \quad (5)$$

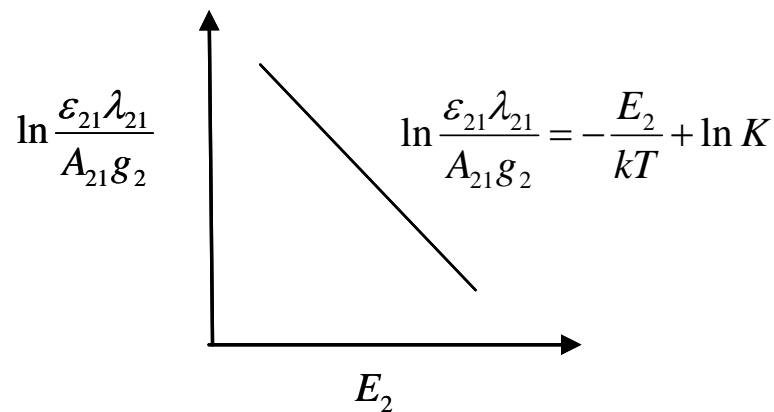
付録 A

(5) 式内の K は定数である。ここで、(5) 式の対数を取ると (6) 式のように表され、温度 T は傾きから算出することができる。

$$\ln \frac{\varepsilon_{21} \lambda_{21}}{A_{21} g_2} = -\frac{E_2}{kT} + \ln K \quad (6)$$

部分的局所熱平衡が成立すれば、(5) 式の T は電子温度となる。

具体的は、データベース (<http://physics.nist.gov/PhysRefData/ASD/index.html>) から A_{21} , g_{21} , E_2 が得られ、 ε_{21} は測定スペクトル強度、 λ_{21} は測定スペクトルの波長であり、それらの値を (6) 式に入力し、下図に示すようにグラフ化することで傾きから温度 T を求めることができる。



付録 B⁷²⁾

プラズマシミュレーションは CRC 研究所の市販ソフト NEPUTUNE/Plasma を使用した。このソフトは Particle in cell/モンテカルロ (PIC/MCC) 法を用いたものである。

粒子モデルによるシミュレーションであり、下図のフローで計算を行う。



マクスセルの電磁気方程式と運動方程式を差分化し計算を行っている。

マクスセル方程式

$$\text{rot}B = \mu j \tag{1}$$

$$\nabla^2 V = -\frac{\rho}{\varepsilon} = -\frac{e(n_p - n_e)}{\varepsilon} \tag{2}$$

$$E = -\text{grad}V \tag{3}$$

B : 磁界、 μ : 透磁率、V : ポテンシャル、 ρ : 電荷密度、 n_p : イオン密度、 n_e 電子密度、E : 電界

運動方程式

$$m \frac{dv}{dt} = q(E + v \times B) \tag{4}$$

$$\frac{dx}{dt} = v \tag{5}$$

m : 質量、v : 速度

式 (1) でマグネットによる静磁場を解き、ポアソン方程式である式 (2) で現時点

のプラズマ密度分布や電極などの境界条件値より空間中のポテンシャル V を求め、式 (3) から電界分布を得る。

得られた電界、磁界の値から式 (4) の運動方程式を用い粒子速度を求める。その値から式 (5) によって粒子が移動する。移動した粒子の衝突判定 (弾性衝突、電離等) を行い密度分布が収束するまで計算を繰り返す。

衝突周波数 ν は式 (6) で求められる。

$$\nu = N_{gas} V \sigma_{tot}(V) \quad (6)$$

N_{gas} : ガス密度、 V : 電子速度、

$\sigma_{tot}(V)$: 弾性衝突・電離などの断面積の和で電子速度の関数

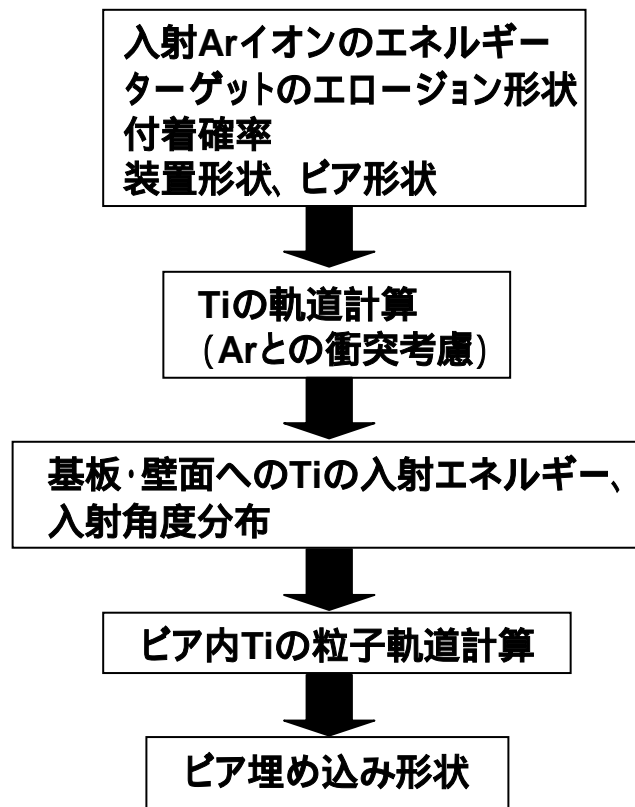
式 (5) で電子が t 秒の運動を行った場合、その衝突確率は式 (7) となる。

$$P = 1 - e^{(-\nu \Delta t)} \quad (7)$$

t 後に一様乱数 $R[0-1]$ を用いて、 $R < P$ ならば衝突が生じる。電離・弾性衝突などの各断面積の大きさに応じて、それぞれの衝突に応じた処理を行う。

付録 C⁷³⁾

スパッタシミュレーションは、山崎らが Cu スパッタシミュレーションを Ti 用を開発したものである⁷³⁾。スパッタシミュレーションのフローを下図に示す。カソード電圧、ターゲットのエロージョン形状、壁等への Ti 付着確率、装置形状、ビア形状を入力データとする。



Ar イオンの入射エネルギーはカソード電圧から算出し、そのエネルギーを元に Ti のスパッタ率を計算する。その Ti は、ターゲットのエロージョン分布の割合でコサイン則に従って放出される。その時、Ti は式 (1) (2) (3) の速度でターゲットから放出される。

$$C_z = \left(-\frac{E_0}{m} \ln U \right)^{1/2} \quad (1)$$

$$C_x = C_r \cos \theta \quad (2)$$

$$C_y = C_r \sin \theta \quad (3)$$

m : Ti の原子質量、 θ : 角度、 U : 一様乱数、 E_0 : 平均運動エネルギー

z : ターゲットから基板方向、 x : ターゲット水平方向、 y :

放出された Ti はチャンバー内で Ar、電子等と衝突を繰り返し、チャンバー壁、基板に輸送され付着する。放出された Ti は Δt の時間移動し、衝突の有無を式 (4) で判定する。その判定に従って Ti は次の Δt ステップで移動する。この操作を繰り返し、Ti がチャンバー壁、基板に輸送される。ここで、Ti のイオンは入力値として与え、その割合で生成されるとしている。

$$U < P_{Ti} \quad (4)$$

U : 一様乱数、 P_{Ti} : 散乱確率

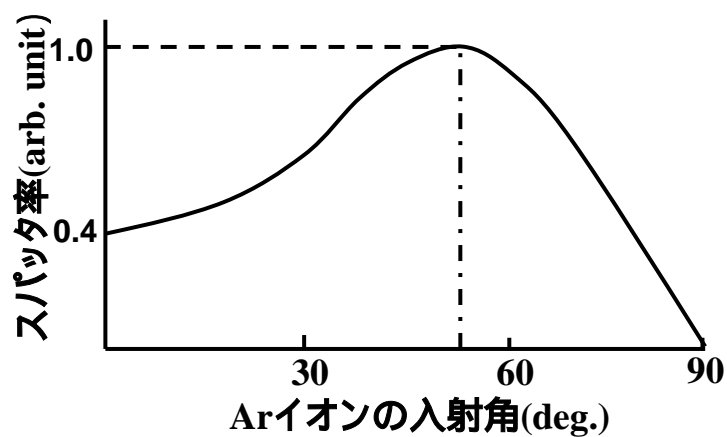
ここで、 P_{Ti} は式 (5) となる。

$$P_{Ti} = n_{Ar} \bar{g} \sigma_T \Delta t \quad (5)$$

n_{Ar} : Ar の数密度、 \bar{g} : 平均相対速度、 σ_T : 全衝突断面積

輸送された Ti は基板のビアに対する入射角に応じて付着する。付着確率は実形状からフィティングした数値を用いる。イオン化した Ti はバイアス電位で加速され付着するとした。

基板のバイアス電位で Ar イオンも引き込まれる。Ar イオンは逆バイアス電位のエネルギーで逆スパッタされる。ビアの間口は、下図に示す Ar イオンの入射角に応じたスパッタ率で逆スパッタされることも考慮している。



参考文献

第 1 章

- 1 . R. liu, C. -S. Pai, E. Martinez: Solid-State Electronics **43** (1999) 1003.
- 2 . ITRS2006 Report (<http://www.itrs.net/reports.html>)
- 3 . 特許庁, 平成 15 年特許出願技術動向調査報告書 (LSI の多層配線技術) , (2004)
- 4 . K. Holloway, P. M. Fryer, C. Cabral, Jr., J. M. E. harer, P. J. Bailey and K. H. Kelleher: J. Appl. Phys. **71** (1992) 5433.
- 5 . T. Oku, E. Kawakami, M. Uekubo, K. Takahiro, S. Yamaguchi and M. Murakami: Appl. Surf. Sci. **99** (1996) 265.
- 6 . J. O. Olowolafe, J. Li and J. W. Mayer: Appl. Phys. Lett. **55** (1991) 469.
- 7 . P. J. Pokela, C. -K. Kwok, E. Kolawa, S. Raud and M. -A. Nicolet: Appl. Surf. Sci. **53** (1991) 364.
- 8 . M. Ueno, T. Oku, K. Nii, M. Murakami, K. Takahiro, S. Yamaguchi, T. Nakano and T. Ohta: Thin Solid Films **286** (1996) 170.
- 9 . C. W. Kaanta, S. G. Bombadier, W. J. Cote, W. Hill, G. Kerszykowski, H. S. Landis, D. J. Poindexter, C. W. Pollard, G. H. Ross, J. G. Ryan, S. Wolff and J. E. Cronin: Proceedings of the 8th International VLSI Multilevel Interconnection Conference, Santa Clara, CA (1991) 144.
- 1 0 . S. M. Rossnagel: J. Vac. Sci. Technol. B **16** (1998) 2585.
- 1 1 . J. Hopwood: Phys. Plasmas **5** (1998) 1624.
- 1 2 . J. T. Hillman, D. Srinivas, R. F. Foster, R. J. Graham, F. Shaapur and M. R. McCartney: Advanced Metallization and Interconnect Systems for ULSI Applications in 1993 (Materials Research Society, Pittsburgh, 1994) 167.
- 1 3 . C. Arena, k J. Faguet, R. F. Foster, J. T. Hillman and D. Srinivas: Advanced

- Metallization and Interconnect Systems for ULSI Applications in 1993 (Materials Research Society, Pittsburgh, 1994) 173.
- 1 4 . R. W. Fiordalice, R. I. Hegde and H. Kawasaki: J. Electrochem. Soc. **143**(1996) 2059.
- 1 5 . J. S. Kim, B. H. Jun, E. J. Lee, C. Y. Hwang and W. J. Lee: Thin Solid Films **292** (1997) 124.
- 1 6 . A. B. Rodrigo, C. Lasorsa, M. Shimosuma, F. Alvarez and P. Perillo: J. Phys. D **30** (1997) 2397.
- 1 7 . R. G. Gordon: Mater Res. Soc. Symp. Proc. **335** (1994) 9.
- 1 8 . M. H. Tsai: J. Appl. Phys. **79** (1996) 6932.
- 1 9 . D. Denning: Dig. of Tech. Paper on VLSI Tech. Symp. (1998) 22.
- 2 0 . 小林春洋, スパッタ薄膜 (基礎と応用), 日刊工業新聞社
- 2 1 . N. Motegi, Y. Kashimoto, K. Nagatani, S. Takahashi, T. Kondo, Y. Mizusawa, and I. Nakayama: J. Vac. Sci. Technol. B **13** (1995) 1906.
- 2 2 . A. A. Mayo, S. Hamaguchi, J. H. Joo, and S. M. Rossnagel: J. Vac. Sci. Technol. B **15** (1997) 1788.
- 2 3 . J. N. Broughton, M. J. Brett, S. K. Dew and G. Este: IEEE Transactions on Semiconductor Manufacturing **9** (1996) 122.
- 2 4 . N. Gonohe and R. Imai: Semiconductor Fabtech 18th Editon, (2001) 1.
- 2 5 . J. Wada, A. Sakata, H. Matsuyama, K. Watanabe, and T. Katata: Proc. Int. Interconnect Technology Conf., 2000, p. 108.
- 2 6 . S. M. Rossnagel and J. Hopwood: Appl. Phys. Lett. **63** (1993) 3285.
- 2 7 . S. M. Rossnagel and J. Hopwood: J. Vac. Sci. Technol. B **12** (1994) 449.
- 2 8 . J. Hopwood and F. Qian: J. Appl. Physy. **78** (1995) 758.
- 2 9 . M. M. C. Allain, D. B. Hayden, D. R. Juliano, and D. N. Ruzic: J. Vac. Sci. Technol. A

18 (2000) 797.

3 0 . J. C. S. Kools, A. P. Paranjipe, D. H. Heimanson, P. V. Schwartz, K. Song, B. Bergner and R. W. Van Ysseldyk: *J. Vac. Sci. Technol. A* **17** (1999) 1941.

3 1 . G. Zhong and J. Hopwood: *J. Vac. Sci. Technol. B* **17** (1999) 405.

3 2 . B. Windows and N. Savvides: *J. Vac. Sci. Technol. A* **4** (1986) 196.

3 3 . B. Windows and N. Savvides: *J. Vac. Sci. Technol. A* **4** (1986) 453.

3 4 . J. Musil, S. Kadlec, and W.-D. Münz: *J. Vac. Sci. Technol. A* **9** (1991) 1171.

第 2 章

3 5 . S. M. Rossnagel and J. Hopwood: *Appl. Phys. Lett.* **63** (1993) 3285.

3 6 . S. M. Rossnagel: *Semiconductor International*, Feb. (1996) 99.

3 7 . S. Hamaguchi and S. M. Rossnagel: *J. Vac. Sci. Technol. B* **14** (1995) 183.

3 8 . B. Windows and N. Savvides: *J. Vac. Sci. Technol. A* **4** (1986) 196.

3 9 . M. A. Lieberman and A. J. Lichtenberg: *Principles of Plasma Discharges and Materials Processing*. John Wiley & Sons (1994)

4 0 . S. Hamaguchi and S. M. Rossnagel: *J. Vac. Sci. Technol. B* **14** (1996) 2603.

4 1 . M. A. Vyvoda, C. F. Abrams and D. B. Grave: *IEEE Trans. Plasma Sci.*, **27** (1999) 1433.

4 2 . S. Berg, T. Larsson, C. Nender and H. O. Blom: *J. Appl. Phys.* **63** (1998) 887.

4 3 . F. Cerio, J. Drewery, E. Huang and G. Reynolds: *J. Vac. Sci. Technol. A* **16** (1998) 1863.

4 4 . Y. Tanaka, E. Kim, J. Forster and Z. Xu: *J. Vac. Sci. Technol. B* **17** (1999) 416.

4 5 . N. Phnichka, R. Chandra and Z. H. Barber: *J. Vac. Sci. Technol. A* **22** (2004) 477.

4 6 . K. Kamoshida: *J. Vac. Sci. Technol. B* **19** (2001) 2190.

4 7 . C. Y. Ting: *J. Vac. Sci. Technol.* **21** (1982) 14.

参考文献

4 8 . J. E. Greene, J.-E. Sundgren and L. Hultman, I. Petrov and D. B. Bergstrom: Appl. Phys. Lett. **67** (1995) 2928.

第 3 章

4 9 . S. Matsunaka, K. Iyanagi, J. Fukuhara and S. Hayase: Jpn. J. Appl. **46** (2007) 7465

5 0 . C. T. Gabriel and M. G. Weling: J. Vac. Sci. Technol. A **12** (1994) 1334.

5 1 . H. Shin, K. Noguchi, X. Y. Qian, N. Jha, G. Hill, and C. Hu: IEEE Electron Device Lett. **14** (1993) 88.

5 2 . S. Fang and J. P. McVittle: Appl. Phys. Lett. **62** (1993) 1507.

5 3 . H. Hoga, T. Orita, T. Yokoyama, and T. Hayashi: Jpn. J. Appl. Phys. **30** (1991) 3169.

5 4 . W. M. Greene, J. B. Kruger, and G. Kooi: J. Vac. Sci. Technol. B **9** (1991) 366.

5 5 . K. P. Cheung and C. S. Pai: IEEE Electron Devices Lett. **16** (1995) 220.

5 6 . C. T. Gabriel: J. Vac. Sci. Technol. B **9** (1991) 370.

5 7 . K. P. Cheung and C. P. Chang: J. Appl. Phys. **75** (1994) 4415.

5 8 . S. Fang and J. P. McVittie: J. Appl. Phys. **2** (1992) 4865.

第 4 章

5 9 . A. A. Mayo, S. Hamaguchi, J. H. Joo, and S. M. Rosnagel: J. Vac. Sci. Technol. B **15** (1997) 1788.

6 0 . J. Broughton, C. Backhouse, M. Brett, S. Dew and G. Este: Proceedings of the VLSI Multilevel Interconnection Conference, Santa Clara, CA, 1995, p. 201

6 1 . I. Wanger: in Proceedings of the VLSI Multilevel Interconnection Conference, Santa Clara, CA, 1995, p. 226

6 2 . T. Smy, K. Sheergar, S. K. Dew and M. J. Brett, Proceedings of the VLSI Multilevel Interconnection Conference (VMIC), Santa Clara, CA, 1995, p. 670.

6 3 . A. E. Wendt and M. A. Lieberman: J. Vac. Sci. Tech. A **8** (1990) 902.

参考文献

- 64 . 松中繁樹「スパッタ装置およびその方法」, 公開番号:P2003073801, 出願日:20010827
- 65 . 井柳克, 松中繁樹 「マグネトロン型スパッタリング装置」, 出願番号:2006257749, 出願日:20060922
- 66 . 井柳克, 松中繁樹 「マグネトロン型スパッタリング装置および半導体装置の製造方法」, 出願番号:P2007228947, 出願日:20070904

第5章

- 67 . 森岡国男:日経マイクロデバイス 6月号 (1997) 54.
- 68 . G. S. Selwyn, C. A. Weiss, F. Sequeda and C. Huang: J. Vac. Sci. Technol. A 15 (1997) 2023.
- 69 . S. -H. Yoo, J. Weygand, J. Scherer J. Davis, B. Liu, K. Christenson, J. Butterbaugh and N. Narayanswami: J. Vac. Sci. Technol. B 19 (2001) 344.
- 70 . D. Samsonov and J. Goree: J. Vac. Sci. Technol. A 17 (1999) 2835.

付録 A

- 71 . J. S. Chang, R. M. Hobson, 市川幸美, 金田輝夫, 電離気体の原子・分子過程, 東京電機大学出版

付録 B

- 72 . 南部健一, 応用物理, **68**, 503(1999)503.

付録 C

- 73 . O. Yamazaki, K. Iyanagi, S. Takagi and K. Nanbu: Jpn. J. Appl. Phys. **41** (2002) 1230.