

ゲートドライバーICの1チップ化・高機能化に向けての検討

大串 悠介[†] 松本 聡[‡]

九州工業大学工学府工学専攻 〒804-8550 福岡県北九州市戸畑区仙水町1番1号

E-mail: [†]ogushi.yusuke274@mail.kyutech.jp, [‡]smatsu@ele.kyutech.ac.jp

あらまし

近年、電源の小型化に対して、高周波で高効率動作が実現できる GaN パワーデバイスが注目を集めている。本研究では高周波で高効率動作する GaN パワーデバイスを駆動・制御する回路、受動部品を1チップに積層した 3D power SoC の実現を目指している。先行研究で提案された GaN 用ゲートドライバーIC ではダイオードや受動部品が用いられており、1チップ化が困難である。そのため、電源の小型化を実現するためにはゲートドライバーIC の1チップ化が重要課題となる。本研究では、ゲートドライバーIC の1チップ化および高機能化を検討した結果について報告する。

キーワード 3D power SoC、GaN パワーデバイス、チャージポンプ、集積化

Investigation for one-chip high functionality gate driver IC

Yusuke OGUSHI[†] Satoshi MATSUMOTO[‡]

[†] Graduate School of Engineering, Kyushu Institute of Technology 1-1 Sensui-cho, Tobata-ku, Kitakyushu city, Fukuoka, 804-8550 Japan

E-mail: [†]ogushi.yusuke274@mail.kyutech.jp, [‡]smatsu@ele.kyutech.ac.jp

Abstract GaN power devices have caught the attentions for high frequency switching and high efficiency of power supply. Our goal is to realize 3D power-SoC, which stacks driver circuit and control circuit for GaN power devices, and passive devices on one chip. One of the key issues to realize 3D power SoC is to develop fully integrated driver IC for GaN power devices without using discrete devices such as Schottky barrier diode. In this paper, we report the fully integrated gate driver IC with higher functionality.

Keywords 3D power SoC, GaN power device, Charge pump, Integration

1. はじめに

現在、スイッチング素子やインダクタ・キャパシタ等の受動部品を1チップ化した power SoC が究極の電源の小型化として注目されている[1]。その中でも、我々はパワーデバイスやドライブ回路、受動部品を三次元に積層した 3D power SoC の実現を目指している[2,3]。3D power SoC は電源の更なる小型化を実現する。また、大量生産可能による大幅なコストダウンが可能になることや、非常に小さな電力容量をもつため小電力を効率よく変換できることにより軽負荷での高い効率が期待できるというメリットがある[4]。3D power SoC ではパワーデバイスとして GaN (ガリウムナイトライド) を想定している。一般的に用いられる Si や SiC と比較して、GaN はバンドギャップの大きさや絶

縁破壊電界の大きさが優れており、高周波化・高耐圧化が可能となる。GaN パワーデバイスを駆動・制御するためにはゲートドライバーICが必要となるが、ゲートドライバーIC ではブートストラップ回路にショットキーバリアダイオードを用いているため1チップ化が難しく、3D power SoC 実現の際に重要課題となる。

本論文では、GaN を駆動する際に用いるゲートドライバーICの1チップ化・高機能化について検討した結果を報告する。

2. 負電圧生成回路

GaN パワーデバイスではしきい電圧が低く、誤点弧の問題があり[5]、誤点弧現象を防止する必要がある。そのためには、ターンオフ時においてゲートに負電圧をバイアスすることが有効であり[6]、負電圧の生成が重要となる。以下に負電圧生成回路について述べる。

2.1. 反転型チャージポンプ

IC を動作させる際、電源電圧に対して高い電圧が必要な場合、チャージポンプが使用される。この回路は電荷を遷移させ、入力電圧とキャパシタに入力された電圧を重畳させることで出力電圧を得ることができる。

Low-side ドライバーの下端をグラウンド接続ではなく負電圧にする際、チャージポンプを応用した反転型チャージポンプを使用する。この回路では比較的簡単に負電圧を生成することができ、ダイオード2つとキャパシタ2つで構成されるため、作成も容易である。以下に反転型チャージポンプの出力電圧(V_{out})とその動作波形を示す。

$$V_{out} = -V_p + 2V_f$$

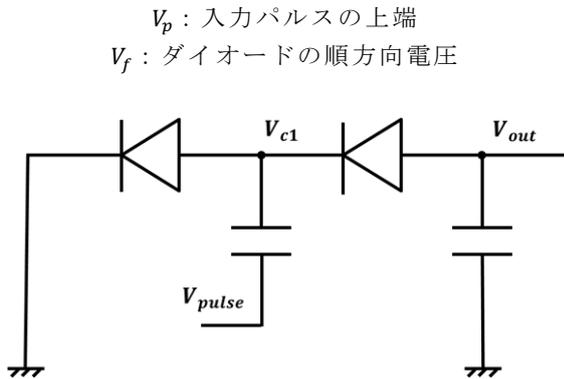


図 2.1.1 反転型チャージポンプ

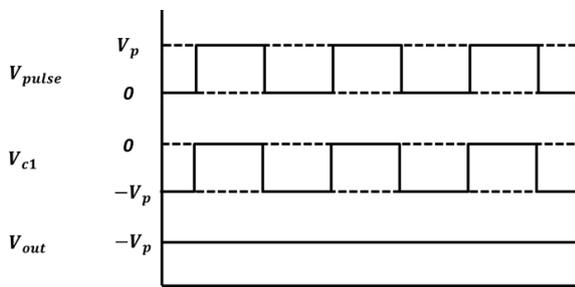


図 2.1.2 反転型チャージポンプの動作波形

2.2. MOSFET のダイオード接続

上記の反転型チャージポンプではショットキーバリアダイオードを使用しているが、ショットキーバリアダイオードは外付け部品であるため、1 チップ化が困難である。この解決策として MOSFET のダイオード接続がある。MOSFET においてドレイン端子とゲート端子を接続している場合、ドレインソース間電圧 V_{DS} とゲートソース間電圧 V_{GS} が等しくなる。ドレインソース間電圧 V_{DS} が MOSFET のしきい値電圧 V_{TH} を超えると、ドレイン電流 I_D が流れる。この動作がダイオードの動作と似ていることから、MOSFET をダイオードとして使用することが可能となる。

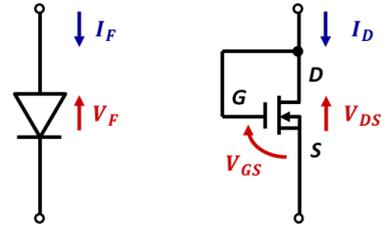
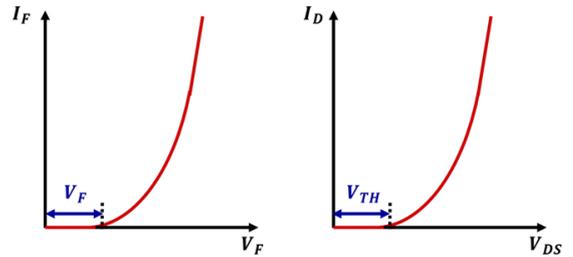


図 2.2.1 n-MOSFET のダイオード接続



(a)ダイオード (b)MOSFET

図 2.2.2 各素子の電流-電圧特性

本研究にて MOSFET のダイオード接続を使用した反転型チャージポンプを図 2.2.3 に示す。今回の反転型チャージポンプでは n-MOSFET を使用しており、動作波形は図 2.1.2 と非常に近い動作となっている。

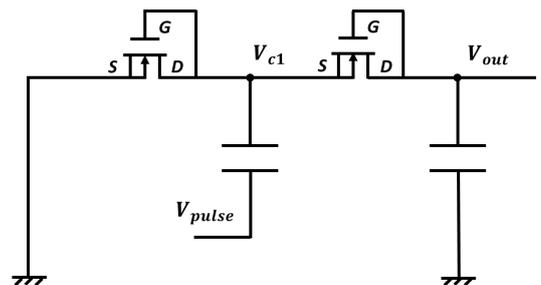


図 2.2.3 反転型チャージポンプ(n-MOSFET 使用)

3. 回路動作

3.1. 発振回路

本研究における発振回路は、受動部品としてインダクタを使用しない矩形波発生回路を採用している。これはオペアンプと抵抗、キャパシタによって構成される。矩形波発生回路で使用しているオペアンプはコンパレータとして動作する。オペアンプの正電源電圧を V_{dd} 、負電源電圧を 0、非反転入力を $V_{in(+)}$ 、反転入力を $V_{in(-)}$ 、出力を V_{out} として動作を説明する。

コンパレータ動作をするオペアンプについて、 $V_{in(+)} - V_{in(-)} > 0$ のとき

$$V_{out} = V_{dd}$$

$V_{in(+)} - V_{in(-)} < 0$ のとき

$$V_{out} = 0$$

を出力する。今回使用したオペアンプは単電源オペアンプとなっている。

矩形波発生回路について、 $t=0$ のとき $V_{in(+)} > V_{in(-)}$ とする。このとき、 $V_{out} = V_{dd}$ なので $V_{in(+)}$ は、

$$V_{in(+)} = \frac{R_2}{\frac{R_1 R_3}{R_1 + R_3} + R_2} V_{dd}$$

と表される。 $V_{out} > V_{in(-)}$ より、 V_{out} から $V_{in(-)}$ の方向に電流が流れる。この結果、 C_1 に電荷が溜まることで、 $V_{in(-)}$ が徐々に上昇する。 $V_{in(-)}$ が上昇し、 $V_{in(+)}$ を超えると $V_{out} = 0$ となる。このとき、 $V_{in(+)}$ は、

$$V_{in(+)} = \frac{\frac{R_1 R_3}{R_1 + R_3}}{\frac{R_1 R_3}{R_1 + R_3} + R_2} V_{dd}$$

と表される。 $V_{out} > V_{in(-)}$ より、 C_1 の電荷が放出されることで、 $V_{in(-)}$ が徐々に下降する。 $V_{in(-)}$ が下降し、 $V_{in(+)}$ を下回ると $V_{out} = V_{dd}$ となる。

上記の動作を繰り返すことにより、 V_{out} は矩形波を出力する。この出力が GaN 用ゲートドライバーの入力パルスとなる。

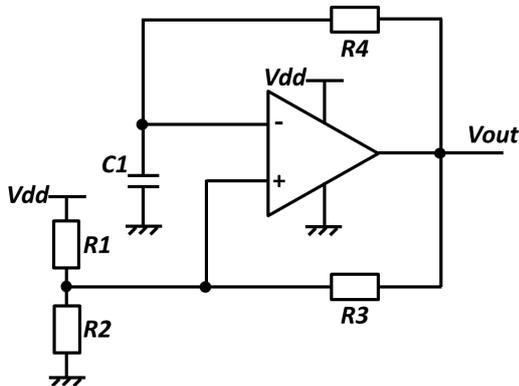


図 3.1.1 矩形波発生回路の概略図

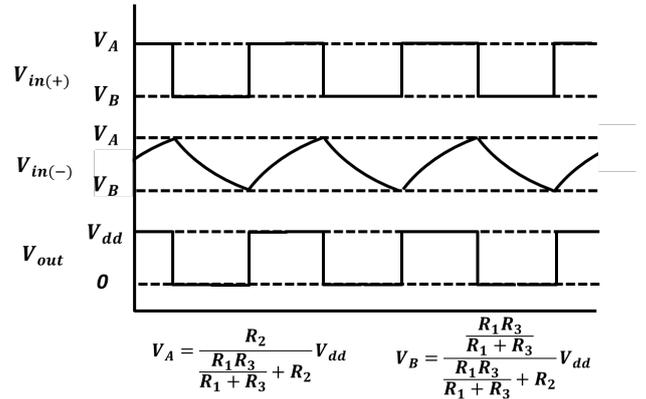


図 3.1.2 矩形波発生回路の動作波形

3.2. GaN 用ゲートドライバー

GaN 用ゲートドライバーの概略図を図 3.2.1、動作におけるタイミングチャートを図 3.2.2 に示す。一般的なゲートドライバー回路は、発振回路、デッドタイム回路、レベルシフト回路、ブートストラップ回路、ドライバーによって構成される。入力電圧を V_{in} とし、発振回路から入力されるパルスを $V_{pulse} (= 0 - V_{dd})$ とし動作を説明する。なお、ショットキーバリアダイオードにおける電圧降下は無視している。

はじめに、Low-side について動作を説明する。入力された V_{pulse} について、デッドタイム回路によりデッドタイム調整を経て $V_{dead_L} (= 0 - V_{dd})$ となり、これがドライバーの入力信号となる。また、ドライバーの電源電圧は V_{in} である。入力された信号はドライバーにより電流増幅され、最終的には V_{g_L} となって MOSFET のゲートに伝えられる。

$$V_{g_L} = 0 - V_{in}$$

次に、High-side について動作を説明する。 V_{LX} は High-side のソース電圧 (V_{s_H}) と Low-side のソース電圧 (V_{s_L}) との差で求められ、以下の矩形波となる。

$$V_{LX} = 0 - V_{in}$$

また、 V_{bst} はブートストラップ回路により生成され、以下の矩形波となる。

$$V_{bst} = V_{in} - 2V_{in}$$

入力された V_{pulse} について、デッドタイム回路によりデッドタイム調整を経て $V_{dead_H} (= 0 - V_{dd})$ となり、レベルシフト回路により $0 - 2V_{in}$ となる。これがドライバーの入力信号となる。また、ドライバーの電源電圧は V_{bst} となる。入力された信号は電流増幅され、最終的には V_{g_H} となって MOSFET のゲートに伝えられる。

$$V_{g_H} = 0 - 2V_{in}$$

以上の動作により、Low-side・High-side の MOSFET を駆動させ、バックコンバータを動作させる。

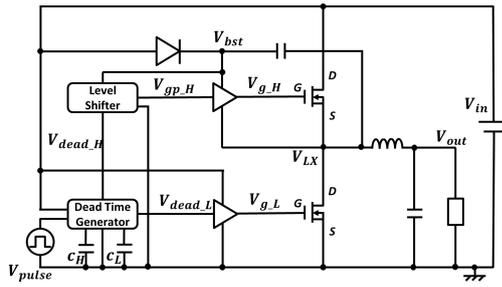


図 3.2.1 GaN 用ゲートドライバーの概略図

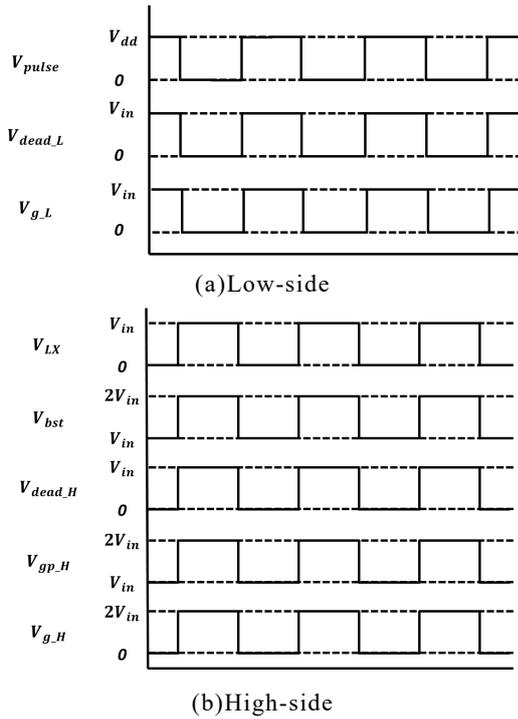


図 3.2.2 タイミングチャート

4. シミュレーション結果

4.1. 発振回路

矩形波発生回路の回路図を図 4.1.1、出力波形を図 4.1.2 に示す。

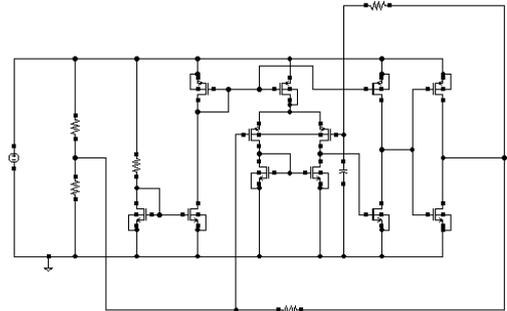


図 4.1.1 矩形波発生回路

表 4.1.1 矩形波発生回路の条件

V_{dd}	4V
$R1$	10k Ω
$R2$	10k Ω
$R3$	10k Ω
$R4$	10k Ω
$C1$	728pF

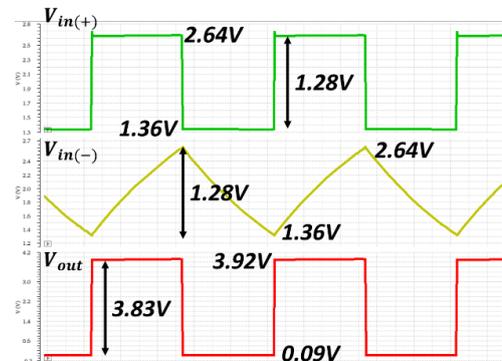


図 4.1.2 矩形波発生回路の出力波形

$V_{in(+)} > V_{in(-)}$ のとき $V_{in(+)}$ は、表 4.1.1 より

$$V_{in(+)} = \frac{2}{3}V_{dd}$$

であり、 $V_{dd} = 4$ であることを考慮すると、

$$V_{in(+)} = 2.67[V]$$

となる。また $V_{in(+)} < V_{in(-)}$ のとき $V_{in(+)}$ は、

$$V_{in(+)} = \frac{1}{3}V_{dd}$$

であり、 $V_{dd} = 4$ であることを考慮すると、

$$V_{in(+)} = 1.33[V]$$

となる。

よってシミュレーションでは妥当な結果を出力しているといえる。 V_{out} は3.83Vとなっており、理論値である4Vから落ちている。この理由として、オペアンプ内部で使用したMOSFETの値や抵抗・キャパシタの値の最適化ができていないことが挙げられる。

発振周波数については以下のように決定した。

$V_{out} = V_{dd}$ のとき、 $V_{in(-)}$ は $\frac{1}{3}V_{dd}$ から $\frac{2}{3}V_{dd}$ の区間で

$$V_{in(-)} = \left(V_{dd} - \frac{1}{3}V_{dd} \right) \times \left(1 - e^{-\frac{1}{C_1 R_4} t} \right)$$

となる。 $V_{in(-)}$ が $\frac{2}{3}V_{dd}$ となると、 V_{out} が0に切り替わる。 V_{out} が V_{dd} である区間の時間を T_r とすると、 T_r のときの電圧は $\frac{1}{2} \times \left(V_{dd} - \frac{1}{3}V_{dd} \right)$ であるため、以下の式となる。

$$\frac{1}{2} \times \left(V_{dd} - \frac{1}{3}V_{dd} \right) = \left(V_{dd} - \frac{1}{3}V_{dd} \right) \times \left(1 - e^{-\frac{1}{C_1 R_4} T_r} \right)$$

これを T_r について解くと、以下のように求まる。

$$T_r = -C_1 R_4 \times \ln \left(\frac{1}{2} \right)$$

$V_{out} = 0$ のとき、 $V_{in(-)}$ は $\frac{2}{3}V_{dd}$ から $\frac{1}{3}V_{dd}$ の区間で

$$V_{in(-)} = \frac{2}{3}V_{dd} \times e^{-\frac{1}{C_1 R_4} t}$$

となる。 $V_{in(-)}$ が $\frac{1}{3}V_{dd}$ となると、 V_{out} が V_{dd} へと切り替わる。 V_{out} が0である区間の時間を T_f とすると、 T_f のときの電圧は $\frac{1}{2} \times \frac{2}{3}V_{dd}$ であるため、以下の式となる。

$$\frac{1}{2} \times \frac{2}{3}V_{dd} = \frac{2}{3}V_{dd} \times e^{-\frac{1}{C_1 R_4} T_f}$$

これを T_f について解くと、以下のように求まる。

$$T_f = -C_1 R_4 \times \ln \left(\frac{1}{2} \right)$$

よって出力電圧の1周期は $T = T_r + T_f$ で求められるので、

$$T = -C_1 R_4 \times \ln \left(\frac{1}{2} \right) \times 2$$

となる。発振周波数は $f = \frac{1}{T}$ より、以下の式で求まる。

$$f = \frac{1}{2 \ln 2 \times C_1 R_4}$$

本研究では $f = 100\text{kHz}$ での動作を目標としたため、 $C_1 = 728\text{pF}$ 、 $R_4 = 10\text{k}\Omega$ に設定した。シミュレーションでの発振周波数は 100.26kHz となっており、目標に非常に近い周波数でシミュレーションを実行することができた。

4.2. GaN 用ゲートドライバー

GaN用ゲートドライバーにおけるバックコンバータ部を図4.2.1、IC内部を図4.2.2、シミュレーション条件を表4.2.1に示す。

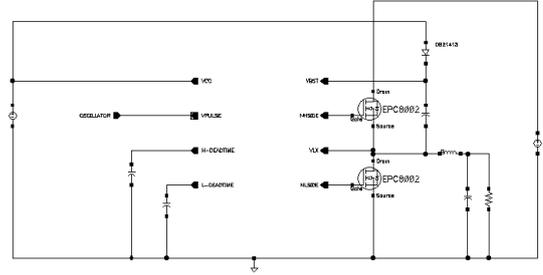


図 4.2.1 バックコンバータ部

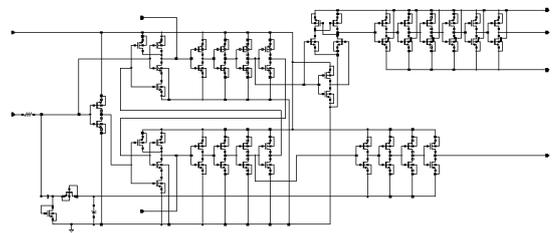


図 4.2.2 IC 内部

表 4.2.1 シミュレーション条件

入力電圧 V_{in}	4V
電源電圧 V_{dd}	4V
スイッチング周波数 f_{sw}	100kHz
チャージポンプ用キャパシタ C_{pulse}	10uF
チャージポンプ用キャパシタ C_{ground}	100nF
デッドタイム用キャパシタ C_{dead}	20pF

IC 内部の左下に位置した回路が反転型チャージポンプである。矩形波発生回路によって生成された矩形波を入力とし、負電圧を出力する様子を図4.2.3に示す。入力パルスに対して出力電圧は負の直流電圧となる。今回使用した反転型チャージポンプのパラメータでは $V_{minus} = -1.22[V]$ となり、負電圧を出力することができた。



図 4.2.3 反転型チャージポンプの出力波形

反転型チャージポンプがない場合のゲート電圧およびバックコンバータの出力電圧を図 4.2.4、ある場合のゲート電圧およびバックコンバータの出力電圧を図 4.2.5 に示す。反転型チャージポンプがない場合、Low-side におけるゲート電圧は 4.0V であるが、反転型チャージポンプがある場合では 5.22V となった。また、どちらの回路もバックコンバータが問題なく動作していることから、負電圧を用いることによる回路への悪影響は少ないと考えられる。

本研究で IC および発振回路に使用したキャパシタは 10uF 以下としている。これは GaN のサイズを基準として 1 チップ化が可能となるサイズである。

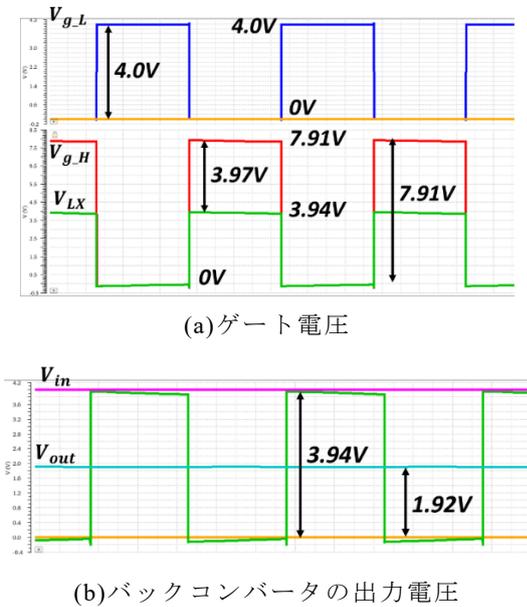


図 4.2.4 反転型チャージポンプなし

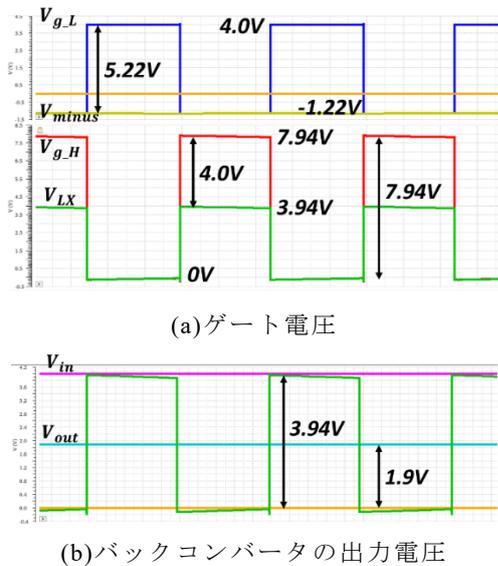


図 4.2.5 反転型チャージポンプあり

5. 結論

ゲートドライバー IC の 1 チップ化・高機能化を検討した結果、インダクタを使用しない矩形波発生回路が適用可能であることおよび GaN 用ゲートドライバー (Low-side) の下端が負電圧においても動作が可能であることを明らかにした。

謝辞

本研究の一部は科研費 21H01314 で行われたものである。また、本研究の一部は東京大学 VDEC 活動を通して、日本ケイデンス・デザイン・システムズ社の協力で行われたものである。

文 献

- [1] <http://pwrsocevents.com/the-history-of-the-pwrsocevents-workshop/>
- [2] K. Hiura, Y. Ikeda, Y. Hino, and S. Matsumoto, "Impact of the 3D Stacking Power Supply on Chip for High Frequency DC-DC Converter", Japanese Journal of Applied Physics, vol.56. No. 4 04CR13, 2017.
- [3] K. Ono, K. Hiura, and S. Matsumoto, Design consideration of a 3D stacked power supply on chip", 2018 ECTC, Session 27.7, 2018.
- [4] S. Abe, S. Matsumoto, and T. Ninomiya, "A novel load regulation technique for power-SoC with parallel connected POLs", IEEJ Journal of Industry Application vol.4 No.6, pp.732- 737, 2015.
- [5] A. Nishigaki, H. Umegmai, F. Hattori W. Martinez and M. Yamamoto, "An Analysis of False Turn-On Mechanism on Power Devices", ECCE, pp. 2988-2993, 2014.
- [6] J. Nagao, J. Furuta, and K. Kobayashi, "Capacitor-Based Three-Level Gate Driver for GaN HEMT Only with a Single Voltage Supply", IEEE COMPEL 2020 DOI:10.1109/COMPEL49091.2020.9265674, 2020,