

# メタル層への受動部品内蔵化による LSI の高機能化の研究

亀谷 雅明

## 目次

<b>1 章 : 序論</b> .....	2
1.1: 研究の背景.....	2
1.2: 高速シリアル伝送での問題点.....	3
1.3: コモンモード・チョークコイルの特徴.....	6
1.4: 新 CMF の特徴.....	9
1.5: 差動信号バランサーの特徴.....	10
1.6: 本研究の目的.....	16
1.7: 本論文の構成.....	17
<b>2 章 : DSB の LSI メタル配線層への埋込</b> .....	18
2.1: 緒言.....	18
2.2: DSB-E1 の構成と特性.....	19
2.3: DSB-E2 の構成と特性.....	27
2.4: DSB-EIM の測定設備および測定技術.....	38
2.5: 結言.....	42
<b>3 章 : RF ノイズ混入モデルの構築と RFI 検証</b> .....	43
3.1: 緒言.....	43
3.2: 差動伝送路チャンネルへのノイズ混入モデル.....	43
3.3: DTLC/NR モデルを用いた RFI 検証回路の構築.....	51
3.4: DSB-EIM の RFI 対策部品としての適合性確認.....	56
3.6: 結言.....	62
<b>4 章 : 結論</b> .....	63
<b>謝辞</b> .....	66
<b>参考文献</b> .....	67

# 1 章：序論

## 1.1：研究の背景

我が国の電子産業が海外に押されて衰退していく中、抵抗(R)、インダクタ(L)あるいはキャパシタ(C)に代表される受動部品は、日本の至宝と呼ばれるように、依然として我が国が世界をリードしている数少ない分野である。これらの RLC 部品は小型化の流れがめざましく、実装面積  $0.6 \text{ mm} \times 0.3 \text{ mm}$  の 0603 サイズが大幅に普及し、実装面積  $0.2 \text{ mm} \times 0.1 \text{ mm}$  の 0201 サイズも実用化されつつある [1]。小型化により、1回の生産プロセスで得られる数量が増え、低価格化に大きく貢献する。さらにこれらの RLC 部品をプリント配線板内に内蔵した、部品内蔵基板も実用化されつつある [2-6]。このような RLC 部品の小型化の流れに加え、これらの部品を半導体プロセスで形成する流れも盛んであり、シリコン(Si)基板あるいはガリウム砒素マイクロ波集積回路(GaAs MMIC)基板上に構成した L や、LC 回路の報告例および解析例が多数存在する [7-19]。ただし、これらの LC 回路は、半導体の動作に必須な外付け部品を内蔵化したケースが主で、IC/LSI を含む回路あるいはシステム全体に新たな機能を提供できるような、新規性の高い LC 回路を追加するようなケースは少ない。

一方、高抵抗 Si 基板やガラス基板上に 3 層程度のメタル配線層を配置して、微細 RLC 回路を構成した、Integrated Passive Device (IPD) も多数報告されている [20-32]。これらの回路では、パワーデバイダー、バラン、あるいはコモンモード・フィルタ等の、回路全体の動作を支援するような高機能な受動回路ネットワークが多く、IC/LSI に内蔵されればシステムの機能を向上させる非常に有益なものとなる。しかしながら、IPD プロセスは受動回路向けに特化したものであり、これにより開発された受動回路は半導体プロセスと親和性が高いとは言え、IC/LSI メタル配線層へ容易に移植できる訳ではない。その理由として、IC/LSI メタル配線層は IPD プロセスよりもメタル層膜厚が薄く導体抵抗の影響が大きい事、またメタル層間の誘電体膜厚も薄く、浮遊容量の影響を受け易い事が考えられる。

そこで逆に、これらの導体抵抗や浮遊容量の影響を軽減あるいは有効活用できるような設計が可能であれば、IPD プロセスで構成されるような高機能受動回路を IC/LSI メタル配線層に埋め込み、IC/LSI 単体のみならず、システム全体をより高機能化させる事に大きく寄与できると考えられる。

本研究では、受動回路のみが解決可能な例として、ノイズによる半導体の誤動作に着目、その対策部品であるコモンモード・フィルタを IC/LSI メタル配線層に埋め込む事とし、その場合の IC/LSI は高速シリアル伝送用トランシーバを想定する。その理由は、高速シリアル伝送では伝送速度が飛躍的に上昇し続け、従来の伝送速度では顕在化しなかった電磁障害が頻発しているからである。次節でその問題点を説明する。

## 1.2：高速シリアル伝送での問題点

近年のデジタル情報通信機器におけるデータ伝送は、装置間のみならず装置内のモジュール間や IC/LSI チップ間も高速シリアル伝送が主流である [33]。従来の伝送方式であるパラレル伝送は、ビット数に相当するデータ線路数を必要とするため、ビット数の増加に伴い、配線領域が肥大化するのみならず、ビット間での伝搬遅延差が生じ易くなる等の問題を抱えていたため、IC/LSI チップ内配線でしか使われなくなりつつある。

高速シリアル伝送は、Serializer/De-serializer (SerDes)を用いて、IC/LSI チップ内のパラレルデータを逐次パルス列に並び変えてシリアルデータに変換後、電気信号のまま、あるいは半導体レーザを振幅変調した光出力によって、IC の外部へ出力する[34-37]。その電気信号/光は、伝送するために必要な最低限の線路/光ファイバーを 1 レーンとして、数レーン以下のデータ線で伝送され、受信側の IC チップに取り込まれた後、SerDes で再びパラレルデータに変換される。これにより、装置間およびチップ間の配線線路数を減らす事ができ、ビット間の伝搬遅延差も解消可能となる。ただし、シリアルデータは全ビットのデータを直列のパルス列に逐次変換するため、同じクロック周波数だと、データ転送速度は低くなる。そのためデータ転送速度を高める事が必須となる。

データ転送速度を高めるためには、データ線の数を増やすマルチレーン化も有効な手段であるが、それ以上に重要なのが、1レーン当たりの伝送速度を上げる事である。伝送速度を向上する手段としては、基本的な論理0と1だけのNon Return to Zero (NRZ)方式だけではなく、4値を認識するPulse Amplitude Modulation 4 (PAM 4)方法も採用されている[34,38-40]。しかし、最も基本的で重要な手段は、NRZでの論理0と1の繰り返し周期を短くする、すなわちクロック周波数を高める事である。そのために以下の技術が採用されている[41]。

- (a) 信号の電圧振幅を下げ、短時間で論理0と1との遷移を実現
- (b) 信号の振幅が下がる事によるノイズマージン劣化を解消するための差動伝送

図1.2.1に低振幅差動伝送の利点を示す。図1.2.1(a)は繰り返し周波数の振幅依存性を示すイメージ図で、パルスの電圧振幅が低くなることで、信号の立上り/立下りに対する時間対電圧の変化率(エッジレート)は同じまま、0と1の繰り返しを速くする事が可能となる。エッジレートを高めるには、半導体の動作をより速める必要があり、またその場合、電流の対時間変化率が高まるためにノイズが大きくなる事から、課題が大きく、パルスの電圧振幅を低くする事が必須となる。

また図1.2.1(b)は差動伝送による外来ノイズキャンセルのイメージ図で、送信器 (Transmitter, TX) から出力された差動データ信号 D+および D-が差動線路を伝搬中に、外来ノイズが飛来し、受信器 (Receiver, RX)直前の V(p)および V(n)の両波形にノイズが印加された形になっているが、外来ノイズは両伝送路に同相で印加され、コモンモード(Common Mode, Comm)ノイズとなるため、RXでの差動受信波形、すなわち V(p)-V(n)では、Commノイズは自動的にキャンセルされる。

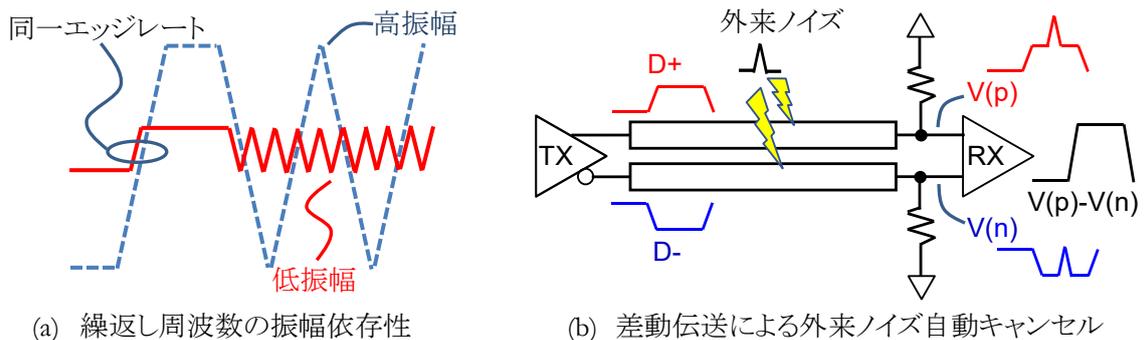


図 1.2.1 低振幅差動伝送の利点

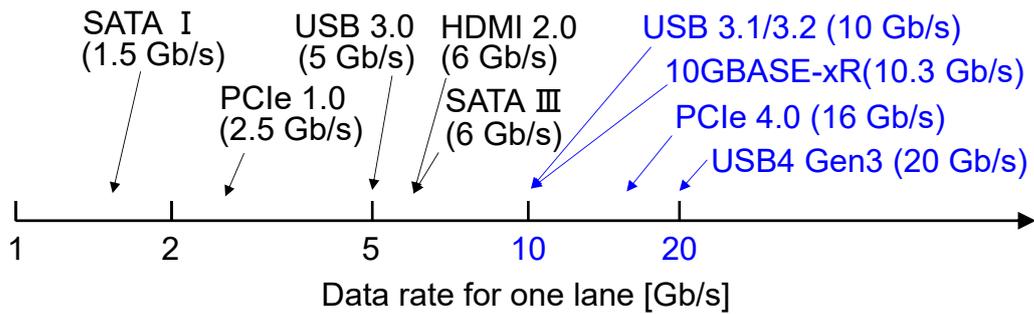


図 1.2.2 高速シリアル差動伝送を用いた各種規格

これらの技術の進化により、高速シリアル差動伝送の伝送速度も上がり続け、図 1.2.2 に示す通り各種の高速規格が実用化されている[41,42]。

ところが、伝送速度の向上により新たな問題が発生している。それは、差動 2 ライン間のデータ信号 D+と D-の立上り/立下りエッジのタイミングずれ、すなわち Skew(スキュー)が無視できなくなる点と、外来ノイズの自動キャンセルが困難となる点である。

Skew が無視できなくなる理由は、例えばパルス幅 1 ns に対する 20 ps の Skew は、パルス幅に対する割合では 2%に過ぎないが、パルス幅 200 ps に対する 20 ps の Skew は、パルス幅に対する割合で 10%にも及ぶ事になり、パルス幅が狭くなるほど、Skew による D+と D-のアンバランスが大きく見えるからである。尚、Skew は TX 部の半導体のアンバランスや配線材料の不均一等、差動 2 ライン間のアンバランスで容易に発生する[43-49]。Skew が発生した場合の最大の問題点は、データ信号 D+と D-の立上り/立下りエッジにスパイク状の同相成分波形、すなわち Comm ノイズが発生し、容易に空間に放射され、電磁障害(Electro Magnetic Interference, EMI) を引き起こす点である[50-53]。また、Skew の発生した信号は、伝送線路を通過後に、差動受信波形の劣化を引き起こす可能性も高く、半導体で Skew を補正する回路を構成する例も報告されている[54,55]。

外来ノイズの自動キャンセルが困難となる理由は、信号の振幅が小さいという事と半導体が低電圧で動作する事が同義であり、Comm ノイズの振幅が半導体の動作電圧を超えやすくなるためである。Comm ノイズの振幅が半導体の動作電圧を超えた場合に問題となる一例として 静電気放電保護(Electro-Static Discharge, ESD)ダイオードによるノイズ波形ピーク部の電源電圧/GND 電位へ

のクランプが挙げられる[56-58]。すなわちノイズ振幅が電源電圧を上回るか GND 電位を下回ると、ESD ダイオードが順バイアスになり信号ラインが電源電圧または GND 電位に固定され、データ信号 D+と D-の差分電圧が当初の電圧から変化してしまう。これによりデータの 0 または 1 が不正確になり、ビットエラーを引き起こす。このような外来電波による障害を Radio Frequency Interference (RFI)と呼ぶ。伝送速度が低い場合は、差動信号の周波数と外来電波の周波数に開きがあったので、外来電波の周波数を遮断するローパスフィルタを挿入すれば解決出来ていた。しかしながら近年の情報通信機器では、差動信号が 10 Gb/s、すなわちクロック周波数 5 GHz、一方外来電波は Wi-Fi 2.4 GHz という具合に、外来電波周波数が差動信号の周波数帯域に入るようになり、RFI の影響の深刻さが増している[59]。このような Skew および RFI の問題を解決する手段として有効なのが、コモンモード・フィルタ (Common-mode filter, CMF)である。コモンモード・フィルタには何種類かの構成があり、その中で最も広く普及しているのがコモンモード・チョーク コイル (Common-mode Choke Coil, CMC)である[60-67]。

### 1.3 :コモンモード・チョークコイルの特徴

図 1.3.1 に CMC の構造と等価回路を示す。図 1.3.1(a)および(b)は、CMC の電磁界シミュレーション(Electro-magnetic Simulation, EM-Sim)モデルによる構造例で、それぞれ斜視図および底面図で

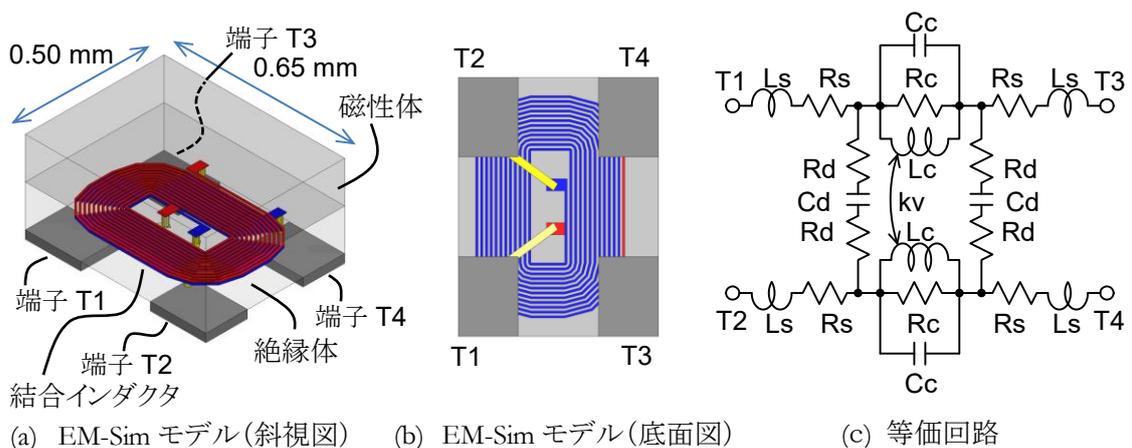


図 1.3.1 CMC の構造と等価回路

あり、図 1.3.1(c)はその等価回路で、報告されている等価回路例を参考に、EM-Sim 結果に近い特性が得られるよう修正を加えたものである[65-67]。EM-Sim モデルでは、実装サイズ 0.65 mm×0.50 mm のフィルム等による絶縁体上に細線のスパイラルインダクタを形成し、それを 2 個同心円状に積層し、それらの端末は、T1～T4 の端子電極に接続される。積層された 2 個のスパイラルインダクタは互いに正結合しており、同一方向の電流、すなわち Comm ノイズに対しては磁束の発生方向も同一方向となるため、互いに磁束を強め合い、インダクタンスを増加させる。逆に互いに逆方向の電流、すなわち Diff 信号に対しては、磁束の発生方向も互いに逆向きのため、互いに磁束を打ち消し合い、インダクタンスがほぼゼロになる。この性質により差動線路に挿入された CMC は、Comm ノイズに対しては高い直列インピーダンス、Diff 信号に対しては低い直列インピーダンスを示すため、Comm ノイズのみ CMC の入り口で反射してそれ以上伝搬できず、遮断される。CMC の構造は図 1.3.1(a)のとおり単純であるが、等価回路上は、図 1.3.1(b)のとおり浮遊容量  $C_c$  および  $C_d$ 、導体抵抗  $R_s$ 、あるいは誘電損失  $R_c$  および  $R_d$  が加わり、若干複雑な構成になる。

図 1.3.2 に上記図 1.3.1(a)の EM-Sim による CMC の特性および、図 1.3.1(b)の回路シミュレーション(Ckt)による CMC の周波数特性を示す。図 1.3.2(a)および(b)はそれぞれ EM-Sim モデルおよび Ckt による Diff 通過特性  $S_{dd21}$ 、Comm 通過特性  $S_{cc21}$ 、Comm から Diff へのモード変換特性  $S_{dc21}$ 、および Diff 信号に対するインピーダンスミスマッチによる反射特性  $S_{dd11}$  を示している。

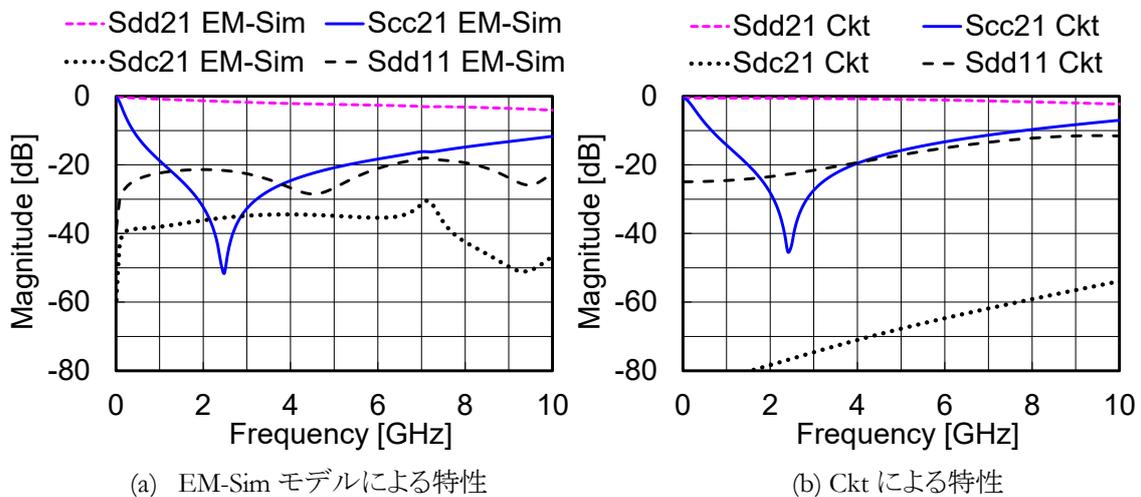
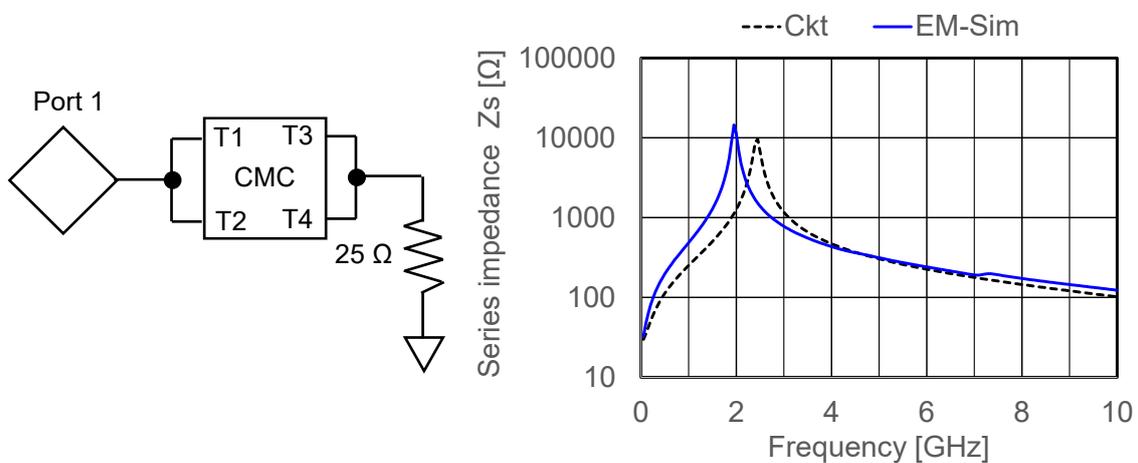


図 1.3.2 CMC の周波数特性

EM-Sim も Ckt も、Sc21 の 2.5 GHz 付近では共振状の減衰極が形成されており、この周波数近傍で直列インピーダンスが最も高くなる事が推測される。さらに Comm から Diff へのモード変換特性 Sdc21 は、2.5 GHz 付近において EM-Sim の方が Ckt より 40 dB 程度悪い傾向を示している。その理由は、Ckt では差動 2 線路間でバランスのとれた回路構成であるのに対し、EM-Sim はスパイラルインダクタがアンバランスになっているため、Skew の発生原因と同様、差動 2 ライン間のバランスが崩れ、Diff 信号の一部は Comm ノイズに変化し、それとほぼ同じ程度に Comm ノイズの一部が Diff ノイズに変化するためである。このモード変換の影響は 3 章で解説する。

図 1.3.3 は、EM-Sim および Ckt 両 CMC の Comm に対する直列インピーダンスの周波数応答である。図 1.3.3(a)は測定回路で、入力側から同相信号を入力、出力側は終端させて、入力側の Z パラメータ、Z11 をモニタする。図 1.3.3(b)は Z11、すなわち Comm に対する直列インピーダンスの Zs の周波数応答である。

図 1.3.3 (b)に示される通り、Sc21 の減衰極周波数付近で Zs は 10 kΩ 前後の極めて大きな値を示し、Comm ノイズは挿入位置で反射遮断される事が理解される。このような、Comm ノイズの除去方法が、ノイズを単純に反射させるという手法であるため、除去されたノイズが伝送線路内に残留し、放射されて EMI を引き起こしたり、伝送線路内で多重反射して信号品質に影響を及ぼしたりする懸念がある。そのような例を第 3 章で示す。



(a) 直列インピーダンス測定回路

(b) 直列インピーダンス周波数応答

図 1.3.3 CMC の Comm に対する直列インピーダンス

また CMC の構造上の問題点として、2 個のインダクタには強い磁気結合が作用しており、僅かな結合係数の変動でも特性を大きく変えてしまうため、結合を安定化させるために磁性体による磁気シールドが必要となる点が挙げられる。そのため IPD プロセスで構成するには適さず、LSI のメタル配線層への埋込にも不向きである。

## 1.4 新 CMF の特徴

CMC が磁性体を必要とする事は、GHz 帯のような高周波では磁性損失が発生し、信号波形の劣化も懸念される。そのような問題を回避するために、磁性体が不要な新しい CMF も開発されてきた。その最も基本となる構成が、マイクロストリップ差動線路のグラウンド(GND)にスリットを入れたり、GND プレーンにビア等で接続される独立した浮き GND 上にマイクロストリップ差動線路を配置し、Comm 電流に対し GND への帰還経路に障壁を持たせる方式である。この場合 Diff 電流は両差動線路から逆相で GND へ帰還するため、GND 内で互いに打ち消し合い、GND 内を帰還電流が流れる事は無いので、スリットや浮き GND の影響を受けずに差動線路を伝搬する事が可能で、Comm ノイズのみが除去される[68-79]。

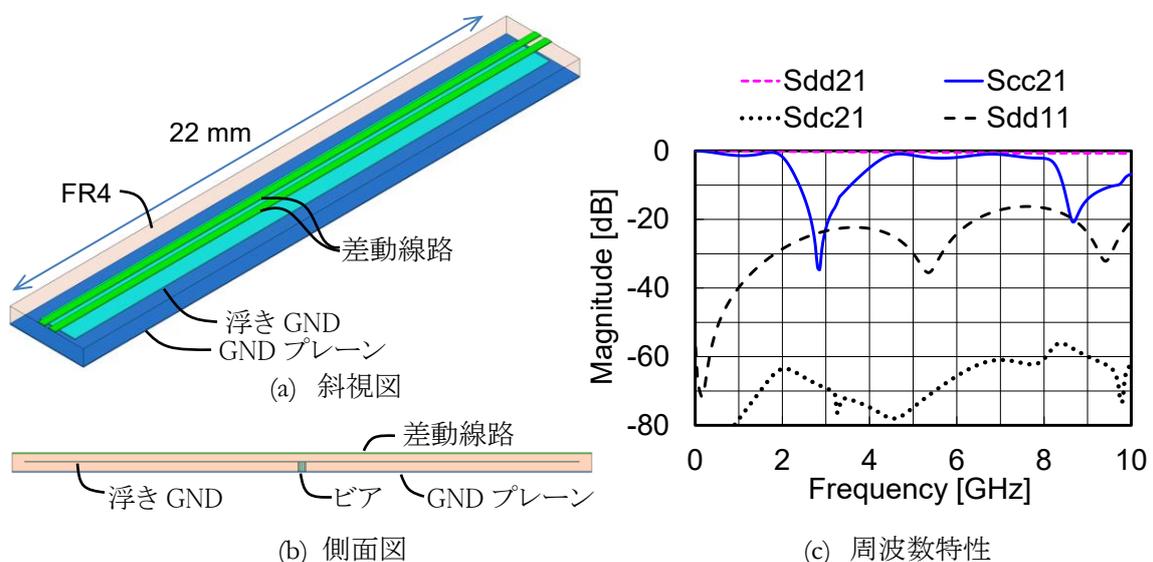


図 1.4.1 新 CMF の構成例と周波数特性

図 1.4.1 に、新 CMF の構成例とその周波数特性を示す。図 1.4.1(a)は EM-Sim モデルの斜視図で、マイクロストリップ差動線路の下に浮き GND が配置され、浮き GND は中央1か所に配置されたビアで GND プレーンに接続される。浮き GND の長さは 22 mm である。図 1.4.1(b)は EM-Sim モデルの側面図で、浮き GND とビアの位置関係を示すものである。図 1.4.1(c)はその周波数特性である。2.8 GHz 付近で Comm が除去できているが、この方式ではサイズが大きくなる問題がある。

### 1.5: 差動信号バランサーの特徴

図 1.4.1 の構成を小型化するためには、マイクロストリップ差動線路と浮き GND を集中定数の LC 遅延回路に置き換え、浮き GND と GND プレーン間のビアを集中定数の L に置き換え、さらにこれらの LC を微細化する事が有効である。そのような目的で、IPD プロセスにより小型に構成した全域通過型集中定数 LC 遅延回路方式の新 CMF(CMF-IPD)が複数報告されている[30-32]。

一方、これらの CMF-IPD が開発される以前から、磁性体不使用で全域通過型集中定数 LC 遅延回路方式の新 CMF、差動信号バランサー(Differential Signal Balancer, DSB)が開発され、低温同時焼成セラミック(Low Temperature Co-fired Ceramics, LTCC)で製造された DSB-LTCC が市販されている[80-84]。

図 1.5.1 は全域通過型集中定数 LC 遅延回路の基礎となる遅延線(Delay Line, DL)の等価回路と構造図である。CMF-IPD も DSB もこの DL を組合わせて CMF を構成している。ここで  $L_{dL}$  と  $L_{dR}$

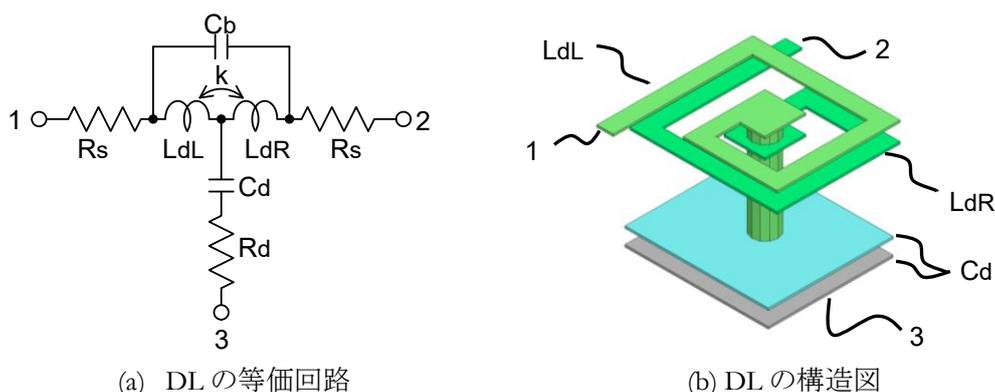


図 1.5.1 遅延線(DL)の等価回路と構造図

は薄い LTCC 層を挟んで対向するスパイラルインダクタ、 $C_d$  は平板電極によるキャパシタであり、設計として構成する素子はこの 2 点のみである。その他は寄生成分で、 $R_s$  は  $L_{dL}$  あるいは  $L_{dR}$  の導体抵抗、 $R_d$  はキャパシタ  $C_d$  の誘電損失、 $C_b$  は  $L_{dL}$  と  $L_{dR}$  との間に形成される電極間橋絡容量、 $k$  は  $L_{dL}$  と  $L_{dR}$  との磁気結合係数である。このような構成の DL に対する概略の遅延時間  $t_d$ 、特性インピーダンス  $Z_o$  は下記で与えられる。橋絡容量  $C_b$  は非常に小さい値なのでその影響は無視している。

$$t_d = \sqrt{(1+k)(L_{dR}+L_{dL})C_d} \quad \text{式(1-1)}$$

$$Z_d = \sqrt{(1+k)(L_{dR}+L_{dL})/C_d} \quad \text{式(1-2)}$$

すなわち式(1-1)より、 $L_{dL}$ 、 $L_{dR}$  および  $C_d$  の値が大きい程、大きい遅延時間が得られるが、それらの値は任意には設定できず、所望の特性インピーダンスを得られるよう、式(1-2)の関係も満たす必要がある。さらに DL は回路構造的にはローパスフィルタと同じであり、 $L_{dL}$ 、 $L_{dR}$  および  $C_d$  の値が大きい程カットオフ周波数が下がる。DL はローパスフィルタとは異なり、カットオフ周波数は出来る限り高く設定する事が望ましいため、通常は 1 区間の  $t_d$  を小さく設定し、所望の遅延時間が得られるまで DL を複数区間接続する。さらに橋絡容量  $C_b$  を最適化する事で、飛躍的にカットオフ周波数を高める事ができるが、 $C_b$  の値は極めて小さく、しかもクリティカルである[84]。

図 1.5.2 に CMF-IPD および DSB-LTCC 初期型 (DSB-L1) の等価回路を示す。図 1.5.2(a) は最も基本的な 1 区間 DL 構成の CMF-IPD (CMF-IPD-1) で、差動 2 ラインに DL を対称配置し、DL の 3 番ノード同士を接続して浮き GND に相当するノード (G-Node) を構成する。G-Node と GND 間にはインダクタ  $L_v$  が接続される。回路理論上、Diff 電流は、インダクタ  $L_v$  に対して両信号ラインから逆相関係で流入するが、逆相であるため互いに打ち消し合い、結果  $L_v$  には Diff 電流は流れない。すなわち  $L_v$  は Diff からは見えず、Comm に対してのみ作用する。

図 1.5.2(b) は、3 区間 DL 構成の CMF-IPD (CMF-IPD-3) であり、単純に DL を 3 区間に増やした上で、各区間の G-Node を一点に接続、G-Node と GND 間にインダクタ  $L_v$  を接続する。1 区間の DL の  $t_d$  は、図 1.5.2(a) の DL に対し 1/3 にでき、Diff 通過特性が改善される。

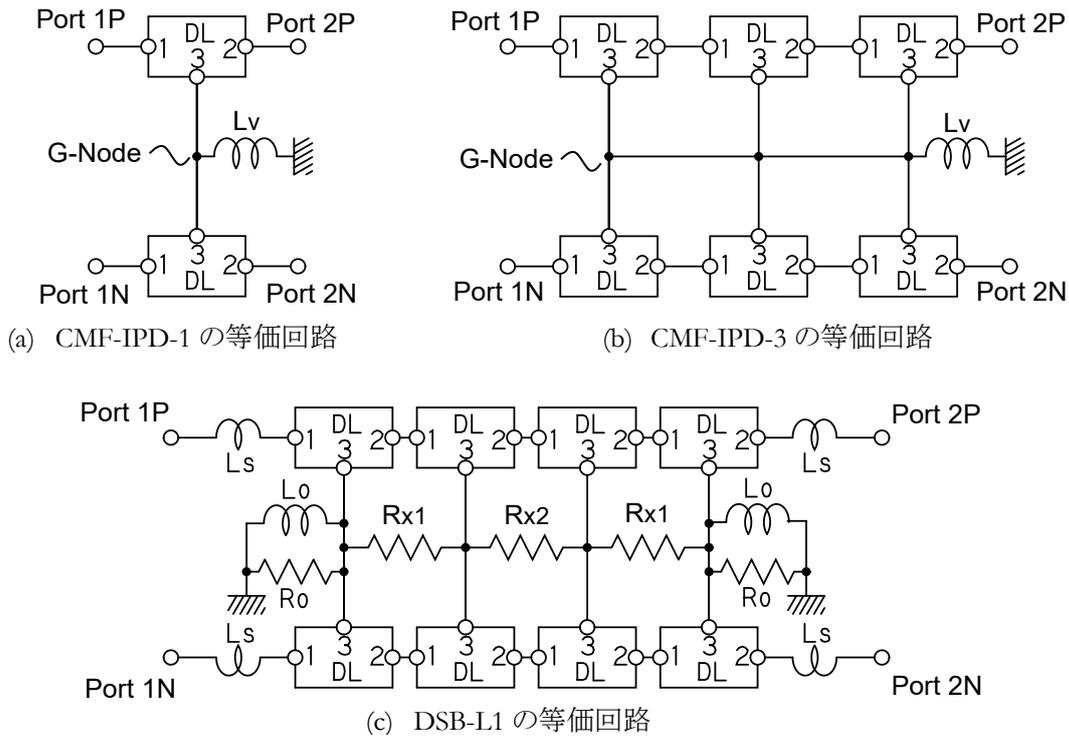


図 1.5.2 CMF-IPD および DSB-L1 の等価回路

図 1.5.2(c)は DSB-L1 の等価回路であり、DL は 4 区間で構成されている。隣接区間の G-Node 同士は抵抗  $R_{x1}$  あるいは  $R_{x2}$  が接続され、一番入出力寄りの G-Node と GND 間にはインダクタ  $L_0$  と抵抗  $R_0$  が並列に接続される。ここで  $R_{x1}$  および  $R_{x2}$  がともに  $0 \Omega$ 、かつ  $R_0$  が極めて高い抵抗値の場合は 4 区間構成の CMF-IPD と一致する。すなわち、CMF-IPD は DSB の特別なケースと言う事ができる。尚  $L_s$  は入出力端子のインダクタ成分であるが、ここでは無視する。各 LCR 定数を表 1-1 の通り設定し、回路シミュレーションを行うと、図 1.5.3 に示す特性が得られる。

表 1-1 各定数

CMF Type	DL 部							$L_v$ [nH]	$L_0$ [nH]	$R_0$ [ $\Omega$ ]	$R_{x1}$ [ $\Omega$ ]	$R_{x2}$ [ $\Omega$ ]
	$L_{dL}$ [nH]	$L_{dR}$ [nH]	k	$C_b$ [pF]	$C_d$ [pF]	$R_d$ [ $\Omega$ ]	$R_s$ [ $\Omega$ ]					
CMF-IPD-1	1.4	1.4	0.4	0.17	1.8	3	0.375	1.6	NA	NA	NA	NA
CMF-IPD-3	0.46	0.46	0.4	0.07	0.6	2	0.125	1.6	NA	NA	NA	NA
DSB-L1	0.7	0.7	0.4	0.08	0.75	2	0.125	NA	4	150	25	50

図 1.5.3(a)は、CMF-IPD-1、CMF-IPD-3 および DSB-L1 の  $S_{cc21}$  特性であり、CMF-IPD-1 および -3 は、ともに 2.4 GHz 付近と 5.0 GHz 付近の 2 か所に急峻な減衰極を形成する。一方、DSB-L1 で

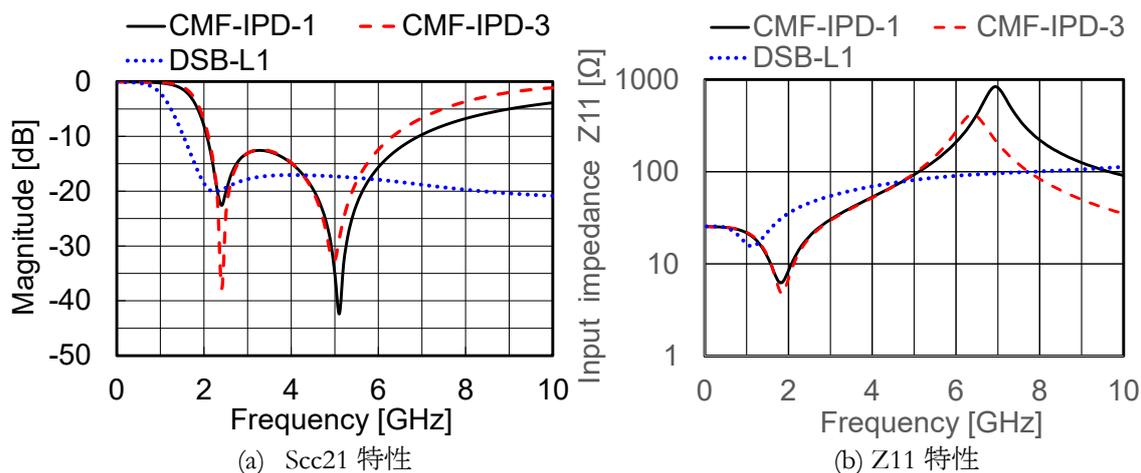


図 1.5.3 CMF-IPD と DSB-L1 の回路シミュレーション結果

は、Comm 除去量の最大値は CMF -IPD に及ばないものの、ほぼ一定の Comm 除去量を広い周波数範囲で実現している。

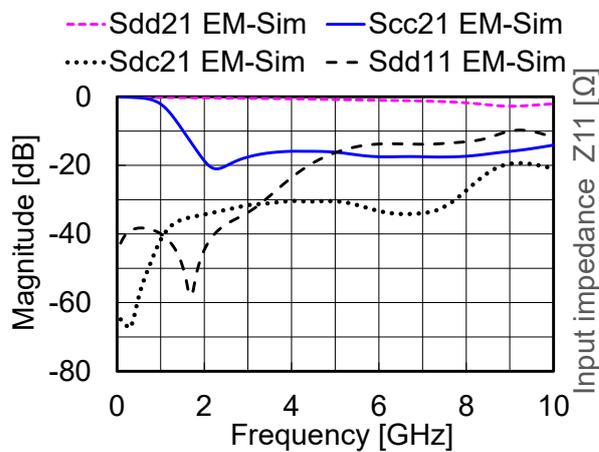
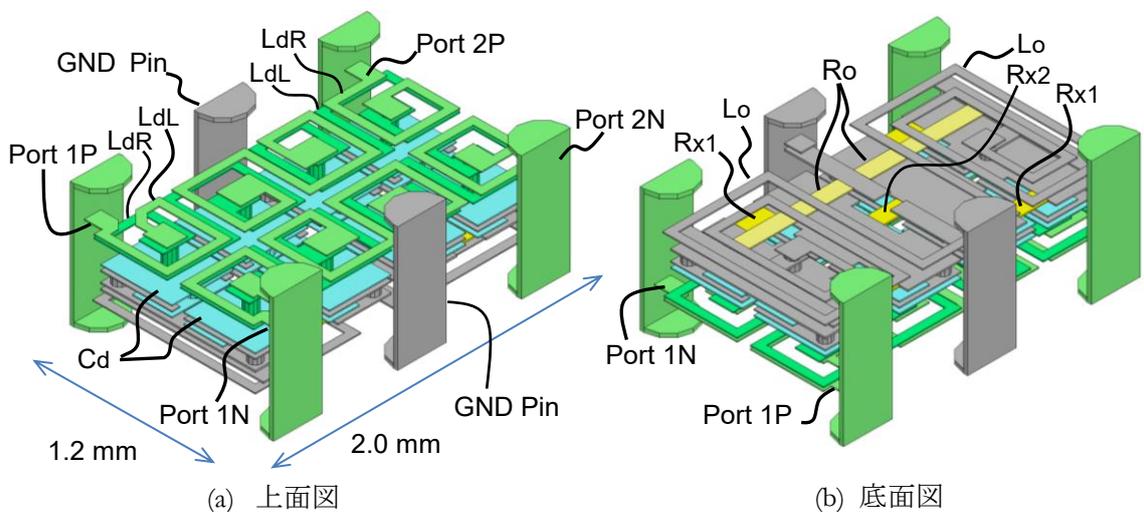
図 1.5.3(b)は、図 1.3.3 (a)に示す手順で求めた Comm に対する Z11 特性である。CMC の場合と異なり、CMF-IPD および DSB-L1 は、内部素子が GND へ接続されている事から、直列インピーダンスだけでなく信号ライン—GND 間のシャントインピーダンスとの合成値となる。従って CMC のような直列インピーダンスとはならず、逆に CMF-IPD においては、2 GHz 付近で 10 Ω 未満の極めて低いシャントインピーダンスとなるとともに、6~7 GHz では CMC のような高い直列インピーダンスを示すという、2 種類の遮断特性を有する。一方 DSB-L1 は CMF-IPD 程の低いシャントインピーダンス及び高い直列インピーダンスを示さない。従って、この場合の Z11 はポート1から見た入力インピーダンスと捉える事が適切となる。

また、以上のような入力インピーダンス特性を示す理由は、CMF-IPD は DL の LC 成分とインダクタ  $L_V$  とで直列共振回路が形成され、また  $L_{dL}$ 、 $L_{dR}$  および  $C_b$  で並列共振回路が形成され、直列共振周波数では信号ライン—GND 間が短絡に近くなり、入力インピーダンスが低くなる一方、並列共振周波数では信号ラインに高インピーダンスの共振回路が挿入される事で入力インピーダンスが高くなるからである。また DSB-L1 も同様に直列共振回路および並列共振回路が形成されるが、 $L_o$  に並列に抵抗  $R_o$  が接続されるため、 $L_o$  の Q 値が下がり、CMF-IPD のような急峻な減衰極が

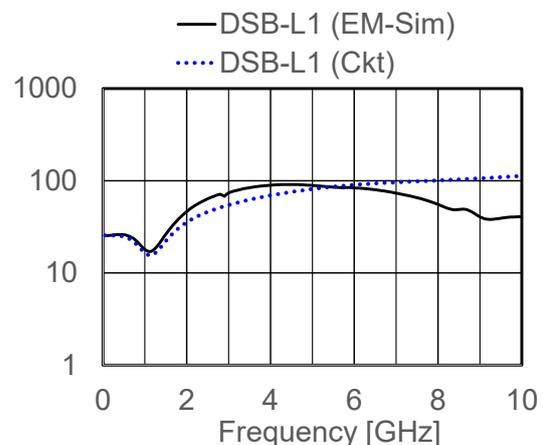
形成される代わりに、減衰量は劣るものの広い周波数帯域で一定の減衰量を確保できるようになる。

図 1.5.4 に、DSB-L1 の EM-Sim モデルとその EM-Sim 結果を示す。図 1.5.4(a)および(b)は、EM-Sim モデルによる上面図と下面図である。実装面積  $2.0 \text{ mm} \times 1.2 \text{ mm}$ 、厚さ  $0.8 \text{ mm}$  で近年の部品サイズとしては大きいため、1回のプロセスで得られる数量が CMC よりも少なく、Ag 電極 5 層、Ag/Pd および抵抗膜を配置した層が 3 層の計 8 層構成と構造的に複雑で、低コスト化には不向きである。

一方、CMF-IPD と同様に、DSB-LTCC も磁性体不使用であるため、IPD プロセスで Si 基板上に微細 LC 回路として構成可能であるが、より広範囲な普及のためには、外付け部品としてではなく、LSI メタル配線層への埋め込みが最も有効と言える。



(c) 周波数特性



(d) Z11 特性

図 1.5.4 DSB-L1 の EM-Sim モデルおよびその特性

図 1.5.4(c)および(d)は、EM-Sim による周波数特性および Z11 入力インピーダンス Z11 特性である。Scc21 と Z11 は Ckt による解析結果と近い特性を示している。一方 Sdc21 は CMC と同程度の大きなモード変換量を示しており、改善が必要である。

尚参考までに、最新の DSB-LTCC である DSB-L2 の等価回路、構造および EM-Sim による特性を図 1.5.5 に示す。図 1.5.5(a)の等価回路に示されるとおり、RFI の除去用に、Wi-Fi 電波周波数である 2.4 GHz と 5.4 GHz 付近に減衰極を持たせる目的で、CMF-IPD-1 を 2 区間分接続した構成としている。従って 2 つの G-Node 同士は接続されていない。G-Node—GND 間のインダクタ  $L_o$  と  $L_p$  は僅かに異なったインダクタンスにして、減衰極があまり急峻にならないよう、それぞれのインダクタでの共振周波数をわずかにずらしている。抵抗  $R_o$  および  $R_p$  はそれぞれ、インダクタ  $L_o$  および

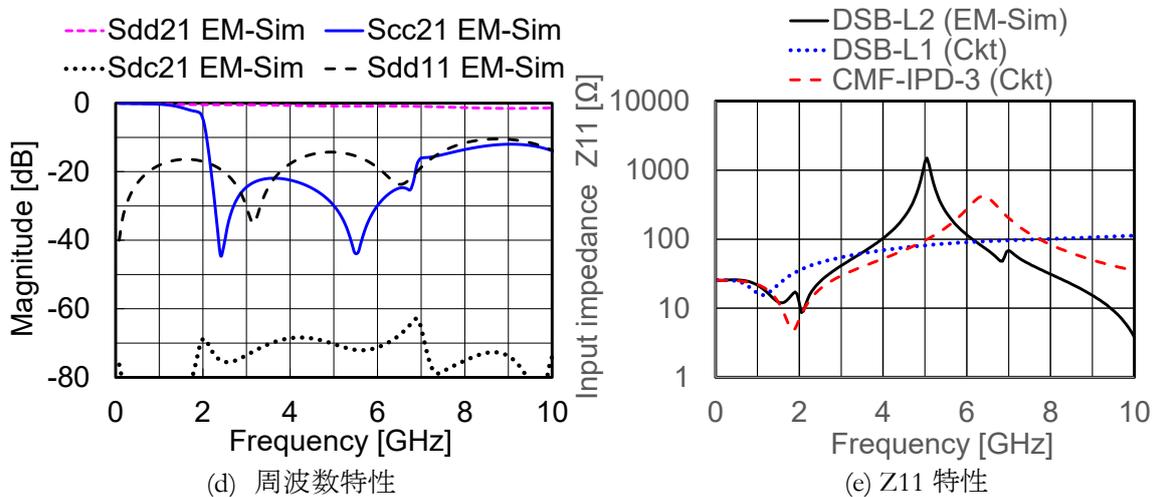
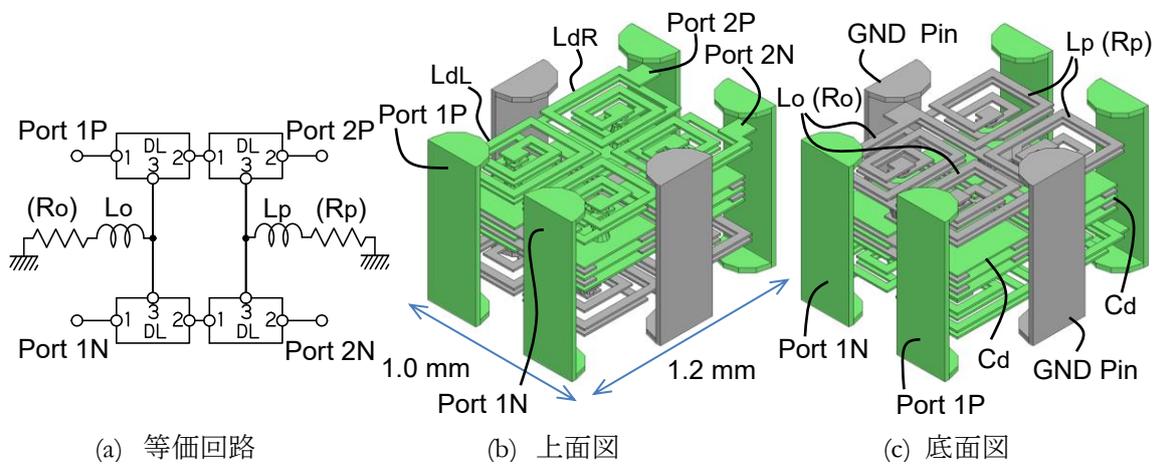


図 1.5.5 DSB-L2 の等価回路、EM-Sim モデルおよびその特性

$L_p$  の導体抵抗成分から得ている。

図 1.5.5 (b)および(c)はそれぞれ、EM-Sim モデルによる上面図および下面図である。DSB-L2 は、DSB-L1 よりも小型化され、実装面積  $1.2 \text{ mm} \times 1.0 \text{ mm}$  であるが、競合する CMC が実装面積  $0.65 \text{ mm} \times 0.50 \text{ mm}$  である事を考えると未だ小型化は不十分であり、DSB の LSI メタル配線層への埋め込みが益々期待される状況にある。

図 1.5.5 (d)は EM-Sim による DSB-L2 の各周波数特性  $S_{dd21}$ 、 $S_{cc21}$ 、 $S_{dc21}$  および  $S_{dd11}$  である。 $S_{dd21}$  特性からわかるとおり、Diff 信号に対し広い通過特性を確保するとともに、 $S_{cc21}$  特性からわかるとおり、Wi-Fi 周波数での Comm ノイズ除去能力は CMF-IPD と同等の上に、CMF-IPD よりも広い周波数範囲で 20dB 以上の Comm ノイズ除去能力を確保している。さらに  $S_{dc21}$  も DSB-L1 から大幅な改善が得られている。

図 1.5.5 (d)は EM-Sim による DSB-L2 の Comm に対する入力インピーダンス  $Z_{11}$  特性であり、参考までに図 1.5.3(b)で示した CMF-IPD-3 および DSB-L1 の  $Z_{11}$  特性も併記している。2.4 GHz 付近はシャントパスによる Comm 除去、5.4 GHz 付近は高い直列インピーダンスによる Comm 除去という傾向を良く示している。

このように DSB は G-Node に接続される RL ネットワークを自由に組み合わせ最適化する事が可能で、LSI のメタル配線層に埋め込むメリットは非常に高いと言える。

## 1.6：本研究の目的

ここまで、高速シリアル差動伝送における問題とその解決部品である CMC、CMF-IPD および DSB について説明を行い、DSB を LSI のメタル配線層に埋め込む事の有効性の高さを示した。本研究では、DSB を標準 CMOS プロセスの LSI メタル配線層に埋め込むための設計、レイアウトおよび実際の試作を行い、その試作品の特性評価ならびに RFI 除去能力の確認を行う。さらに、DSB の LSI メタル配線層埋め込みの有効性として、コスト低減以外の要素、すなわち RFI 除去能力の

CMC に対する優位性の有無を確認する。

## 1.7: 本論文の構成

第 2 章では、DSB の LSI メタル配線層埋め込みについて説明する。設計・試作・評価は 2 回行なった。1 回目の設計・試作に関して、試作品が設計通りに仕上がるよう設計プロセスを確立する経緯について、その詳細を説明するとともに、1 回目の試作結果の詳細を説明する。次に 2 回目の設計・試作目的である、Wi-Fi RFI 除去に実用できるような特性改善について、その実現のために採用した独自構造の特徴と試作結果の詳細を説明する。さらに両試作品の特性を実測し、実測 S パラメータを用いた回路シミュレーションで、簡単なノイズ除去能力比較を行う。最後に両試作品に共通の測定技術についての説明を行う。

第 3 章では、RFI が発生するメカニズムの確認、回路シミュレーション上で外来 RF ノイズを印加する際の従来手法の問題点の指摘、より現実に近い RF ノイズの混入のための新手法の提案、およびその新手法を用いた回路シミュレーションによる RFI 検証を行い、本検証で明確になった CMC の問題点と、DSB の CMC に対する優位性を説明する。

最後の第 4 章では本研究のまとめ、今後の課題、本論文の結論を論じる。

## 2 章 : DSB の LSI メタル配線層への埋込

### 2.1 : 緒言

1 章で述べたとおり、DSB を広く普及させるためには外付け部品では無く、前工程である IC/LSI のメタル配線層に埋め込んで低コストで提供する事が最も有効である。あるいは、後工程である、インターポーザ内や WLP パッケージ等の銅再配線層に埋め込む方法が考えられる [85,86]。

メタル配線層への受動回路埋込については、多くの報告例があり、特にインダクタ(L)に関しては、基板の接近による L のインダクタンス低下や、メタル層膜厚が薄い事による導体抵抗の増加と Q 値の低下が問題視されている[7,8,10]。ただしキャパシタ(C)や抵抗(R)の形成については、Metal-Insulator-Metal Capacitor (MIM-C)および基板上へのポリシリコン R 形成が多くのケースで準備されており、受動回路を形成する環境は最低限整っている。一方、後工程銅配線層への埋込では、キャパシタや抵抗の形成が前工程メタル配線層よりも困難となる。その理由は、現状の後工程再配線はほとんどのケースで、信号ライン、電源ラインおよび GND ライン間接続を目的としており、そのような構成では、MIM-C のための薄膜層や抵抗形成が用意されていないためである。

今回は、東京大学 VLSI Design and Education Center(VDEC)の試作プログラムを用いる事から、前工程のメタル配線層へ埋め込む手法で設計・試作を行った。その構成は、180 nm 標準 CMOS プロセス、アルミニウム系メタル配線層 5 層である。本プロセスにて CMOS メタル配線層に埋め込んだ DSB を DSB-Embedded in Metal layer (DSB-EIM) と呼ぶ。

本章では、まず第 2.2 節で、初の DSB-EIM となる DSB-EIM 1st (DSB-E1)について説明する [87,88]。次に第 2.3 節で、DSB-E1 の結果を反映させて改良された DSB-EIM 2nd (DSB-E2)について説明する[89,90]。第 2.4 節では、両 DSB-EIM に共通の測定系および測定技術について説明する。

## 2.2 : DSB-E1 の構成と特性

本節では、図 1.5.2 (c)に示す DSB-L1 と類似の回路構成にて、実物が設計通りに仕上がるよう設計プロセスを確立する事を目的として開発された DSB-E1 について、その構成と特性を説明する。

図 2.1.1 は、試作した DSB-E1 の等価回路で、DSB-L1 に可能な限り近付けて、かつ CMOS メタル配線層へ埋め込む際の寄生定数も加味した内容となっている。ここで、図 2.1.1 (a)は DL 部を抽出した等価回路で図 1.5.2 (c)に示す DSB-L1 と同様の構成であり、図 2.1.1 (b)は DL 部を DL<sub>1p</sub>~DL<sub>3p</sub> および DL<sub>1n</sub>~DL<sub>3n</sub> と識別して記述した DSB-E1 の等価回路で、R<sub>xi</sub> および L<sub>xi</sub> (i=1~3)はそれぞれ幅の狭い線路を多数回折り返したミアンダ細線で形成された抵抗(主成分)とその寄生インダクタンス、また R<sub>oj</sub> および L<sub>oj</sub> (j=1, 2)はそれぞれ、スパイラルインダクタで形成されたインダクタンス(主成分)とその寄生抵抗である。

L<sub>oj</sub> (j=1,2)は、DL の時定数と組み合わされて、信号ラインと GND 間にシャントパスとして接続される共振回路を形成する。その共振周波数での Comm 電流は、信号ラインよりもシャントパスの方が低インピーダンスになるため、信号ラインを通過せずに GND に帰還する。これにより、その周波数の Comm ノイズが除去される。ただし、共振回路の Q が高すぎると、Comm ノイズ除去周波数では深い除去ピークが形成される代わりに、シャントパスを通過する Comm 電流の周波数範囲が狭められ、広帯域な Comm ノイズ除去が難しくなる。そこで Q を下げて、ノイズ除去ピークが浅くなる代わりにノイズ除去周波数範囲を広げる事を目的に、DSB-L1 では L<sub>o</sub> と R<sub>o</sub> を並列接続にしてい

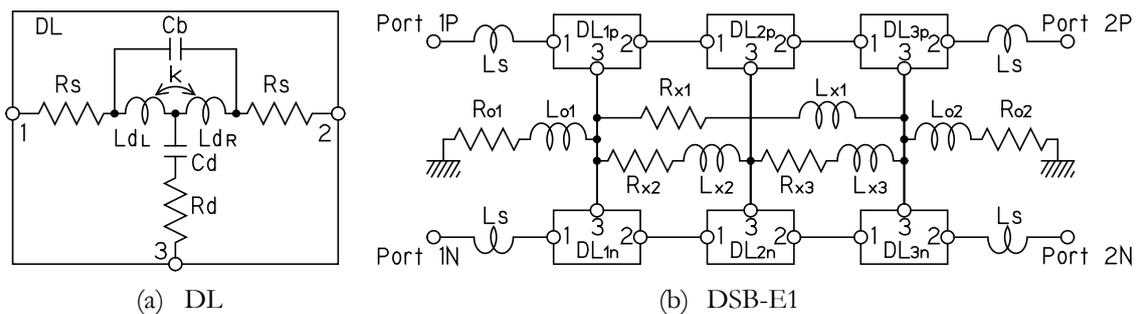


図 2.2.1 DSB-E1 の等価回路

る。一方、180 nm 標準 CMOS プロセスでは、メタル層膜厚が薄いため、Rojが寄生成分として必然的に Lojに直列に加えられ、共振回路の Q を下げる目的であれば、Lojに対し新たな並列抵抗を接続する必要はなくなる。尚、Rojは Loj 形成に伴う寄生成分であるため、Loj の定数設定を優先した場合には Rojを所望の値に設定できない可能性があるが、本試作は設計通りに実物が仕上がるかの確認が主目的であるため、Roj が所望の値から外れても問題視しない。

図 2.2.2 は、図 2.2.1 の回路を参考に、VDEC から提供された設計ルールに従ってレイアウトを行い、Ansys 社電磁界シミュレータ HFSS の 3D モデラー上で組み立てた、電磁界シミュレーション (EM-Sim)モデルである。図 2.2.2(a)および(b)はそれぞれ上面図および下面図である。平面寸法は  $120 \mu\text{m} \times 250 \mu\text{m}$ 、厚さ約  $9 \mu\text{m}$  である。従って DSB-L1 に比べて面積比で  $1/80$ 、体積比では約  $1/7000$  のサイズ縮小が実現されている。各部の線路幅/線路間隔(Line/Space, L/S)は、DL 部が  $4 \mu\text{m} / 1 \mu\text{m}$ 、Loj 部が  $6 \mu\text{m} / 1 \mu\text{m}$ 、Rxi 部が  $2 \mu\text{m} / 2 \mu\text{m}$  である。

図 2.2.3 に、EM-Sim による予想特性と、EM-Sim モデルから回路定数を抽出して求めた回路シミュレーション(Ckt)による予想特性を併記して示す。図 2.2.3 (a) および (b) はそれぞれ、Diff 通過/反射特性(Sdd21/Sdd11)、および Comm 通過/反射特性(Scc21/Scc11)である。これらの特性は、以下の回路定数により得られる。

LdL および LdR:  $0.33 \text{ nH}$ , k:  $0.35$ , Cd:  $0.5 \text{ pF}$ , Cb:  $0.025 \text{ pF}$ , Rs:  $6 \Omega$ , Rd:  $2 \Omega$

Ls:  $0.1 \text{ nH}$ , Loj/Roj ( $j=1,2$ ):  $2.8 \text{ nH}/22 \Omega$ , Lx1/Rx1:  $0.4 \text{ nH}/42 \Omega$ , Lxi/Rxi ( $i=2,3$ ):  $0.4 \text{ nH}/14 \Omega$

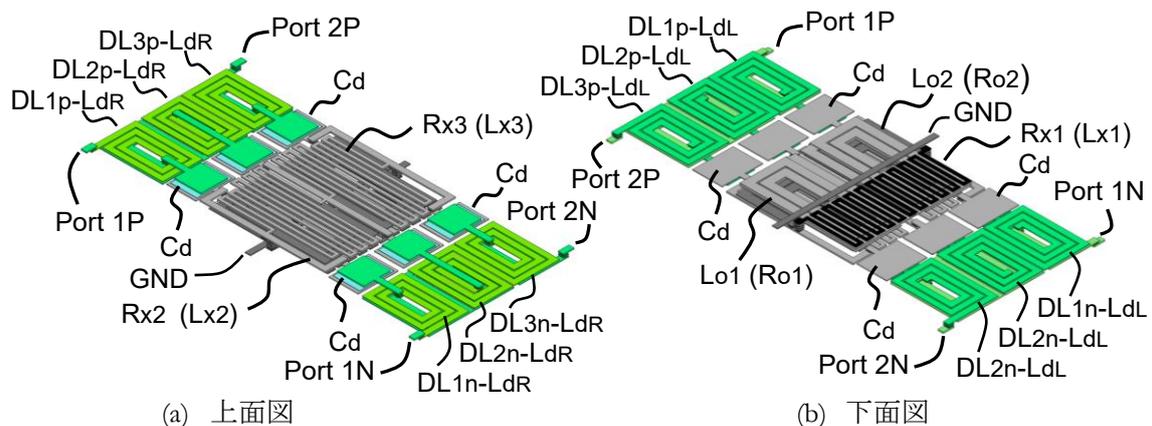


図 2.2.2 DSB-E1 の EM-Sim モデル

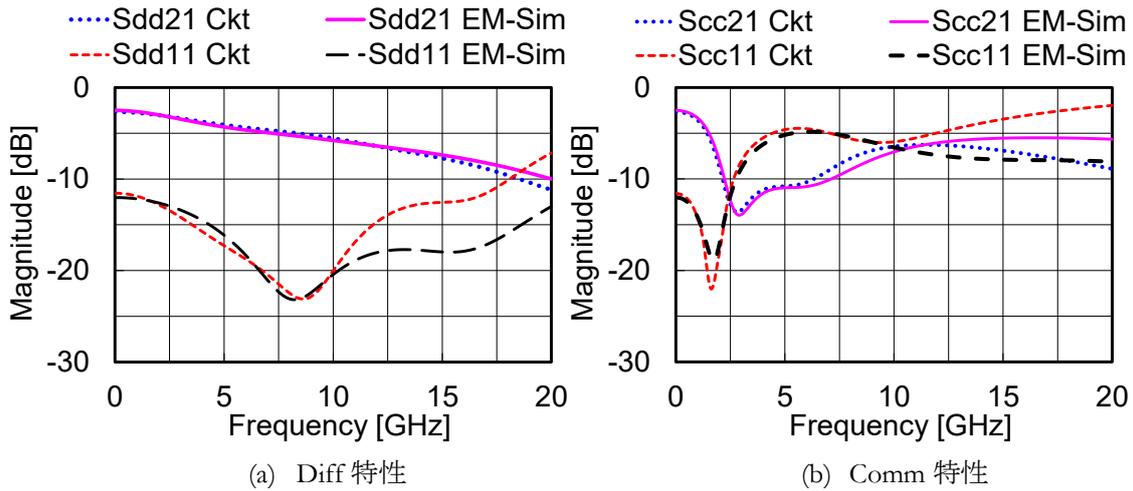


図 2.2.3 DSB-E1 の周波数特性予測

上記定数を用いた Ckt による 10 GHz までの周波数特性は EM-Sim と良い一致を示しており、DSB-E1 は不要な結合の少ない理想的な集中定数回路で構成されている事がわかる。これにより、DSB-E1M の特性改善のために再設計を行う際には Ckt による予測が正確に行え、SPICE モデルの提供も容易となる等の利点が得られる。

この構成の EM-Sim モデルを DXF ファイルに変換し、無償半導体レイアウトツール Glade にて読み込み・再レイアウトを行なった。Glade によるレイアウト画面を図 2.2.4 に示す。同図に示される通

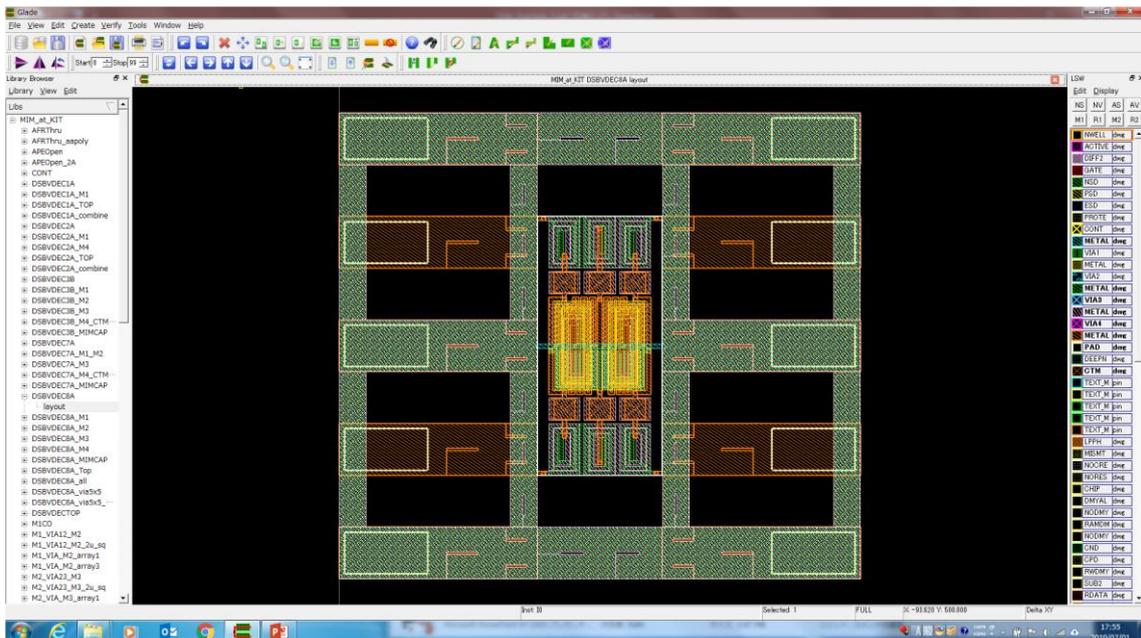


図 2.2.4 Glade によるレイアウト画面

り、各入出力ポート Port 1P/1N および Port 2P/2N はプロービングのための Signal パッドに接続され、Signalパッドは GND パッドに挟まれる。Glade でのレイアウトを終えたら、GDS データを出力し、レイアウト・検証用ハイエンドツールの Calibre で Design Rule Check (DRC)を行った後、VDEC に提出し、試作を依頼した。

図 2.2.5 に、試作した DSB-E1 の外観写真を示す。図 2.2.5 (a)および(b)はそれぞれ、光学顕微鏡像および測定用プローバーのモニタ像である。図 2.2.4 のレイアウト図通りに作成されており、Signal 用パッド(S)と GND 用パッド(G)の傷より、GSGSG プローブを接触させて測定した事が示されている [91]。測定方法の詳細は第 4.4 節にて説明する。

図 2.2.6 は試作した DSB-E1 の実測結果(Meas)である。図 2.2.6 (a) および (b) はそれぞれ、Sdd21/Sdd11 および Scc21/Scc11 であり、比較用に EM-Sim の結果も併記する。Sdd11 は Meas と

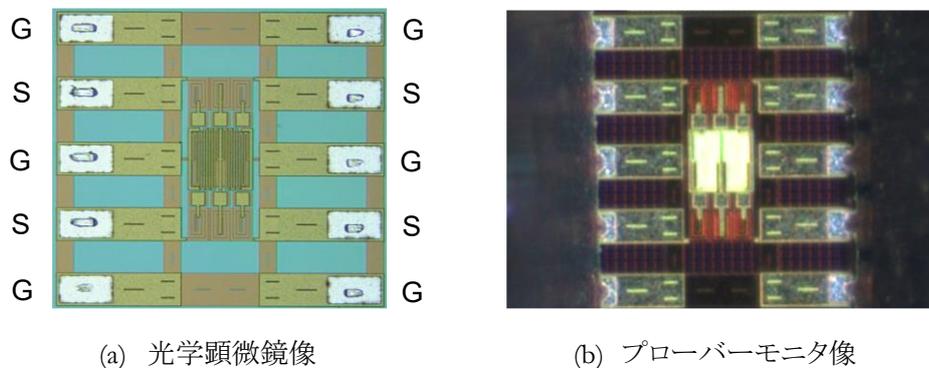


図 2.2.5 DSB-E1 の外観写真

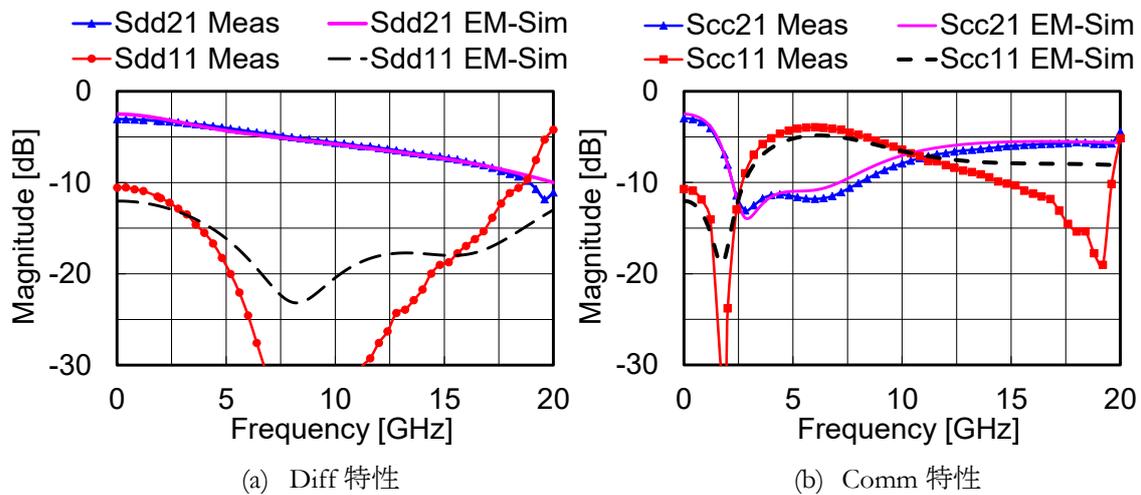


図 2.2.6 試作した DSB-E1 の実測結果

EM-Sim とで多少の差が生じているが、Sdd11 はインピーダンス整合状況に依存する微小な反射量であり、わずかな寸法誤差や測定誤差で大きな差が出易い。従って Sdd11 については、この程度の差異であれば良く一致していると言える。一方、Sdd21、Scc21 および Scc11 は Meas と EM-Sim とで良い一致を示し、試作した DSB-E1 は概略、設計通りに仕上がっている事が示されている。また Si 基板の導電率は 0.00044 S/m と、EM-Sim ソフトウェアに用意されていた高抵抗の定数に設定したが、妥当であったと考えられる。

次に、Common-mode Rejection Ratio (コモンモード除去比、CMRR)を確認する。CMRR とは、CMF で減衰した Comm 成分のうち、正味の Comm 除去量を示す数値であり、 $|Sdd21|/|Scc21|$  で与えられる。すなわち Comm の減衰量の中には、CMF を通過し、CMF の挿入損失によって Diff 成分と一緒に減衰する分も含まれており、その減衰分は Comm 成分のみを除去した事にならないため、Comm 除去量には見なさないと言う趣旨である。各周波数での CMRR は下記の値となる。

2.4 GHz: 8.1 dB、 2.5 GHz: 8.7 dB、 3.7 GHz: 8.0 dB、 5.0 GHz: 7.5 dB、 5.4 GHz: 7.5 dB

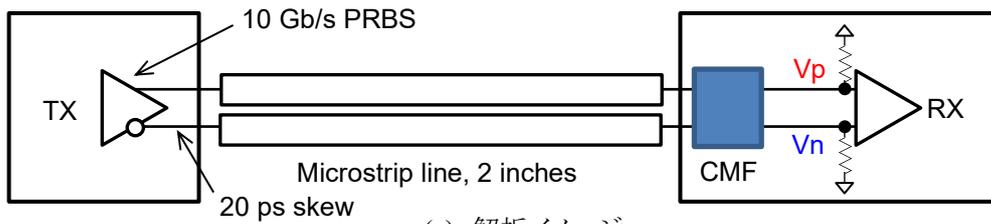
また、2.8 GHz で CMRR は最大の 9.7 dB となるが、他の CMF 開発で報告されているとおり、CMRR は 10 dB 以上が望ましく、DSB-E1 の CMRR は不十分と言える[12,13]。DSB-E1 の試作目的は、先にも述べた通り、実物が設計通りに仕上がるための設計プロセス確立であったため、その目的は達成されたと言えるが、このような CMRR で CMF として機能するかどうかは検証の必要がある。

CMF の主な用途は、差動ライン間のスキュー解消と、外来ノイズ除去である。スキュー解消の場合のターゲットとする信号伝送速度は 5.0~12 Gb/s となる。その理由は、高速シリアル信号でスキューが発生した場合に最も影響を受けるパルス幅は、当該データレートにおける最小パルス幅、すなわち 1 ユニットインターバル(1UI)波形であり、DSB-E1 の Comm 除去周波数範囲と Diff の通過特性を考慮すると、CMF としての適用周波数範囲は 2.4 GHz~6.0 GHz と考えられ、その周波数が 1UI 波形となるデータレートは 4.8~12 Gb/s となるからである。また外来ノイズ除去の場合も、スキュー解消と同様の理由で、CMF としての適用周波数範囲は 2.4 GHz~6.0 GHz と考えられ、この周波数の範囲の外来ノイズとして Wi-Fi 2.4/5.4 GHz および 5G 通信用電波の 3.7 GHz が考えられる。

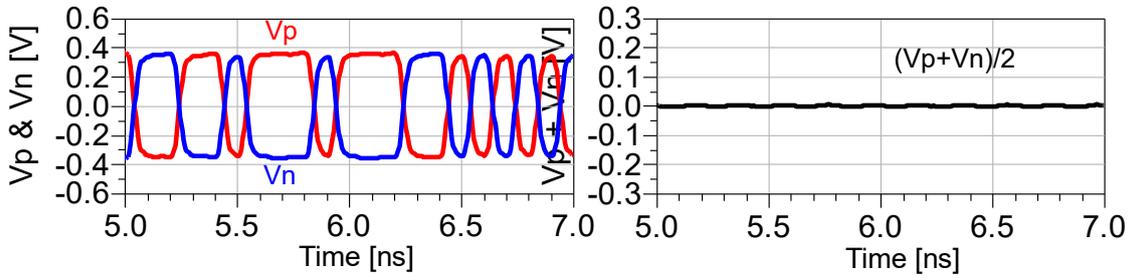
今回は、スキュー解消の検証として、CMF の実測 S パラメータを組み込んだ回路に時間領域過渡解析が適用できるよう、キーサイト・テクノロジー社の Advanced Design System (ADS)による回路シミュレーションを行った。図 2.2.7 にその結果を示す。

図 2.2.7(a)は、解析イメージ図で、回路シミュレータ上では TX 部を 10 Gb/s の Pseudo-Random Binary Sequence (疑似ランダム 2 値信号列、PRBS) 差動信号源として、20 ps のスキューを発生させ、EM-Sim でモデリングした 2 インチのマイクロストリップラインおよび CMF を介して RX 部の終端抵抗に接続し、受信電圧  $V_p$  および  $V_n$  をモニタする。図 2.2.7 (b)、(d)、(f)、(h)は  $V_p$  および  $V_n$  をプロットしたもので、それぞれ、スキューが無く CMF も接続していない理想時、スキューが発生しているながらも CMF を接続しない場合、スキューが発生し CMF 部に DSB-LTCC 初期型(DSB-L1)を接続した場合、およびスキューが発生し CMF 部に DSB-E1 を接続した場合である。図 2.2.7(c)、(e)、(g)、(i)は Comm 成分  $(V_p+V_n)/2$  をプロットしたもので、それぞれ、スキューが無く CMF も接続しない理想時、スキューが発生しているながらも RX 部に CMF を接続しない場合、スキューが発生し CMF 部に DSB-L1 を接続した場合、およびスキューが発生し CMF 部に DSB-E1 を接続した場合である。これらの図からわかる通り、DSB-E1 のスキュー解消能力は DSB-L1 に比べると劣るが、CMF 無しよりは充分良好である事がわかる。ただし半導体のメタル配線層に埋め込むと、不要な際に取り外す事が困難となるため、この特性では内蔵し難く、可能な限りの特性改善が必要である。

図 2.2.8 は、外来ノイズ除去能力の簡単な検証結果である。図 2.2.8(a)は解析イメージで、10 Gb/s PRBS 信号源が 2 インチのマイクロストリップラインを介して終端抵抗に接続され  $V_p$  および  $V_n$  がモニタされる点は図 2.2.7(a)と同様であるが、本解析では、スキューが無く、マイクロストリップラインの両中点に抵抗を介してノイズ信号源である 2.4 GHz の正弦波電源が接続される[56-58]。ノイズ信号源の電圧は、マイクロストリップラインの両中点でノイズ振幅が 0.5 V p-p となるよう設定される。図 2.2.8(b)、(c)および(d)は  $V_p$  および  $V_n$  をプロットしたもので、それぞれ、CMF 未接続時、CMF 部に DSB-L1 を接続した場合、および CMF 部に DSB-E1 を接続した場合である。DSB-E1 の外来ノイズ除去能力は DSB-L1 に比べ劣っている事は明白である。

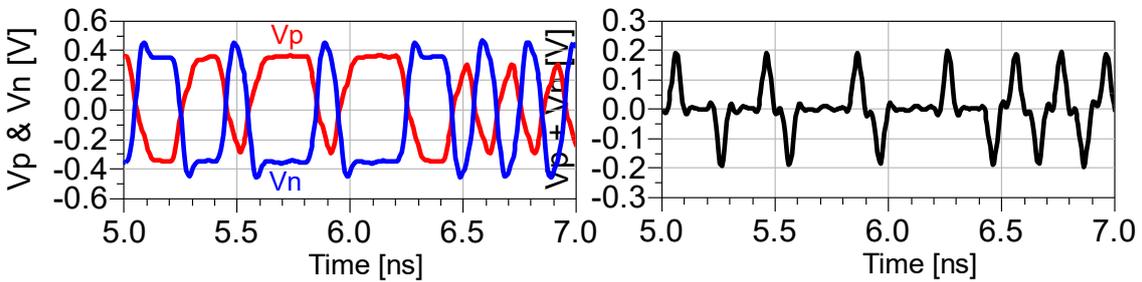


(a) 解析イメージ



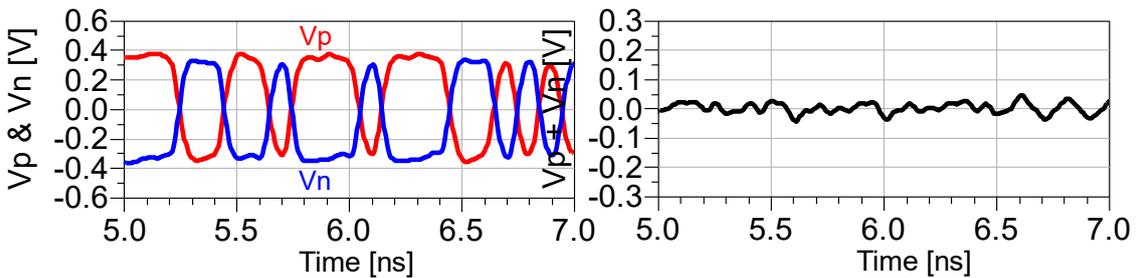
(b) 理想時の信号波形

(c) 理想時の Comm 波形



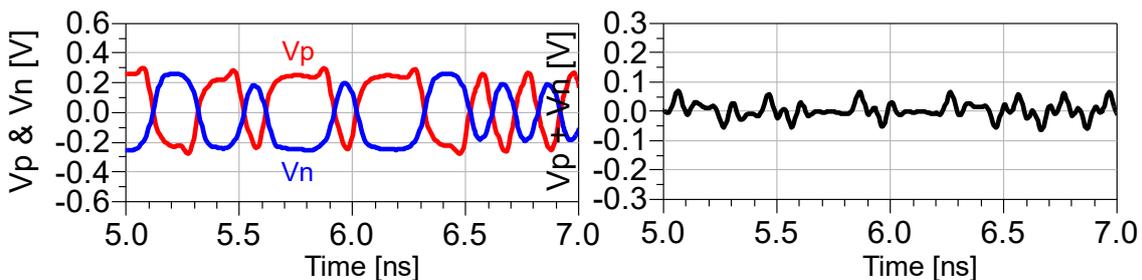
(d) CMF 無しでの信号波形

(e) CMF 無しでの Comm 波形



(f) DSB-L1 接続時の信号波形

(g) DSB-L1 接続時の Comm 波形



(h) DSB-E1 接続時の信号波形

(i) DSB-E1 接続時の Comm 波形

図 2.2.7 10 Gb/s PRBS 差動信号でのスキュー解消シミュレーション結果

DSB-E1 の当初の目的である、設計プロセス確立は実現したので、DSB-E1 の試作は成功したと言えるが、CMRR が不十分であり、外来ノイズ除去目的には CMRR の改善が必要と考えられる。

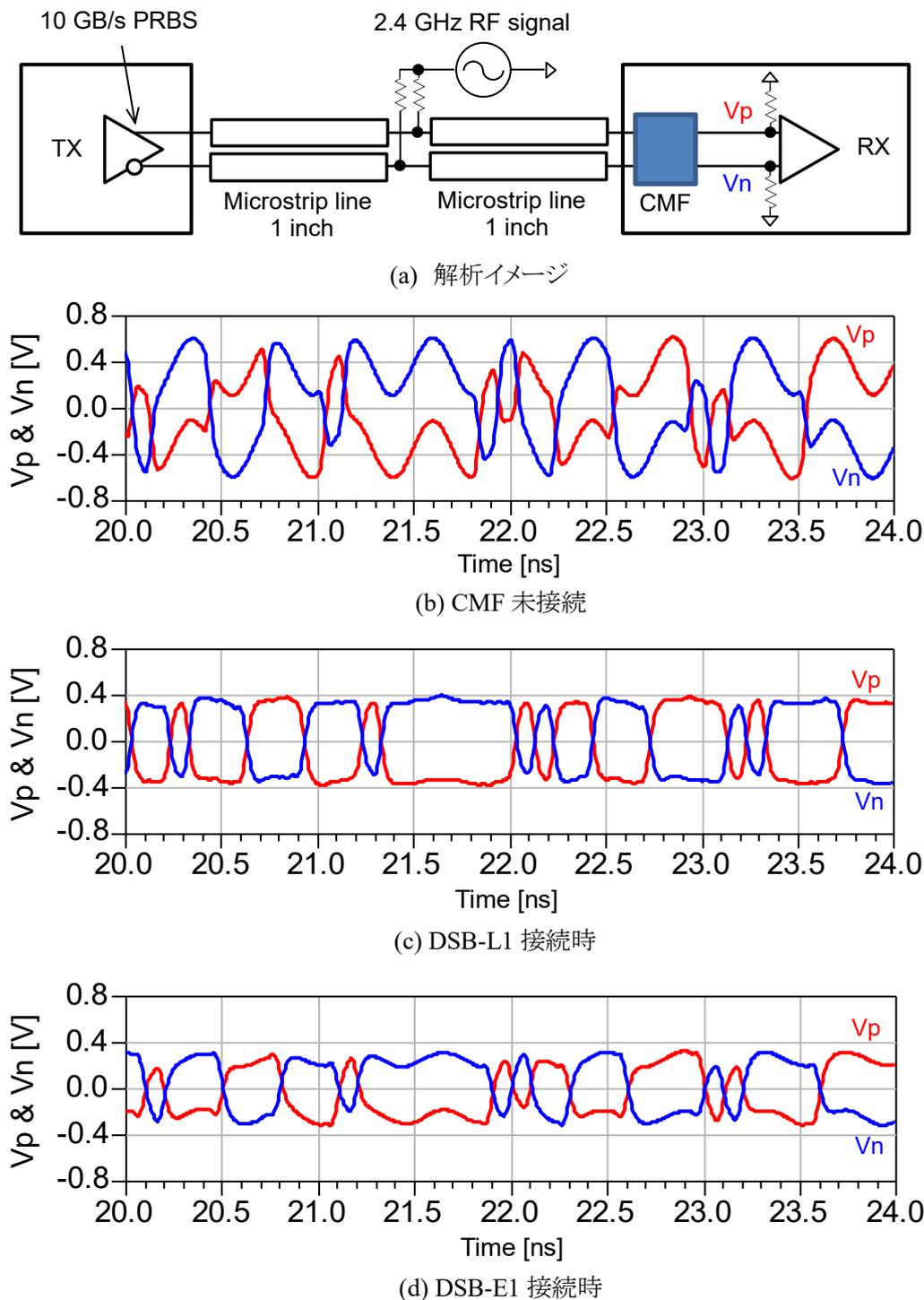


図 2.2.8 外来ノイズ除去能力検証シミュレーション結果

## 2.3 : DSB-E2 の構成と特性

前節で述べた通り、初の DSB-EIM となる DSB-E1 は、当初の目的は達成したが、CMRR に改善の余地が残った。そこで本節では、CMRR の改善を目的に設計・試作された、DSB-E2 の構成と特性について説明する。

CMRR を改善する手段として、Comm 電流が流れるシャントパスインダクタ  $L_{oj}$  ( $j=1,2$ )の導体抵抗  $R_{oj}$  を小さくして、 $Q$  を高める事が有効である。この場合、広帯域な Comm ノイズ除去形成よりも特定周波数での深い除去ピーク形成に向く構成となる。そこで、DSB-E2 では、Wi-Fi 2.4/5.4 GHz の 2 周波数に Comm 除去ピークを形成する事を設計目標とする。そのような目的には、CMF-IPD の回路構成が適する[12]。すなわち図 2.2.1(b)の回路において  $R_{xi}$  ( $i=1\sim3$ )を  $0 \Omega$  の短絡線とする事である。これにより寄生インダクタンス  $L_{xi}$  ( $i=1\sim3$ )も  $0 H$  となる。そのような結線を行った DSB-E2 の等価回路を図 2.3.1 に示す。DL は 1 区間増やした 4 区間構成に変更する。その理由は、Diff 損失を小さくするため DL のインダクタ  $L_{dL}$  および  $L_{dR}$  の線路幅を DSB-E1 より広くする事に起因する。 $L_{dL}$  および  $L_{dR}$  の線路幅が広がると、これらのインダクタンスが小さくなり、DSB-E1 と同じ 3 区間の DL 構成では、Comm ノイズから見た DL 3 区間分の直列インピーダンスも DSB-E1 より小さくなる。これにより Comm ノイズはシャントパスよりも DL を通過し易くなり、Comm ノイズ除去特性を劣化させる。そこで区間数を 4 区間に増やし、DL 部のインダクタンス合計を DSB-E1 と同等以上に保つ事とする。DL<sub>1p</sub>~DL<sub>4p</sub> および DL<sub>1n</sub>~DL<sub>4n</sub> の各 3 番ピンは一点に接続される。この接続点は図 1.5.2 で定義した G-Node である。DSB-E1 の試作結果を参考に、図 2.3.1(b)の各回路定数を下

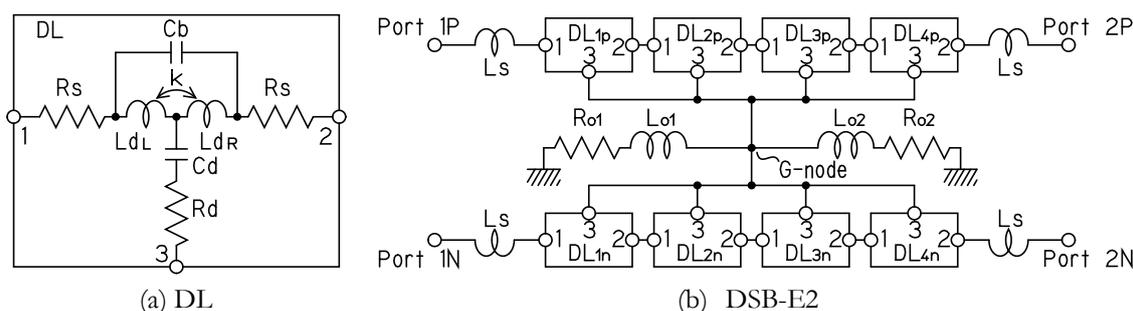


図 2.3.1 DSB-E2 の等価回路

記のとおり推測し、Ckt による特性予測を行う。

LdL および LdR: 0.20 nH、k: 0.80、Cd: 0.42 pF、Cb: 0 F、Rs: 2.35 Ω、Rd: 6.0 Ω

Ls: 0 H、Loj/Roj (j=1,2): 3.0 nH/9.0 Ω

図 2.3.2 に、DSB-E1 と DSB-E2 との Ckt による特性比較を示す。ターゲット周波数での CMRR は下記の値が得られており、DSB-E2 の CKT による本特性を目標特性に設定する。

2.4 GHz: 15.2 dB、 5.4 GHz: 10.1 dB

この通り CMRR は両周波数で 10 dB 以上を確保できる可能性が得られ、特に 2.4 GHz では 15 dB 以上と良好な予測結果が得られている。また Diff 特性も損失が軽減されている。そこで図 2.3.1 の回路定数が実現できるようレイアウトを行うが、その中で重要なポイントとなるのが、DL と Loj (j=1,2)の構成である。

DL については、DSB-E1 と同等の面積に、DSB-E1 より1区間多い 4 区間を収納する事を目指し、メタル層 5 層のうちのメタル第 1 層(M1)～第 4 層(M4)に 2 区間分の DL 用インダクタを垂直に積み重ねる手法を採用する[92]。Loj (j=1,2)については、導体抵抗 Roj (j=1,2)を減らすために、Lo1 と Lo2 とを結合させて、線路長に対しインダクタンスを増やせる構造を検討する。まずは Loj (j=1,2)の構成を検討する。

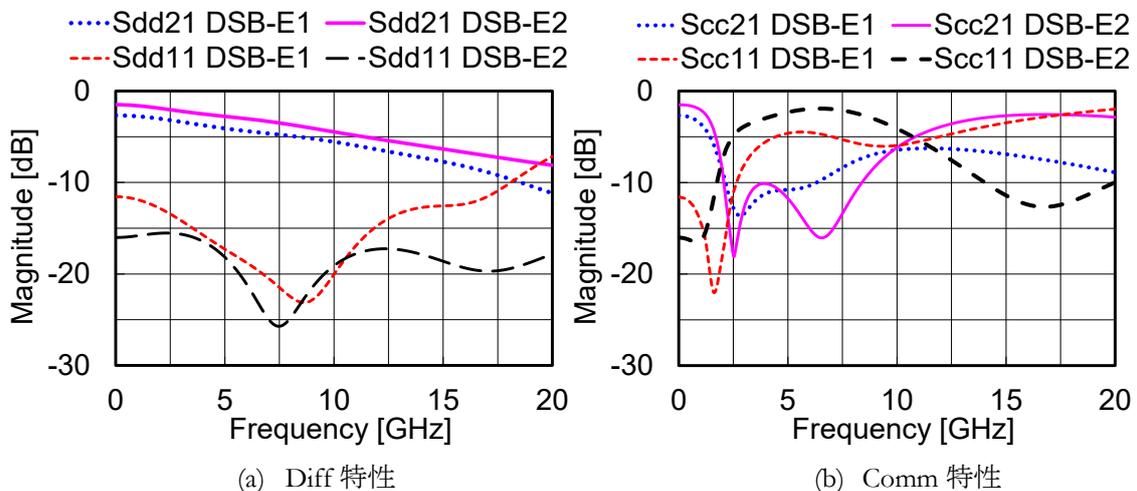


図 2.3.2 DSB-E1 と DSB-E2 の Ckt による周波数特性比較

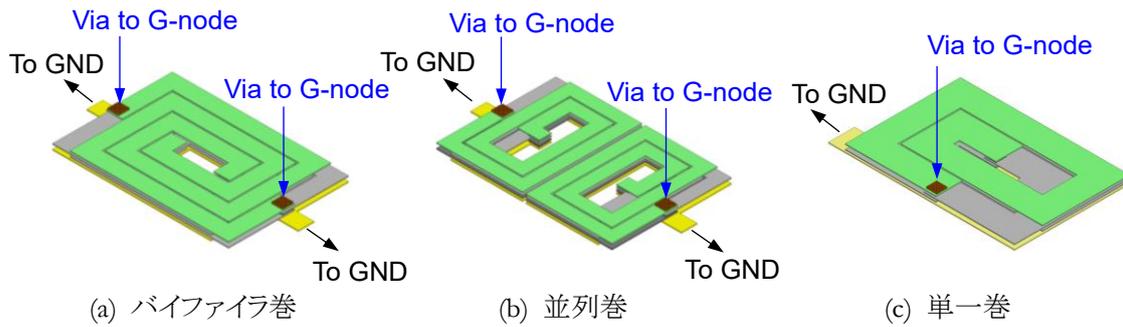


図 2.3.3 Lo1 および Lo2 の構成例

図 2.3.3 は  $Lo_j$  ( $j=1,2$ ) の構成例である。図 2.3.3(a), (b) および (c) はそれぞれ、 $Lo_1$  と  $Lo_2$  をバイファイラ巻として互いに結合させる構成、 $Lo_1$  と  $Lo_2$  の 2 個を単純な並列巻に配置した構成、および  $Lo_1$  と  $Lo_2$  との並列接続インダクタンスに相当する 1 個のインダクタに置き換えた単一卷きである[93,94]。いずれのインダクタも DSB-E1 の  $Lo_1/Lo_2$  収納エリアと同等以下の寸法となるよう、 $100\ \mu\text{m} \times 76\ \mu\text{m}$  の平面サイズ内に、可能な限り線路幅を広め、M1 から M4 に渡って巻いている。各インダクタの線路幅は、バイファイラ巻が  $9\ \mu\text{m}$ 、並列巻が  $7\ \mu\text{m}$ 、単一卷が  $15.5\ \mu\text{m}$  である。

図 2.3.4(a) は、上記 3 種類のインダクタについて、M1 のみに巻いた場合から 1 層ずつ増やして行った場合のインダクタンス対導体抵抗を EM-Sim で求め、プロットしたものである。ただしここでのインダクタンスと導体抵抗は、G-node と GND 間の観測量で規定されるもので、バイファイラ巻と並列巻については、2 個のインダクタの並列インダクタンスと並列抵抗を意味する。同図から明らかな通り、同一のインダクタンスを得るには、バイファイラ巻が最も導体抵抗を低く抑制できる事が判る。

図 2.3.4(b) は、図 2.3.1(b) の等価回路において、 $Lo_j / Ro_j$  ( $j=1,2$ ) を集中定数のインダクタ/抵抗から、図 2.3.3 の各モデルの EM-Sim による S パラメータに置き換えて求めた  $S_{cc21}$  の周波数特性である。2.4~2.5 GHz での Comm 除去能力は、バイファイラ巻が最も高い事が判る。その理由は、 $Lo_1$  と  $Lo_2$  との結合によるインダクタンスの増加の効果で、他のインダクタに比べ短い線路長で所望のインダクタンスが得られ、その結果、導体抵抗が低く抑制できるからである。従って DSB-E2 では、 $Lo_j$  ( $j=1,2$ ) に、図 2.3.3(a) のバイファイラ巻構成を用いる。

図 2.3.5 は、DSB-E2 のより詳細な等価回路である。 $Lo_1$  は  $Lo_a$ 、 $Lo_b$ 、 $Lo_c$  および  $Lo_d$  の 4 個のイ

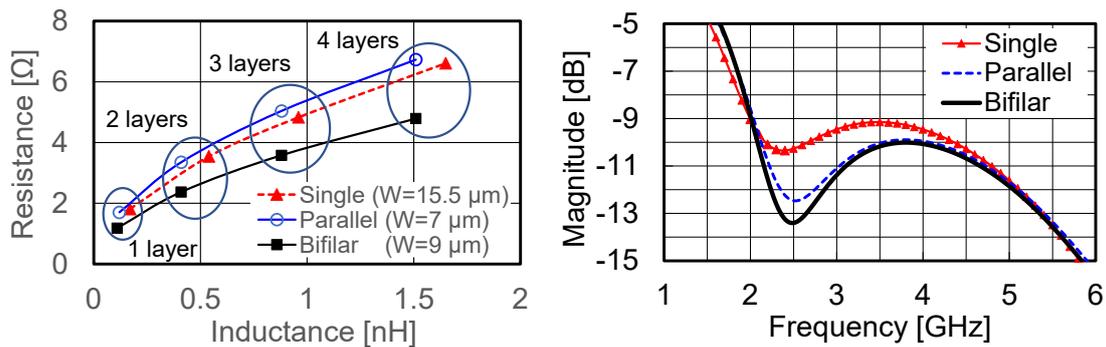


図 2.3.4 Lo1/Lo2 の EM-Sim による分析結果

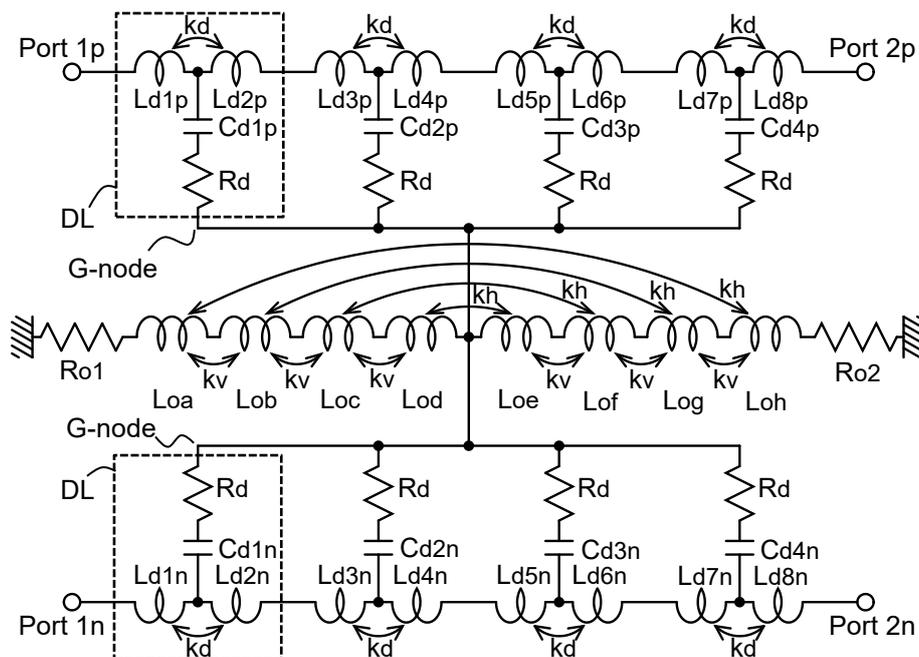


図 2.3.5 DSB-E2 の詳細等価回路

インダクタに分けられ、同様に Lo2 は Loe、Lof、Log および Loh の 4 個のインダクタに分けられる。これらの分割されたインダクタには、積層方向の結合 kv およびバイファイラ巻による隣接巻き線間結合 kh が発生し、インダクタンスの増大に大きく寄与している。

DL は 2 区間分のインダクタ、Ld1p~Ld4p、Ld1n~Ld4n、Ld5p~Ld8p、および Ld5n~Ld8n が同軸状に M1~M4 に配線される。従って、Ld2p と Ld3p 間、Ld2n と Ld3n 間、Ld6p と Ld7p 間、および Ld6n と Ld7n 間にも結合係数が存在するが、その結合を kd に含ませる事が可能であるため、本等価回

路では  $k_d$  のみで表示する。

図 2.3.6 は、図 2.3.5 の回路に従ってレイアウトした DSB-E2 の EM-Sim モデルからメタル層とビアのみ抽出したものである。図 2.3.6 (a)、(b)、(c)および(d)はそれぞれ M5 および M4、M3、M2、および M1 の各層レイアウトを M5 からの透視図にて示している。さらに Diff 信号の伝搬方向を表す矢印として、正相側信号(D+ signal)を赤の実線かつ開いた矢印、負相側信号(D- signal)を青の点線かつ開いた矢印、Comm ノイズを黒の点線かつ先端塗りつぶしの矢印で表示している。各部の L/S は、DL 部が  $7\ \mu\text{m} / 2\ \mu\text{m}$ 、Loa~Loh 部が  $9\ \mu\text{m} / 1\ \mu\text{m}$  で、平面寸法  $120\ \mu\text{m} \times 230\ \mu\text{m}$  である。

図 2.3.7 は、図 2.3.6 の構成による EM-Sim 結果である。図 2.3.7 (a)、(b)はそれぞれ、Diff 特性の  $S_{dd21}/S_{dd21}$ 、および Comm 特性の  $S_{cc21}/S_{cc11}$  の周波数特性を示し、図 2.3.2 で示した Ckt による目標特性と比較する。EM-Sim による特性は、Ckt に比べ、 $S_{dd21}$  の損失がわずかに増加、 $S_{cc21}$  は 2.4 GHz での損失が減る一方で、5.4 GHz での損失は増加と若干の違いはあるものの、概略の

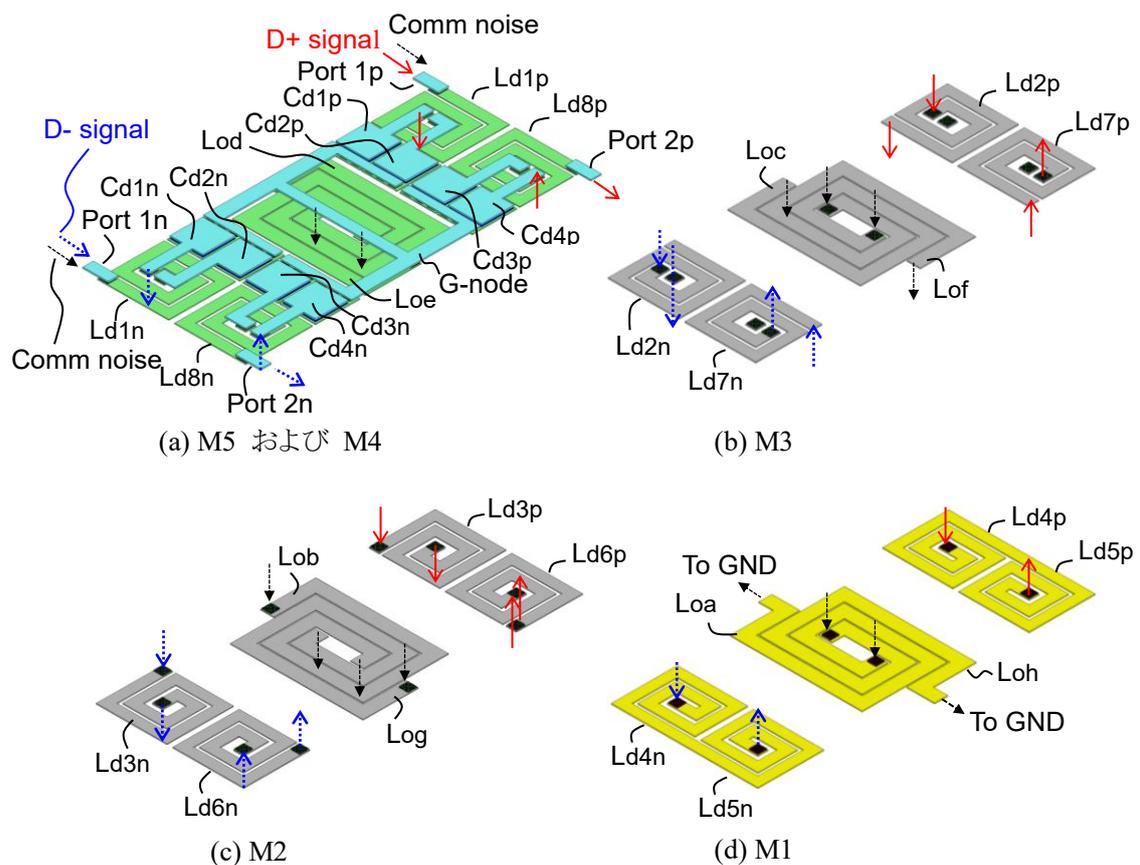


図 2.3.6 DSB-E2 の EM-Sim モデル

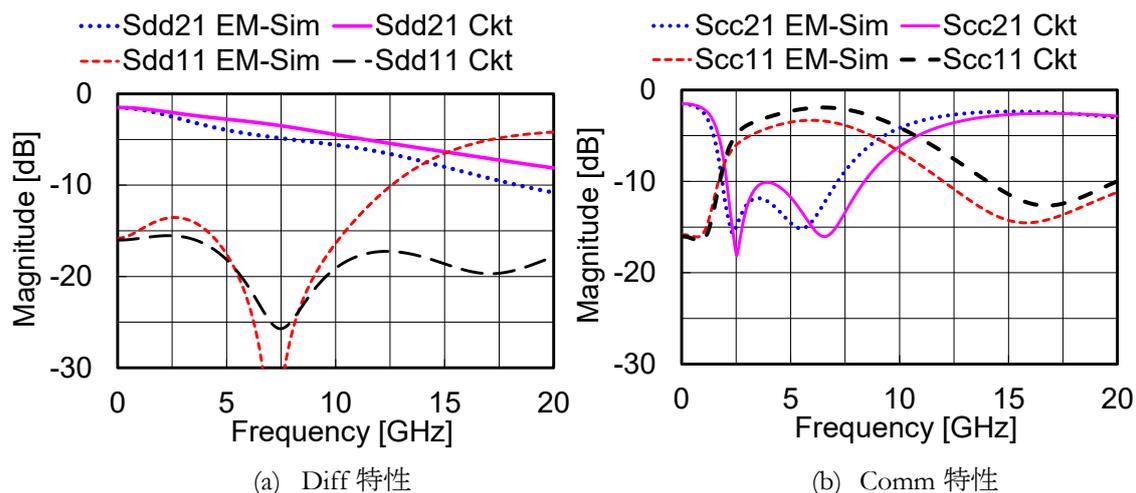


図 2.3.7 DSB-E2 の EM-Sim と Ckt 目標特性との周波数特性比較

一致は示している。

このように、本プロセスでは 5 層のメタル層が使えるため、DL を同軸状に 2 区間分積層可能であるが、CMF-IPD のようなメタル層が 4 層以下の場合には、DL を水平方向に広げる構成しか採用できない。その場合、配線領域が大きくなるのはもちろんであるが、DL 特性においても隣接区間同士のインダクタ間で結合が得られず、DL 部のインダクタンス合計が 5 層構成よりも小さくなり、Comm 除去特性を劣化させる事が予測される。その予測が事実であった場合、5 層構成の利点は、サイズのみならず特性面にも及ぶ事になるため、4 層以下での構成も特性を確認する事が望ましい。そこで、図 2.3.8 に示すように、CMF-IPD と同等な 3 層で DSB-E2 を構成し、EM-Sim で特性を確認する。この 3 層構成の DL 水平展開型 DSB-E2 を DSB-E2H と呼び、5 層構成の DSB-E2 と区別する。平面寸法は  $220 \mu\text{m} \times 226 \mu\text{m}$  である。

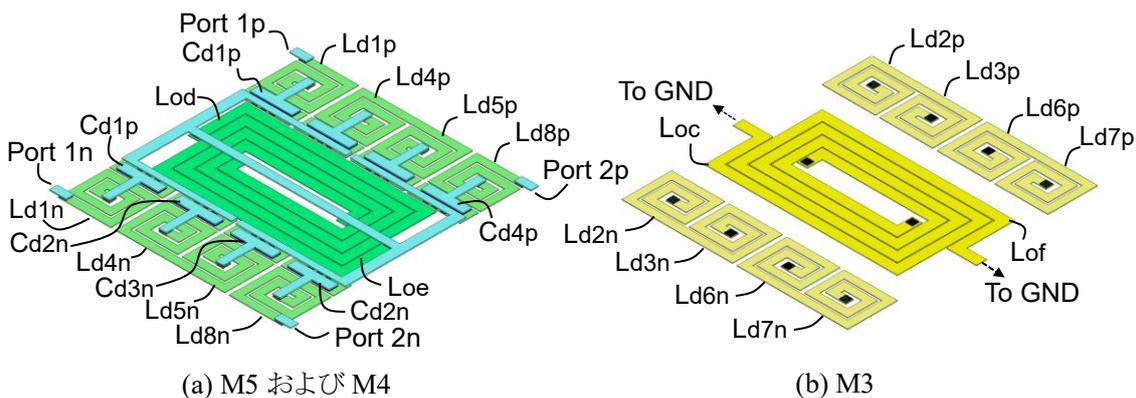


図 2.3.8 DSB-E2H の EM-Sim モデル

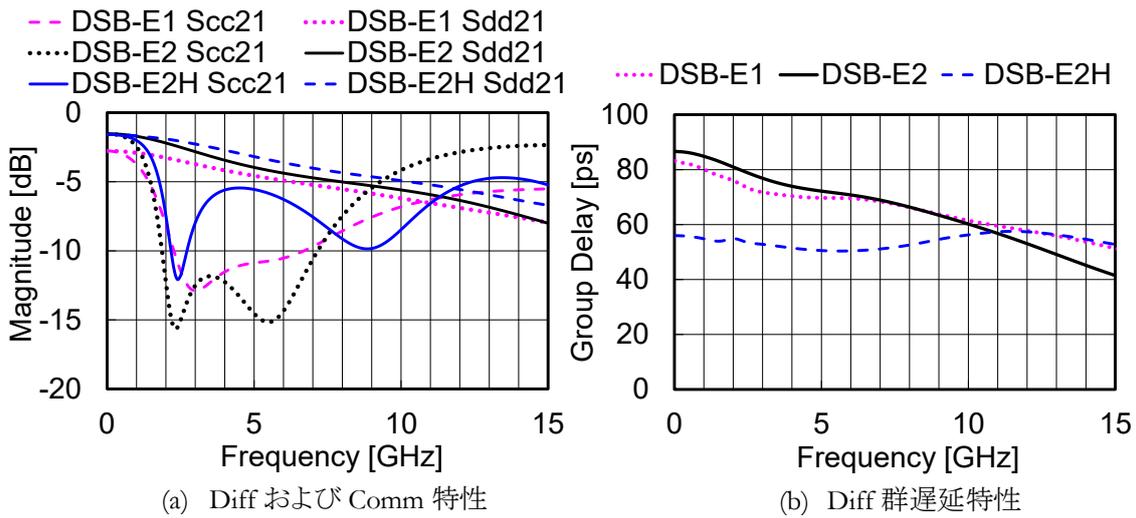


図 2.3.9 DSB-E2H の EM-Sim による周波数特性比較

図 2.3.9 は、DSB-E2H の EM-Sim による周波数特性である。図 2.3.9(a)は、Diff および Comm の周波数特性、図 2.3.9(b)は Diff の群遅延特性を示す。両図とも DSB-E1 および DSB-E2 の EM-Sim 結果を併記・比較する。DSB-E2H の Diff 周波数特性は DSB-E2 よりも損失が少ないものの、Comm 周波数特性では 2.4 GHz および 5.4 GHz で Comm 除去量が最も小さい。その理由は、Diff 群遅延特性に示される通り、DSB-E2H の 2.4 GHz および 5.4 GHz における群遅延時間が他の DSB-EIM に比べ 10ps 以上小さいからであり、DL 部の結合 kd が減った分、インダクタンスが小さくなり、遅延時間も小さくなった事が示される。従って、DSB-E2 は 5 層構成により、寸法面のみならず特性面でも利点が大きく、本構成を試作する価値が充分高い事が示される。

図 2.3.10 に、試作した DSB-E2 の外観写真を示す。図 2.3.10 (a) および(b)はそれぞれ、光学顕

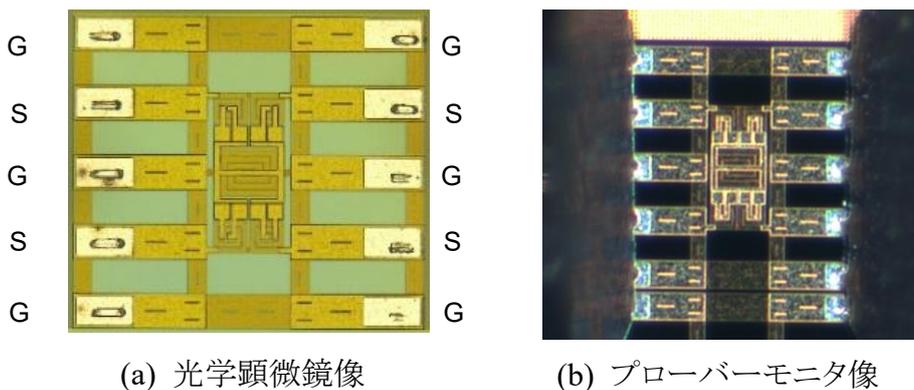


図 2.3.10 試作した DSB-E2 の外観写真

微鏡像およびプローバーモニタ像である。DSB-E2 も DSB-E1 と同じプロセスで試作を行い、共通仕様の GSGCG 型パッドを設けている。

図 2.3.11 に、試作した DSB-E2 の実測結果を示す。図 2.3.11 (a)は、DSB-E2 の Diff/Comm 特性 Sdd21、Scc21 および Sdd11 の Meas 対 EM-Sim 比較で、Sdd11 および Scc21 の 5 GHz 付近のピークが両者間でわずかにずれている。しかしながら、Sdd11 については Meas の方が 6 GHz 以下で Diff 信号の反射が少なく、Scc21 については Meas の方が 5 GHz 以上で Comm ノイズ除去量が大きく、両特性ともに Meas が EM-Sim よりも特性を向上させる方向にずれているため、このピークのずれは問題とは言えず、実測結果は EM-Sim 予測と良い一致を示している。

図 2.3.11 (b)は Meas による Sdd21 および Scc21 の DSB-E2 対 DSB-E1 特性比較であり、2.4 GHz

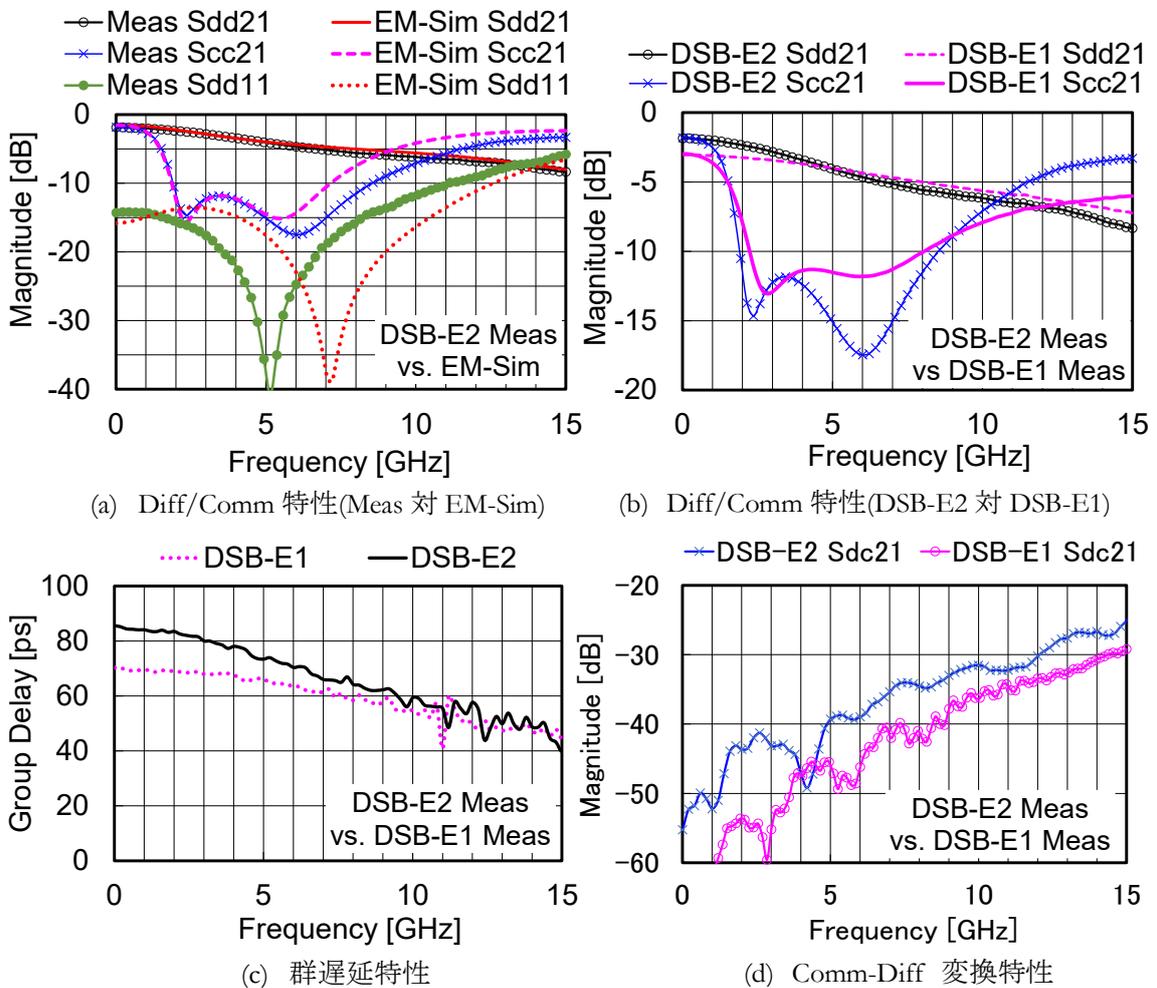


図 2.3.11 試作した DSB-E2 の実測による周波数特性比較

と 5.4 GHz の両周波数で、 $S_{cc21}$  がより大きく減衰している上、 $S_{dd21}$  も特に 2.4 GHz で改善されており、これにより CMRR の改善も下記のとおり実現されている。

DSB-E1 の CMRR : 2.4 GHz で 8.1 dB、5.4 GHz で 7.5 dB

DSB-E2 の CMRR : 2.4 GHz で 12.1 dB、5.4 GHz で 12.1 dB

2.4 GHz での CMRR は Ckt で予測した値には届かないが、両周波数で 10 dB を超えており、ほぼ目標通りに仕上がったと考えられる。

図 2.3.11 (c) は Meas による Diff 群遅延特性の DSB-E2 対 DSB-E1 特性比較であり、DSB-E2 は DSB-E1 に比べ、群遅延特性の平坦性に劣り、高速立ち上がりパルスでは波形劣化が発生する恐れがあるが、それよりも DL の総インダクタンスを大きくできる利点の方が有益と考えられ、後ほど 10 Gb/s の PRBS 応答を確認し、DSB-E1 と同等の Eye Diagram であれば問題無しとする。

図 2.3.11 (d) は Meas による Diff-Comm 変換特性  $S_{dc21}$  の DSB-E2 対 DSB-E1 特性比較である。この値が大きいと、Comm ノイズが Diff ノイズに変換されたり、逆に Diff 信号が Comm ノイズに変換されて、障害を引き起こす。そのため  $S_{dc21}$  は小さい事が望ましいが、DSB-E2 の  $S_{dc21}$  は 15GHz までの全帯域で DSB-E1 よりも大きい値を示し、 $S_{dc21}$  については改良が実現されていない。それでも 5.4 GHz で -38 dB 以下が得られており、他の新 CMF と同等であることから、この特性で問題無いと言える[72]。

図 2.3.12 は、DSB-E2 のノイズ除去能力を確認するための Ckt 結果である。図 2.3.12(a) は解析の等価回路であり、図 2.2.8(a) と同様、10 Gb/s の PRBS 信号源が 2 インチのマイクロストリップラインと CMF を介して終端抵抗に接続され、受信電圧  $V_p$  および  $V_n$  をモニタする。マイクロストリップラインの midpoint には伝搬インピーダンスを乱さないよう、高い抵抗値の結合抵抗  $R_4$ 、 $R_5$ 、 $R_7$ 、および  $R_8$  を介してノイズ源として 2.4 GHz と 5.4 GHz の 2 つの電圧源が接続され、 $V_p$  および  $V_n$  でのノイズ電圧が  $0.5 V_{p,p}$  かつノイズ源電圧の 1% となるよう結合抵抗およびノイズ源電圧の値が設定される。

図 2.3.12 (b) および (c) は、CMF を接続しない場合の  $V_p$  と  $V_n$  のプロット、および差動電圧  $V_p - V_n$  のアイダイアグラム(以下アイ)である。アイとは、ランダムパルスデータの立上り/立下りエッジがクロ

ック周期と一致する事から、クロック1周期毎に波形プロットを取り出し重ね合わせたものである。Vp と Vn のプロットは、ノイズによって波形が大きく歪んでいるが、差動電圧 Vp-Vn のアイでは、ノイズの自動キャンセルが機能して、アイが綺麗に開いている。図 2.3.12(a)のような完全な受動回路の場合、外来ノイズで差動受信波形が障害を受ける状況を再現する事は困難である。従って、CMF による外来ノイズ除去効果の確認も完全な受動回路では困難であるが、今回は Vp と Vn の歪がどれ程改善されるかで判断する。

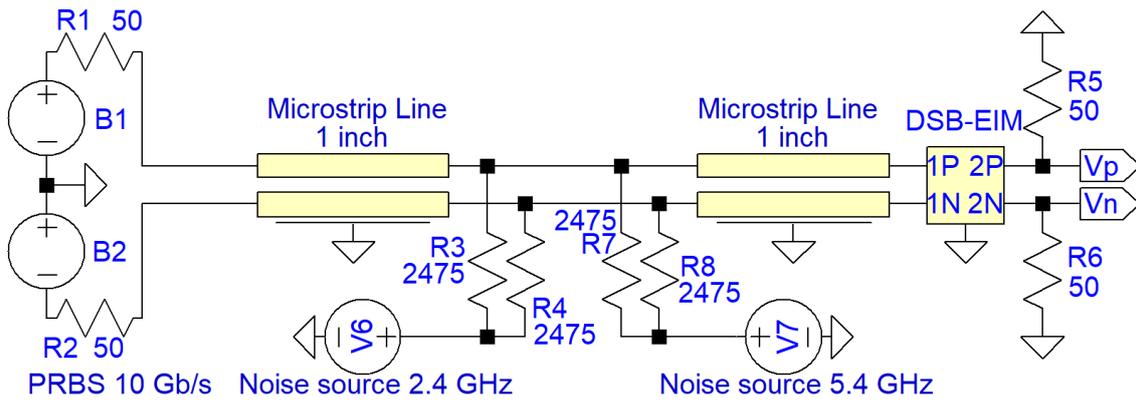
図 2.3.12 (d)および(e)はそれぞれ、CMF 部に DSB-E1 の実測 S パラメータを接続した場合、および DSB-E2 の実測 S パラメータを接続した場合の Vp と Vn の波形プロットである。DSB-E1 を接続した場合よりも、DSB-E2 を接続した場合の方が波形の歪が軽減されており、ノイズ除去効果が改善されている事が示されている。ノイズ除去効果を正確に評価するためには、半導体を含む伝送回路にて回路シミュレーションを行う必要がある、次章で議論を行う事とする。従って本章では、これ以上の議論は行わない。

図 2.3.13 は DSB-E1および DSB-E2 の 10 Gb/s PRBS 信号に対する差動出力のアイである。図 2.3.13 (a)、(b)および(c)の各アイはそれぞれ、入力波形、DSB-E1 の出力波形、および DSB-E1 の出力波形である。アイ中の各パラメータは表 2-1 の通りである。DSB-E2 の Diff 群遅延特性平坦性は DSB-E1 よりも劣るものの、Diff 出力波形には大きな影響を与えない事が示される。

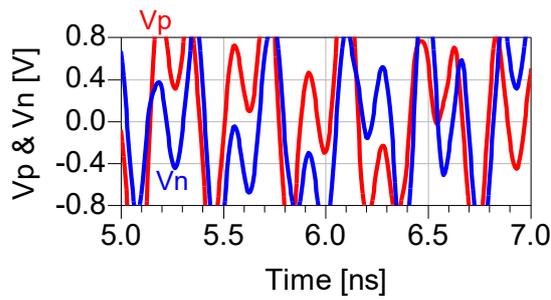
以上示した通り、DSB-E2はDSB-E1からの改善目標を達成したと言えるが、この特性で充分 RFI の解決に寄与できるかどうかは、次章以降で詳細な検証が必要である。

表 2-1. アイダイアグラムの各パラメータ

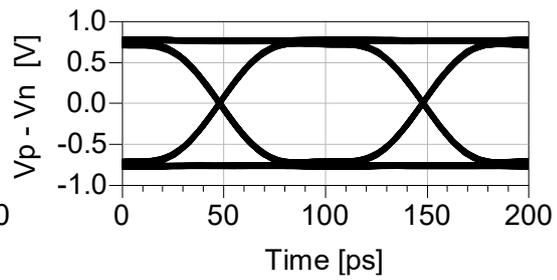
パラメータ	入力波形	DSB-E1 の出力波形	DSB-E2 の出力波形
アイ高さ (Eh)	1.95	1.11	1.19
アイ広さ (Ew) [ps]	99.8	97.6	97.6
アイジッタ (Ej) [ps]	0.26	1.0	1.1
立上り時間 (tr) [ps]	30.4	38.7	41.9
立下り時間 (tf) [ps]	30.3	38.2	41.9



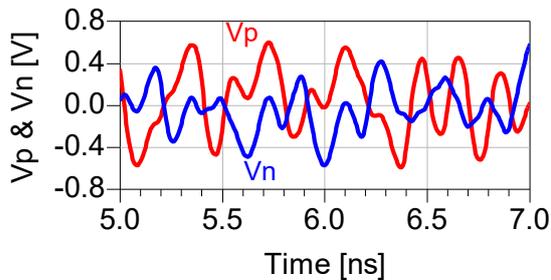
(a) ノイズ除去効果確認のシミュレーション回路



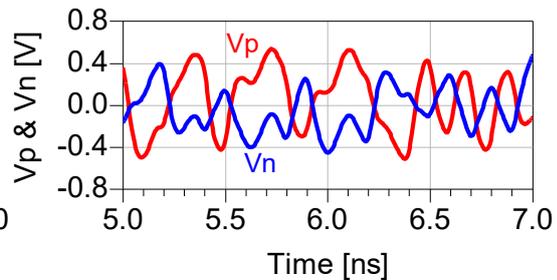
(b) CMF 未接続時の  $V_p$  および  $V_n$



(c) CMF 未接続時の差動アイダイアグラム

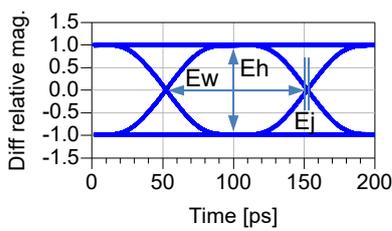


(d) DSB-E1 接続時の  $V_p$  および  $V_n$

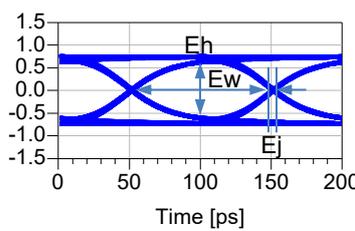


(e) DSB-E2 接続時の  $V_p$  および  $V_n$

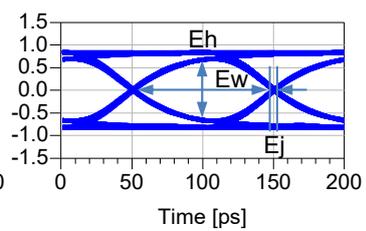
図 2.3.12 試作した DSB-E2 のノイズ除去効果確認



(a) 入力波形



(b) DSB-E1 出力波形



(c) DSB-E2 出力波形

図 2.3.13 DSB-E1 および DSB-E2 の Diff アイダイアグラム

## 2.4 : DSB-EIM の測定設備および測定技術

本節では、DSB-EIM の測定設備および測定技術に関して説明する。DSB-E1 と DSB-E2 の測定は、共に同一の測定設備、測定技術を適用している。図 2.4.1 は DSB-EIM の測定設備の全体写真である。図 2.2.5(b)および図 2.3.10(b)のプローパー画像で示される通り、GSGSG プローブを DSB-EIM の GSGSG パッドに接触させ、キーサイト・テクノロジー社の Vector Network Analyzer (ベクトルネットワークアナライザ、VNA) E5071C でその周波数特性を測定する。VNA の周波数帯域は 20 GHz で 4 ポート構成である。

図 2.4.2(a)および(b)に、GSGSG プローブの外観写真および接触子のイメージ図を示す。このタ

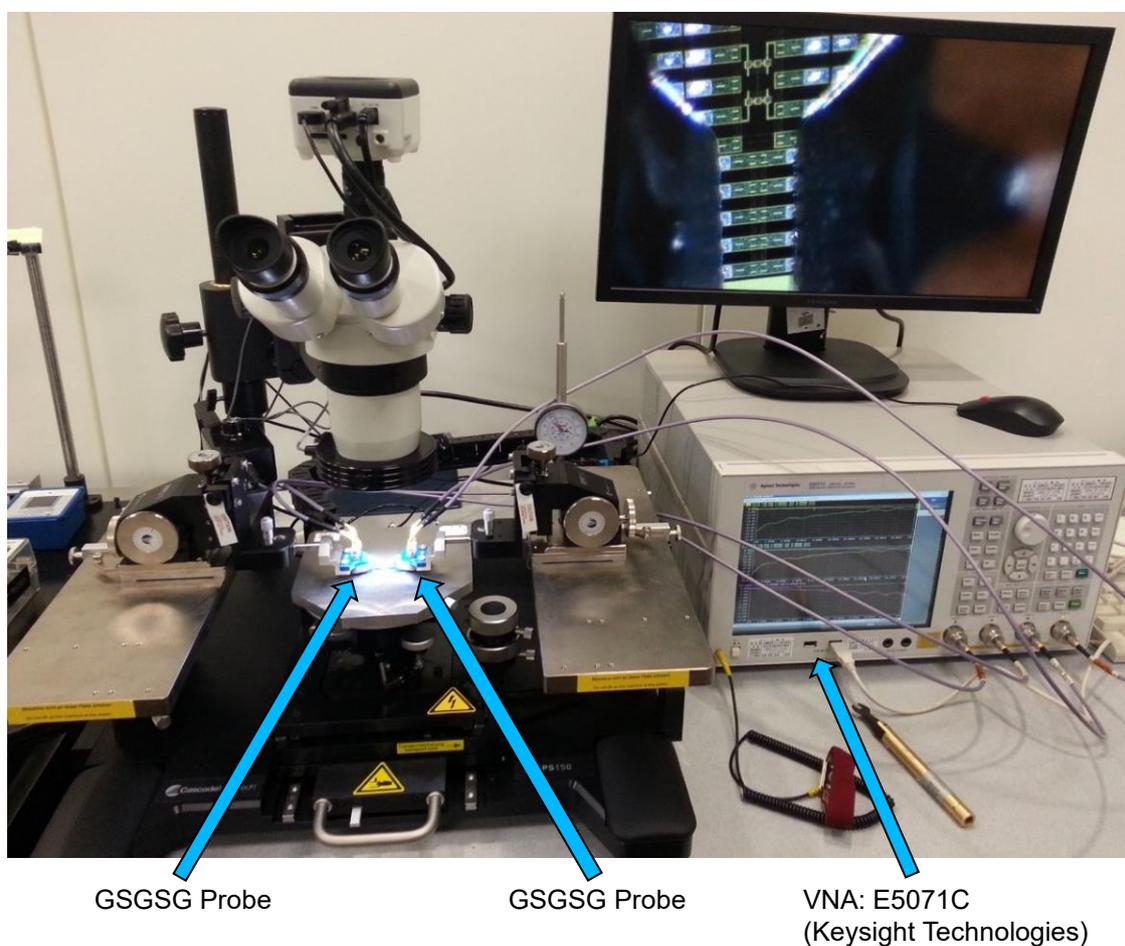


図 2.4.1 DSB-EIM の測定設備

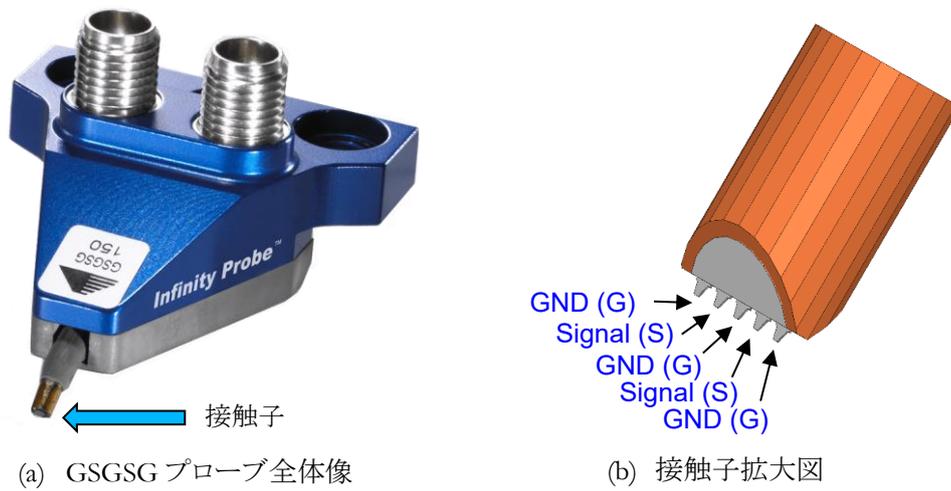


図 2.4.2 GSGSG プロブの外観

IP RF のプローブは 40 GHz の帯域を有し、極めて低損失であるため、測定値に与える影響は小さい[91]。しかしながら、DSB-EIM の GSGSG パッドは、接触のための面積を確保するため広い線路幅で、S パッド部には無視できない大きさの浮遊容量が発生する可能性が高い。そこで本測定では、De-embed プロセスによるパッド部特性の除去を行った[95]。その手順を下記に説明する。

図 2.4.3 は GSGSG パッドを含む DSB-EIM を、パッド部と素子部に分解するイメージ図である。

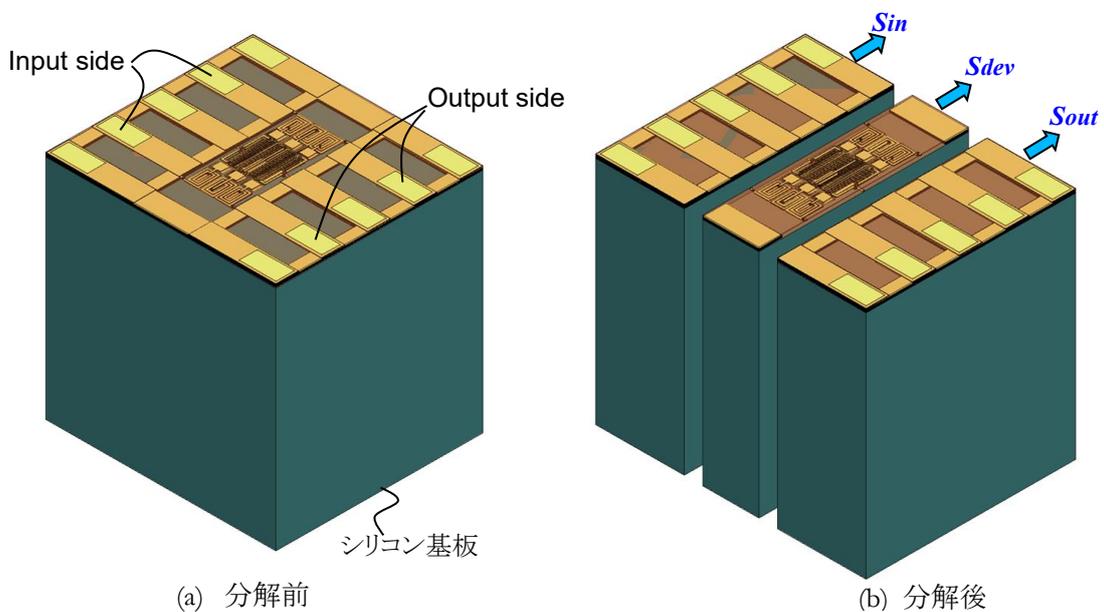


図 2.4.3 DSB-EIM をパッド部と素子部に分解するイメージ図

図 2.4.3 (a)および(b)はそれぞれ分解前と分解後を示しており、分解前の Input-Output 間 S パラメータ行列を  $S_t$ 、分解後の Input 側パッド部、素子部および、Output 側パッド部の各 S パラメータ行列を  $S_{in}$ 、 $S_{dev}$ 、および  $S_{out}$  とすると、各 S パラメータ行列に対し、電気回路理論に基づき、

$$S_t = S_{in} \times S_{dev} \times S_{out} \quad \text{式(2-1)}$$

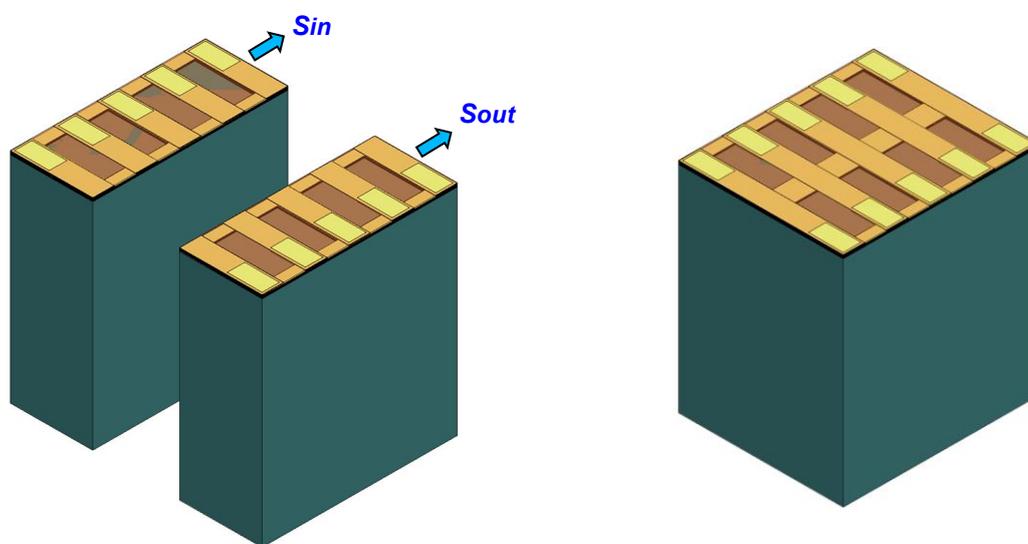
が成立する。従って、 $S_{in}$  および  $S_{out}$  が求めれば、その逆行列  $S_{in}^{-1}$  および  $S_{out}^{-1}$  を生成して、素子部の S パラメータ  $S_{dev}$  は、

$$S_{dev} = S_{in}^{-1} \times S_t \times S_{out}^{-1} \quad \text{式(2-2)}$$

により求める事ができる。ただし  $S_{in}$  および  $S_{out}$  をどのように求めるかが課題となる。なぜなら、分解された切断面にはパッドが無く、プローブを接触させる事が不可能で、実測による S パラメータ取得が困難だからである。

そのような問題を解決する手段として、今回はキーサイト・テクノロジー社の計測用ソフトウェア Physical Layer Test System (物理層テストシステム、PLTS)に内蔵されている Auto Fixture Removal (AFR)機能を用いて De-embed を実行する[96-98]。PLTS の AFR 機能は以下のプロセスを行うものである。

図 2.4.4 は、分解済みの Input 側および Output 側両パッド部を再び接続してスルー (Thru) 回



(a) 分解済みパッド部

(b) 分解済みパッド部を再接続した AFR-Thru

図 2.4.4 分解済みパッド部を再接続して AFR-Thru を構成するイメージ図

路を構成した場合のイメージ図である。このスルー回路を AFR-Thru と呼ぶ事にする。

AFR-Thru は Input 側と Output 側ともに GSGSG プローブを接触可能で、AFR-Thru の S パラメータ  $S_{in} \times S_{out}$  が求まる。この AFR-Thru は Input- Output 間の中間線に対し対称構造である事を利用して、PLTS 上で AFR-Thru の S パラメータを時間領域に変換し、伝搬時間の中間点で時間軸応答を Input 側と Output 側に分離して、 $S_{in}$  および  $S_{out}$  を求めると同時に、これらの逆行列を生成して式(2-2)を実行し、素子部の S パラメータを抽出する[95,98]。PLTS の AFR 機能にて De-embed を実行する場合には、DSB-EIM 素子の近傍に AFR-Thru も作成しておく必要がある。

図 2.4.5 は、図 2.4.3(a)で示される GSGSG パッドを含む DSB-E1 のモデルと、図 2.4.4(b)で示される AFR-Thru のモデルに対し、EM-Sim を行い、それらの S パラメータから PLTS による De-embed を行った場合の周波数特性(AFR)と、初めから素子部のみをモデリングして EM-Sim を行い、直接的に求めた素子部のみの周波数特性(Direct)との比較である。尚、Direct は、図 2.2.3 の EM-Sim の特性と同じものである。Sdd11 に最大 5 dB 程度の差異が生じているが、図 2.2.6(a)での Sdd11 の誤差同様、微小な反射量のため誤差が発生し易く、5 dB 程度の差異は問題無いと考えられる。

以上説明した通り、40 GHz 帯域の GSGSG プローブと PLTS による De-embed を適用して、DSB-EIM の測定を高精度で行える事を示した。

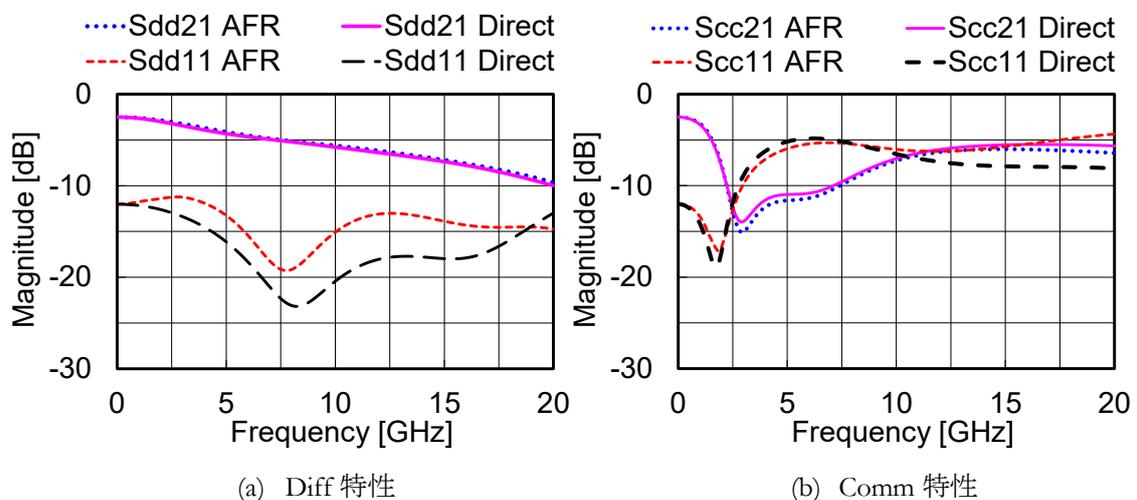


図 2.4.5 DSB-E1 の AFR と Direct による周波数特性比較

## 2.5: 結言

本章では初の試みとなる、180 nm 標準 CMOS メタル配線層への DSB の埋込について、その設計プロセスと測定結果について説明した。メタル配線層はアルミニウム系の 5 層構成であり、メタル配線層に埋め込まれた DSB を DSB-EIM と呼ぶ。

初回の試作となる DSB-EIM 1st (DSB-E1)は、平面寸法  $120\ \mu\text{m} \times 250\ \mu\text{m}$ 、厚さ約  $9\ \mu\text{m}$  となり、既存の DSB-L1 に比べて面積比で 1/80、体積比では約 1/7000 と極めて小型化を実現したが、設計プロセスの確立が目的で、特性には重点を置かなかったため、CMRR は 2.4 GHz で 8.1 dB、5.4 GHz で 7.5 dB で、CMF としては不十分な特性であった。

改良目的で試作した DSB-EIM 2nd (DSB-E2)は、メタル層 4 層に、2 区間分の DL 用インダクタを同軸状に積層するとともに、Comm 除去用インダクタにバイファイラ巻を採用した構成で、平面寸法  $120\ \mu\text{m} \times 230\ \mu\text{m}$  と寸法面で DSB-E1 より小型化を実現するとともに、特性面でも改良目標を達成した。CMRR は、2.4 GHz で 12.1 dB、5.4 GHz で 12.1 dB であった。

DSB-EIM の測定には 40 GHz 帯域の GSGSG プローブと PLTS による De-embed を適用し、パッド部の特性を除去した素子部分のみの特性を正確に抽出している事を確認できた。

## 3 章 : RF ノイズ混入モデルの構築と RFI 検証

### 3.1 : 緒言

2 章では、試作した DSB-EIM の外来ノイズ除去能力検証方法として、回路シミュレータ上で、PRBS 信号源、差動伝送線路、DSB-EIM および終端抵抗が接続され、差動伝送線路の各中点に抵抗を介してノイズ源を接続し、差動両ラインの終端抵抗部波形をそれぞれモニタして、ノイズによる波形の歪が軽減する事を確認するという手法を用いた。しかしながら、その回路シミュレーションでは、外来ノイズの自動キャンセル機能により、差動受信波形は DSB-EIM が無くても正常に受信できる事も示された。そのような現象となる理由は 1 章 1.2 節でも説明したように、半導体の影響を考慮していないからである。

さらにノイズの混入手法として、伝送線路の中点に、線路インピーダンスに影響しないよう高い抵抗値の結合抵抗を介してノイズ源を接続したが、実際の RFI は、伝送線路がアンテナと化し、外来電波を受信する事で発生するため、抵抗結合でのノイズ印加方法では、RFI が発生する際の伝送線路の挙動を正しく再現できず、各 CMF の RFI 予防能力比較も正しく評価できない懸念がある。

そこで本章では、ノイズ混入方法について、より現実に近いモデルを提案するとともに、RFI の検証では、伝送線路のみならず ESD ダイオード、TX バッファあるいは RX バッファ等の半導体回路も加え、半導体の影響による Comm ノイズの自動キャンセル喪失を回路シミュレーションで再現するとともに、そのような状況下での CMF による RFI 解消の可否を確認する[99]。

### 3.2 : 差動伝送路チャンネルへのノイズ混入モデル

TX と RX との間の伝送路をチャンネルと呼ぶ。チャンネルには、コネクタ、フィルタ等の受動回路も含まれる。図 3.2.1 は、現実に近い差動伝送路チャンネル(Differential Transmission Line Channel, DTLC)

への RF ノイズ混入の EM-Sim モデルである。図 3.2.1(a)は DTLC 上にアンテナを配置したモデルで、最も現実に近い RF ノイズ混入を実現可能である。しかしながらこのモデルでは、周波数毎にアンテナを変更する必要があり、周波数掃引を用いた解析が出来ない上、DTLC 上に発生するノイズ電圧は電磁界放射を介するため、全ての解を電磁界解析で求める必要があり、回路シミュレーションとの親和性が悪い。

そこで図 3.2.1(b)に示すモデルのように、アンテナの代わりに DTLC の真上に配置され、一端を終端されたマイクロストリップ線路にノイズ源を接続すれば、DTLC へのノイズ混入はマイクロストリップ線路からのクロストークで与えられ、クロストーク量は周波数依存性を有すものの、その依存性を事前に求めておけば、モデル形状を変える事無く周波数掃引を含む解析が可能となる。しかもクロストークはモデル全体の S パラメータに含まれるため、S パラメータを SPICE モデルに変換したり、あるいは ADS 等の S パラメータで過渡解析可能な回路シミュレータを用いたりして、回路シミュレーションで解を求める事が可能となる。しかしながら、マイクロストリップ線路と DTLC との間にはエアギャップが存在し、十分なクロストーク量が得られない上、実測のために本基板を組み立てた際にはエアギャップの寸法精度の影響を受け易く、再現性に乏しい構成である。

そのような問題を解決するために、今回提案するモデルは、DTLC と同一レイヤ上で、DTLC の両側に隣接した 2 本のマイクロストリップ線路からクロストークによってノイズを混入させる方式であり、ノイズを混入させるためのマイクロストリップ線路をノイズレール(NR)と呼ぶ事にする。そのモデ

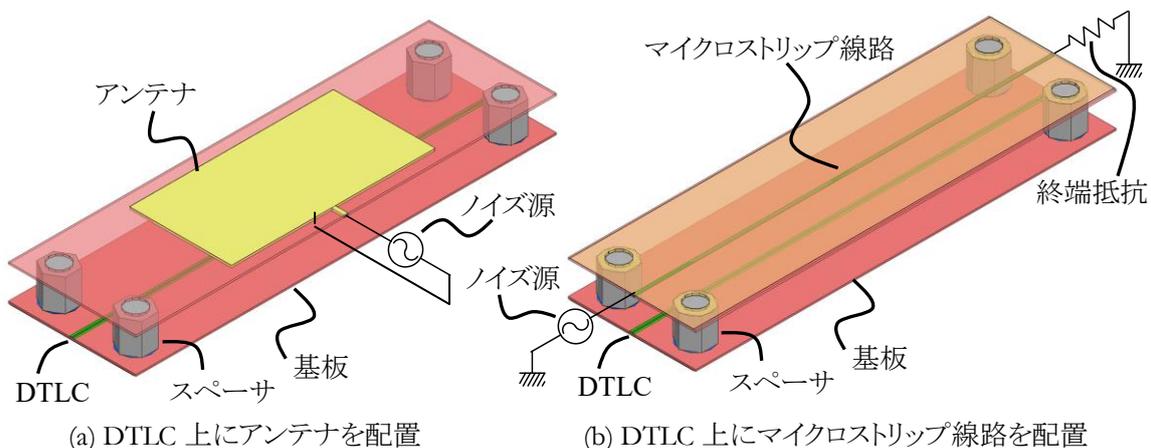


図 3.2.1 DTLC への RF ノイズ混入モデル例

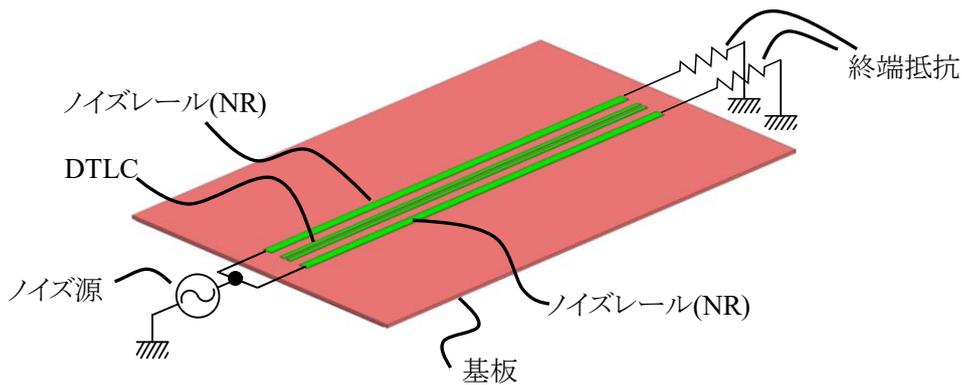


図 3.2.2 DTLC の両サイドに NR を配置した RF ノイズ混入モデル

ルの外観図を図 3.2.2 に示す。このような、DTLC と NR を配置した基板の S パラメータを EM-Sim にて求め、ADS を用いて S パラメータを含む回路シミュレーションを行う。クロストーク量は周波数依存性を持つ事が予想されるため、まずは、ノイズ源の周波数を掃引する AC 解析を行う。

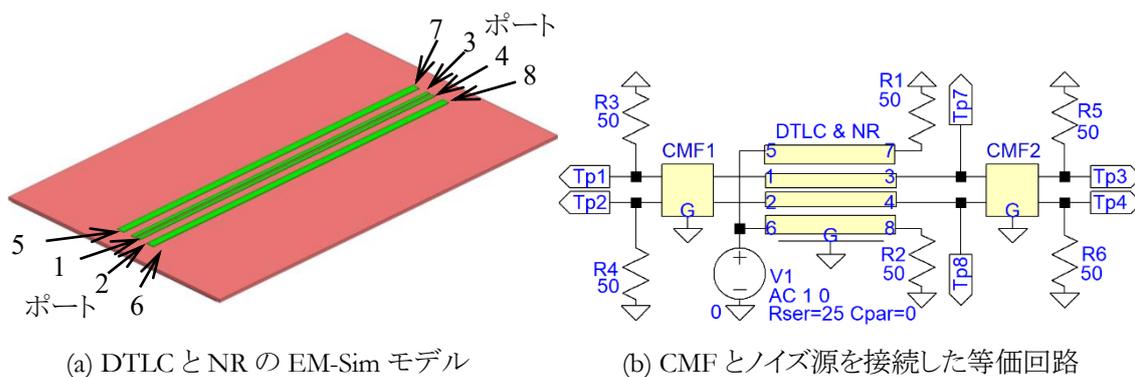
図 3.2.3 は、AC 解析を行うための等価回路である。図 3.2.3(a)は DTLC と NR の EM-Sim モデルで、図に示すとおり 8 ポートで構成され、下記の仕様である。

誘電体： FR4 (誘電率 4.4)、0.4 mm 厚、均質材料

DTLC： 線路幅 0.33 mm、線路間ギャップ 0.17 mm、差動インピーダンス 100  $\Omega$

NR : 線路幅 0.75 mm、DTLC-NR 間ギャップ 0.70 mm、インピーダンス 50  $\Omega$

図 3.2.3(b)は DTLC に CMF を接続し NR にノイズ源を接続した等価回路である。ノイズ源の出力インピーダンスは NR の並列接続に相当する 25  $\Omega$ 、出力電圧 1 V で、Wi-Fi および 5G による RFI



(a) DTLC と NR の EM-Sim モデル

(b) CMF とノイズ源を接続した等価回路

図 3.2.3 AC 解析の等価回路

を想定した周波数をカバーする 1~6 GHz で掃引する。

まずは、CMF1、2 ともに図 1.3.2(a)で示した EM-Sim による CMC の S パラメータを適用し、理論的な傾向を確認する。ここで各 CMF の 1 番ピンまたはポート1側を TX 側に接続する場合を順方向(Fwd)、1 番ピンまたはポート1側を RX 側に接続する場合を逆方向(Rev)と定義する。

図 3.2.4 は、図 3.2.3 における CMF1、2 部分のみを抽出した図で、各 CMF の接続方向に対するピン/ポート配置を明確にしたものである。図 3.2.4 (a)、(b)、(c)および(d)はそれぞれ、CMF1/CMF2 の接続方向が、Fwd/Fwd、Fwd/Rev、Rev/Fed および Rev/Fwd である。尚、一般的な CMC の端子構造は 4 ピンで GND ピンは存在しないが、S パラメータには参照用 GND が接続されるので、等価回路上も GND ピンが表示される。

図 3.2.5 は、図 3.2.3 の回路での AC 解析による各部位のコモンモード電圧プロットである。図 3.2.5 (a)および(b)はそれぞれ、Tp7- Tp8 間の平均電圧で DTLC 上の Comm 電圧(DTLC voltage)、および Tp3-Tp4 間の平均電圧で CMF2 から出力される Comm 電圧(Comm output)である。図 3.2.5 (a)、(b)ともに、CMF1/CMF2 の接続方向に依らず、同一の特性である。

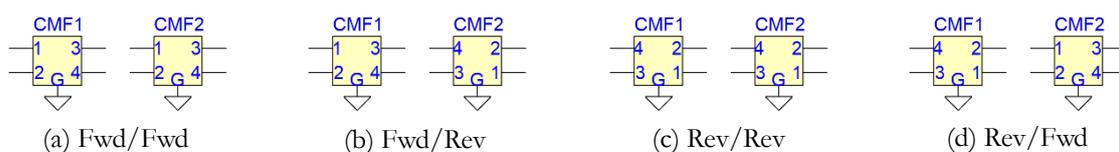


図 3.2.4 各 CMC の接続方向

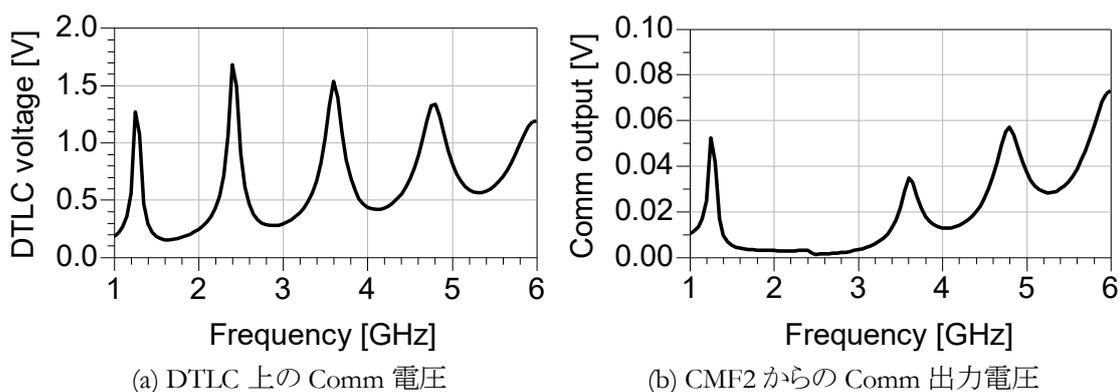
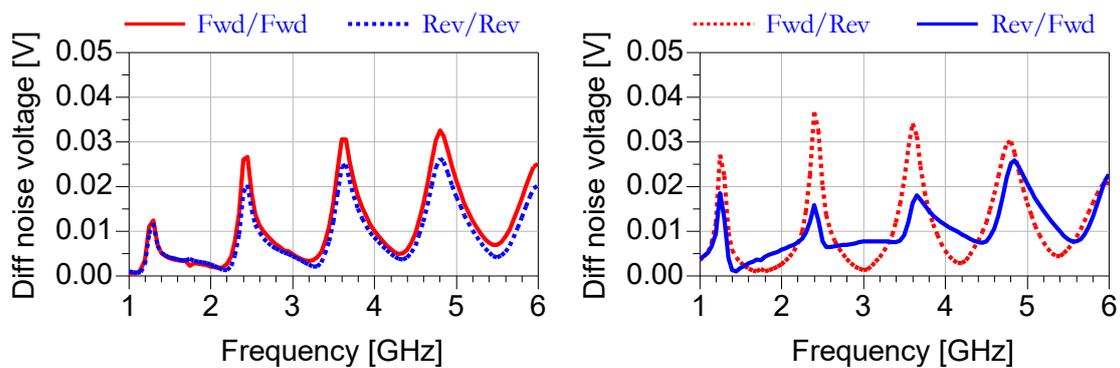


図 3.2.5 AC 解析による各部 Comm 電圧

図 3.2.5 (a)に示される通り、DTLC 上の電圧は特定の周波数で、ノイズ源よりも高い電圧の共振ピークを形成し、それらの周波数には Wi-Fi 用 2.4 GHz および 5G 用 3.7 GHz を含んでいる。この共振ピークの発生理由は、CMC の Comm に対する高い直列インピーダンスによって DTLC が終端抵抗から切り離され、その結果 DTLC がフローティング導体となり、外来 RF ノイズによって蓄積されたチャージを放電できず、容易に共振に至るためである。一方、図 3.2.5 (b)に示される通り、DTLC 上で高い Comm 電圧が発生しても、CMF2 による高い Comm 除去能力によりほぼ遮断され、Tp3/Tp4 に出力される恐れはない。従って Comm ノイズを遮断する目的に注力するのであれば、DTLC の両端を CMC で挟めば解決可能と言える。

ところが、このような高い共振ピーク電圧を持つ Comm ノイズが CMC に印加されると、CMC 内でのモード変換によって、高い電圧の Diff ノイズに変換され出力される懸念がある[45]。Diff ノイズは CMF ではフィルタリングできないので、重大な信号品質劣化を引き起こす。第 1 章 1.3 節で述べた通り、CMC は差動 2 ライン間の対称線に対し、内部のスパイラルインダクタが線対称構造にならないため、モード変換による Comm から Diff への出力電圧も確認する必要がある。

図 3.2.6 は、図 3.2.3 の回路での AC 解析による CMC2 からの Diff 出力電圧(Diff noise voltage)である。図 3.2.6 (a)および(b)はそれぞれ、CMC1/CMC2 の接続方向が Fwd/Fwd と Rev/Rev、および Fwd/Rev と Rev/Fwd での特性をプロットしたものである。DTLC の共振周波数で、Diff 出力電圧も共振状に出力される事がわかる。



(a) Fwd/Fwd および Rev/Rev の場合

(b) Fwd/Rev および Rev/Fwd の場合

図 3.2.6 AC 解析による CMC からの Diff 出力電圧

しかも 2 個の CMC の接続方向によって、Diff 出力電圧の大きさに違いが生じ、特に CMC1/CMC2 の接続方向が Fwd/Rev の時は、2.4 GHz と 3.7 GHz の両周波数において、ノイズ源電圧の 4% 程度に相当する、高い振幅の Diff ノイズが発生する。超高速差動伝送では、信号の振幅レベルが小さいため、Comm ノイズが DTLC 上で共振し、高い電圧となった上で Diff ノイズにモード変換され、信号に重畳される事は問題となる可能性が高い。従って、Fwd/Rev の接続方向は避ける必要があるが、市販の CMC で接続方向をコントロールする事は困難である。

図 3.2.7 は、市販の CMC が、キャリアテープ内でどのような方向で梱包されているかを示した底面からのイメージであり、拡大鏡で底面を見る事で、スパイラルコイルと引き出し線を視認したものである。この市販の CMC は図 1.3.3 で示した EM-Sim による CMC に構造的にも特性的にも類似しているものである。スパイラルコイルの中心側から引き出し線が左に向かう配置を Fwd としている。図 3.2.7 に示される通り、キャリアテープ内での方向性はランダムであり、また上面には極性識別

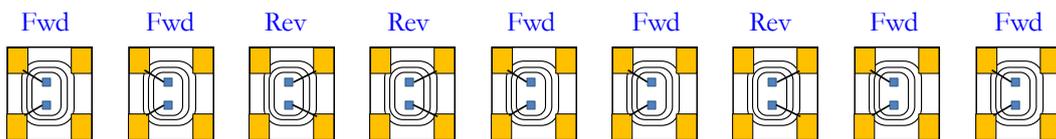


図 3.2.7 市販の CMC のキャリアテープ内での梱包例

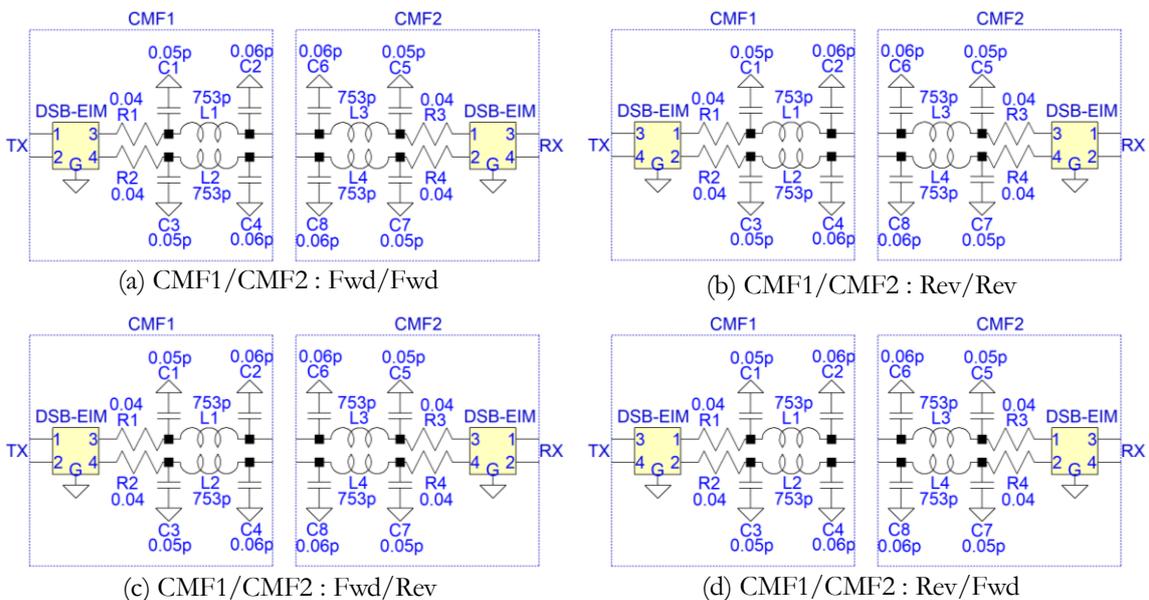


図 3.2.8 DSB-EIM にパッケージと端子を加えた等価回路

のためのマーキング等が無い場合、方向性を管理することは不可能である。従って Fwd/Rev の接続は避ける事が困難であり、RFI 対策部品に CMC を使う場合には Diff ノイズの発生は避け難い。

一方、DSB は CMC と異なり Comm に対するシャントインピーダンスを持つため、DTLC が終端抵抗から切り離される懸念は少なく、Sdc21 も CMC より低い値を示すため、モード変換による Diff ノイズの出力電圧は小さい事が期待できる。そこで DSB-L2 および DSB-EIM の EM-Sim による S パラメータにて、同様な解析を行う。

図 3.2.8 は CMF1 および CMF2 ともに DSB-EIM の S パラメータとした場合の接続方向図である。DSB-EIM の素子を DTLC に接続するためには、パッケージと接続端子を介す必要があるため、市販の超高速 CML トランシーバ IC に対する、パッケージと端子の Spice 等価回路を追加している [46]。また DSB-E2 は、レイアウト中心点に対し点対称構成であり、CMC のような 180° 回転による Rev 接続では Fwd と同じレイアウトになってしまうため、DSB-EIM における Rev 接続はポート 1/2 側と 3/4 側をミラー反転した接続とする。

図 3.2.8(a)、(b)、(c)および(d)は DSB-EIM 部がそれぞれ、Fed/Fwd、Rev/Rev、Fwd/Rev および Rev/Fwd の接続であり、そこにパッケージと端子を追加した CMF 部の等価回路である。これらの回路の各 DSB-EIM 部に DSB-E1 または DSB-E2 の S パラメータが接続される。ここでは、DSB-EIM の EM-Sim による S パラメータにパッケージと端子も構成した CMF1/CMF2 および、DSB-L2 の EM-Sim で得られた S パラメータにて、CMC と同様な AC 解析を行う。

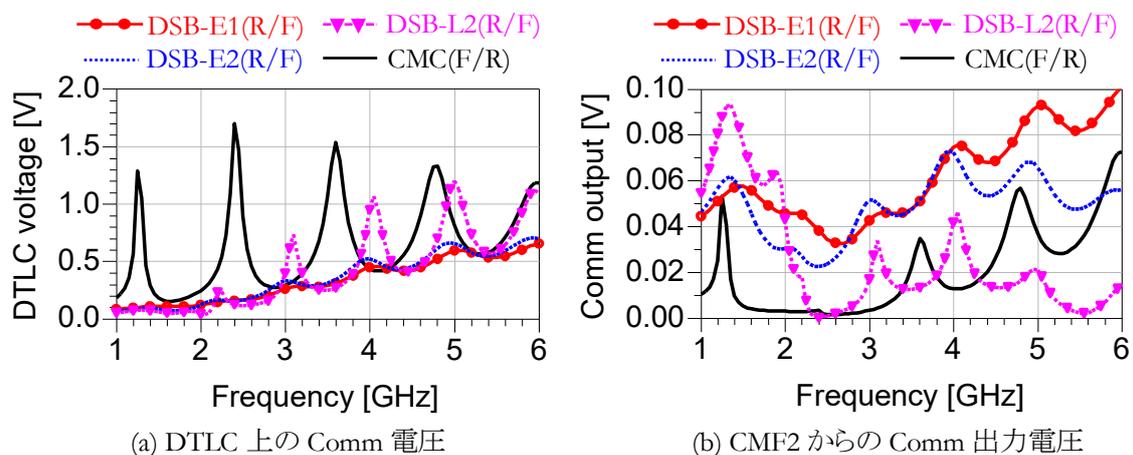


図 3.2.9 AC 解析による各部 Comm 電圧

図 3.2.9(a) および(b) はそれぞれ、図 3.2.3 の回路での AC 解析による DTLC 上の Comm 電圧 (DTLC voltage)、および各 DSB から出力される Comm 電圧(Comm output)である。CMF1 および 2 にそれぞれ、DSB-E1、DSB-E2、および DSB-L2 の EM-Sim による S パラメータを接続している。また図 3.2.5 の CMC による結果も併記している。

DSB-EIM は DTLC voltage および Comm output とともに、CMC 同様、CMF1/CMF2 の接続方向にほとんど依存しないが、DSB-L1 は Rev/Fwd でごく僅かに他の接続より Comm output が大きく出たので、DSB-EIM も含めて Rev/Fwd の接続で比較している。尚グラフ内では Fwd を F、Rev を R と略して表記している。

図 3.2.9(a)に示されるとおり、DTLC voltage については、DSB-L2 で共振が発生しているものの CMC よりは小さく、さらに DSB-E1 および DSB-E2 では共振が発生していない。DSB-L2 で共振が発生する理由は、図 1.5.5(e)に示す通り、Comm に対する Z11 入力インピーダンスが 5 GHz 付近で高くなっており、シャントパス型と直列インピーダンス型の併用となっているからである。また、共振周波数が CMC とは異なる理由は、DSB と CMC とでは伝搬遅延時間が異なり、これらで挟まれる区間の電気長が異なって来る為である。

Comm output については、図 2.3.11(b)の Sc21 に示される通り、DSB-EIM のコモンモード除去能力が CMC や DSB-L2 より劣るため、DSB-EIM の Comm output も CMC や DSB-L2 より大きい値を示す。ただし、Comm output の振幅は、差動受信による Comm 自動キャンセルが機能するレベルまでに下げられれば、RFI は解消できる。

一方、Comm 自動キャンセルが機能している状況でも、Comm ノイズが Diff ノイズにモード変換されると、それが差動信号に重畳され、RFI を引き起こす。従って、Diff ノイズ(Diff noise voltage)の強度は Comm ノイズ(Comm output)の強度以上に重要な要素となり得る。

図 3.2.10 は図 3.2.3 の回路での Diff noise voltage である。図 3.2.10(a)および(b)はそれぞれ、DSB の 3 種類のみに対するプロット、および比較のための CMC も併記したプロットである。DSB の 3 種類については、接続方向は Rev/Fwd のみとしているが、その理由は、DSB-E1 と DSB-L2 で、

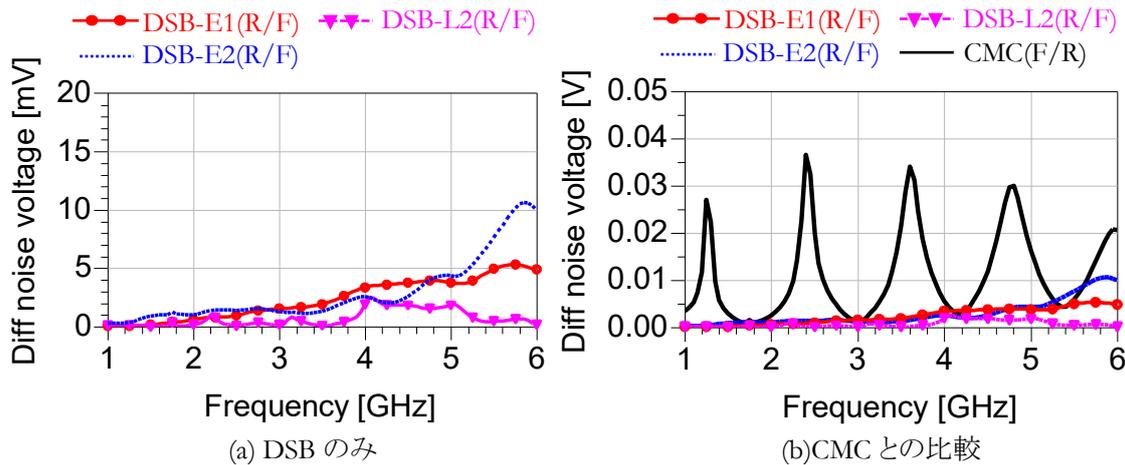


図 3.2.10 AC 解析による各 DSB からの Diff ノイズ出力電圧

Rev/Fwd の接続方向が他の接続方向に比べ、ごく僅かであるが、Diff noise voltage が大きいからである。それでも DSBE1、DSBE2 および DSB-L2 の全ての構成に対し、Diff noise voltage は CMC に比べ極めて小さい。Diff noise voltage の小さい事、すなわちモード変換量が小さい事は、DSB の CMC に対する大きな優位性と言える。以上の通り、DTLC の両サイドに NR を配置したノイズ混入モデルを提案し、AC 解析によって DTLC の共振現象が説明可能な点、およびモード変換による差動ノイズの発生を指摘している点で、本モデルが RFI の解析に有効である事が明確となった。

### 3.3 : DTLC/NR モデルを用いた RFI 検証回路の構築

前節で DTLC/NR モデルの適切性が確認できたので、本節では、そのモデルを用いた RFI 検証回路の構築を行う。そのためには、外来ノイズ自動キャンセル機能が喪失する状態を回路シミュレーションで実現させる必要がある。1.2 節で述べた通り、外来ノイズ自動キャンセル機能の喪失は、ESD ダイオードによる信号ラインの電源電圧および GND 電位へのクランプが原因であるという報告もあり、まずはその検証を行う。

図 3.3.1 は、DTLC と NR の S パラメータに対し、DTLC の TX 側には、高速トランシーバ I/O である Current Mode Logic (CML) と同等の信号レベルを発生させる信号源を接続、RX 側には ESD

ダイオードと終端抵抗を接続し、NR にはノイズ源を接続したチャンネルシミュレーション回路である。信号は 10 Gb/s の疑似ランダムパルス(Pseud Random Bit Sequence, PRBS)とし、CMLと同様に、信号ラインの DC レベルは TX 側の抵抗 R1 および R2 により電源電圧  $V_{cc}$  にプルアップされるとともに、RX 側の終端抵抗 R5 および R6 によって終端電位  $V_{tt}$  にプルダウンされる。ESD ダイオードのシミュレーション用定数は、市販の CML トランシーバ IC の製造元が公開している SPICE モデルを参照している [46]。この回路における RX 側の出力信号をノード  $V_p$  および  $V_n$  にて観測し、コモンモード自動キャンセル機能が喪失するかどうかを確認する。DTLC 長は 68 mm、ノイズ源の周波数は 2.4 GHz、 $V_{cc}$  は 3.3 V である。

図 3.3.2 は、図 3.4.1 の回路の ADS によるシミュレーションで求めた RX 観測点波形である。図 3.3.2(a)および(b)はノイズ源振幅が 20V<sub>p.p.</sub>の場合の、(c)および(d)はノイズ源振幅が 40V<sub>p.p.</sub>の場合の、それぞれ、 $V_p$ と $V_n$ の各波形および $V_p$ と $V_n$ との間の差動アイダイアグラム(以下アイ)である。

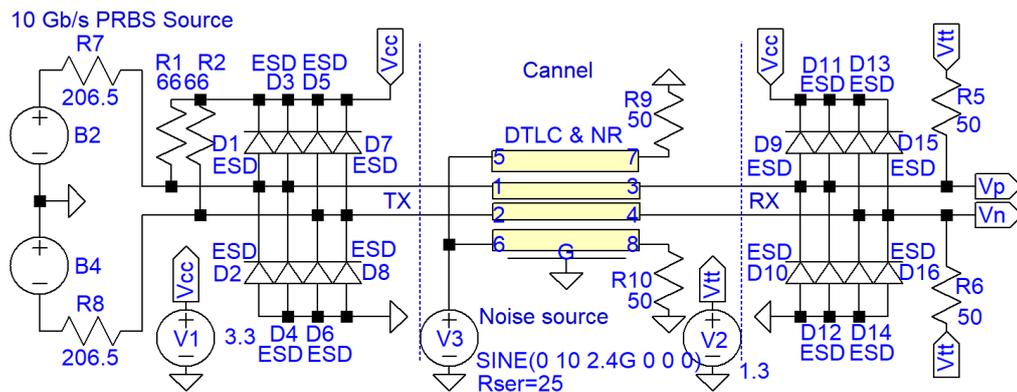


図 3.3.1 ESD ダイオードと DTLC/NR を含むチャンネルの等価回路

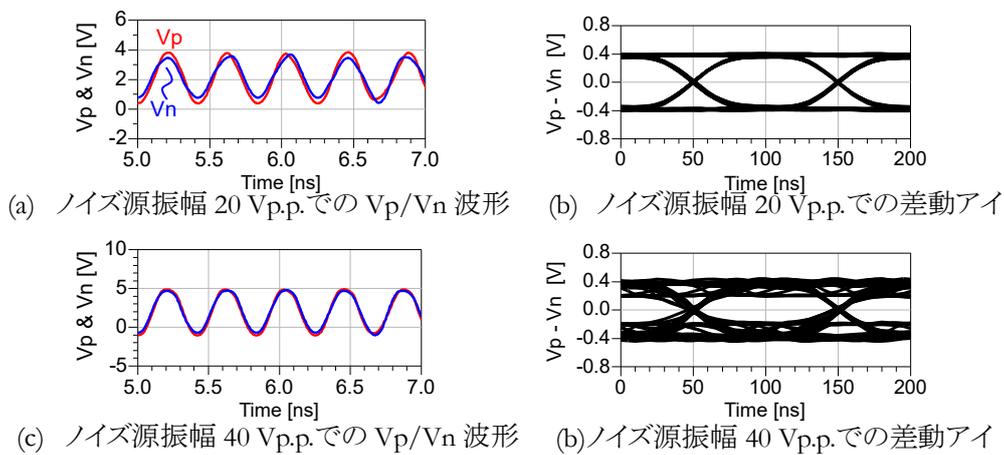


図 3.3.2 ESD ダイオードを含むチャンネルの観測点波形

図 3.3.2(a)に示されるとおり、ノイズ源振幅 20 V<sub>p.p.</sub>で V<sub>p</sub> および V<sub>n</sub> のピーク値が共に V<sub>cc</sub> の 3.3 V を超えている瞬間があるが、図 3.3.2(b)に示されるとおり、外来ノイズ自動キャンセルが正常に機能して、差動アイは綺麗な波形を保っている。そして図 3.3.2(c)に示されるような、V<sub>p</sub> および V<sub>n</sub> のピーク値が V<sub>cc</sub> あるいは GND の電位を1 V 以上超える状況でも、図 3.3.2(d)に示されるとおり、アイの開きが悪くなるだけである。すなわち、外来ノイズ自動キャンセル機能の喪失が ESD ダイオードのみで引き起こされているという説には疑問が発生する。

そこで次に、図 3.3.3 に示す通り、TX 部には CML の出力バッファ、RX 部には CML の入力バッファを加えたトランシーバを構成する。CML TX/RX バッファ部のシミュレーションモデルも、市販の CML トランシーバ IC の製造元が公開している SPICE モデルを参照し、ADS 用に書き換えたものである [46]。TX 側出力バッファに 10 Gb/s の PRBS 信号を印加し、RX 側入力バッファ通過後の波形観測点ノード V<sub>p</sub> および V<sub>n</sub> で波形をモニタする。DTLC 長は 68 mm である。また DTLC の両端には CMF が接続されているが、CMF 無しの場合は、各 CMF をジャンパー接続に置き換える事とする。このような構成で、CMF 部をジャンパー接続し、図 3.3.1 の ESD ダイオードのみの回路との比較を行う。ノイズ源の周波数も 2.4 GHz と、ESD ダイオードのみの場合と同じである。

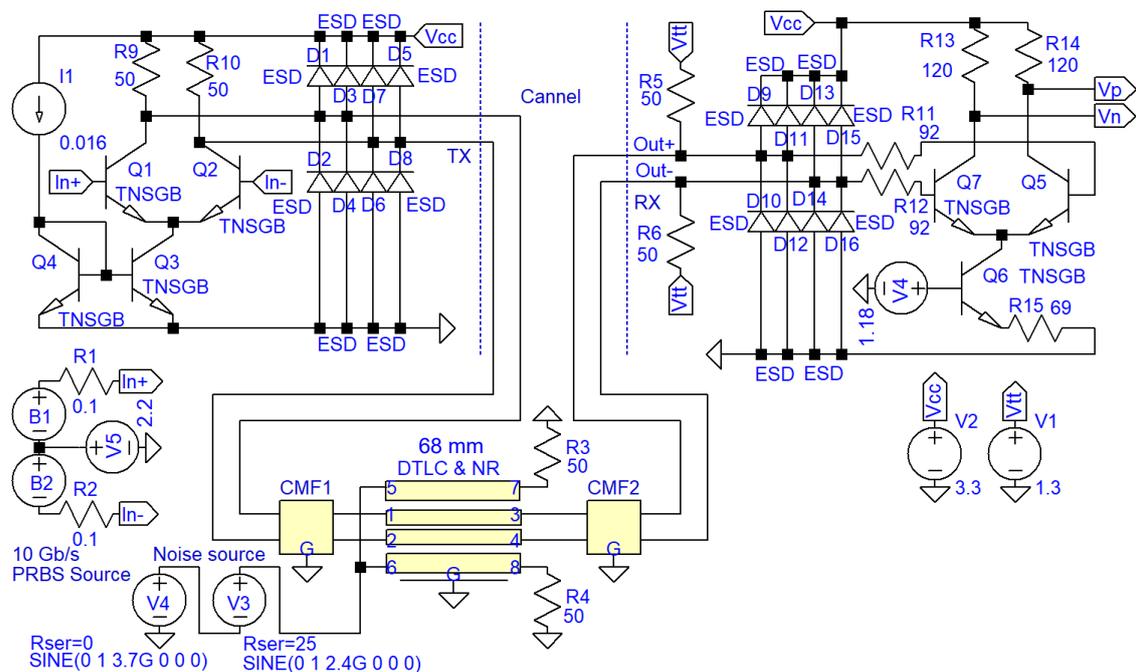


図 3.3.3 CML IO バッファと DTLC/NR を含むトランシーバの等価回路

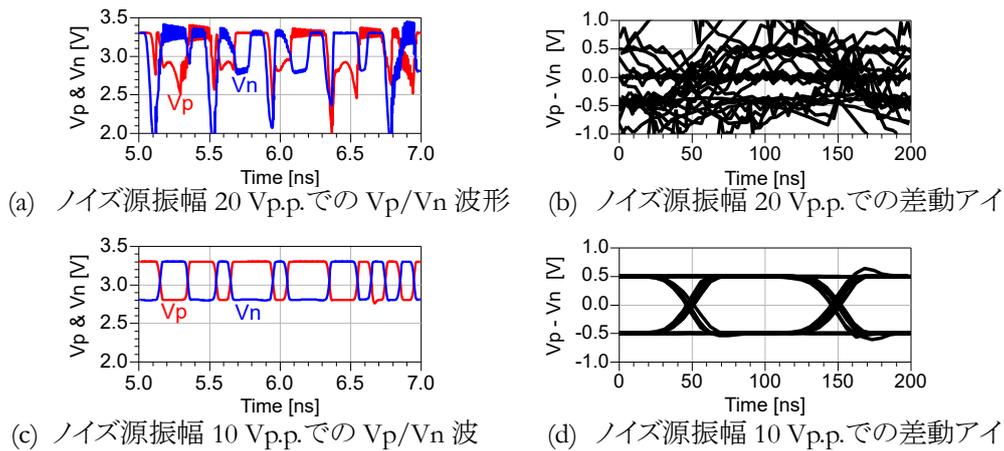


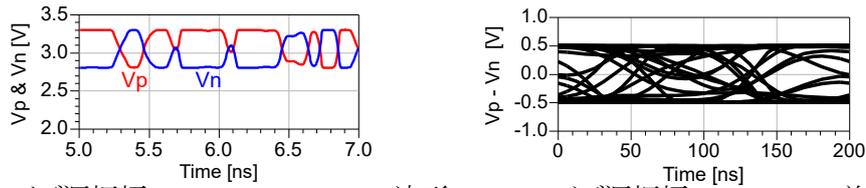
図 3.3.4 CML トランシーバで CMF 無しの場合の観測点波形

図 3.3.4 は、図 3.3.3 の回路で CMF 部をジャンパー接続し、ADS にて求めた RX 側バッファ通過後の観測点波形である。図 3.3.4(a)および(b)はそれぞれ、ノイズ源振幅が 20 V<sub>p.p.</sub>の場合の V<sub>p</sub> と V<sub>n</sub> の各波形および差動アイである。ESD ダイオードのみの場合は図 3.3.2(a)および(b)に示すとおり綺麗な波形だったノイズ源条件であるが、CML TX/RX バッファが加わると、RX バッファ通過後には、受信波形にスパイク状の大きな歪が発生し、アイが完全に閉じてしまう。

すなわち、RFI の発生を回路シミュレーションで再現するためには、ESD ダイオードのみではなく CML の TX/RX バッファも含めたトランシーバで評価する必要がある事がわかる。尚、図 3.4.4(c)および(d)に示されるとおり、ノイズ源振幅が 10 V<sub>p.p.</sub>になれば、CML トランシーバにおいても、受信波形に僅かなスパイクが残るものの、ほぼ綺麗な波形が観測され、外来ノイズ自動キャンセルが機能している事がわかる。

ここで、図 3.3.3 の CML トランシーバ等価回路において、CMF1 および CMF2 に EM-Sim による CMC の S パラメータを Fwd および Rev の向きで接続し、ノイズ源周波数 2.4 GHz で同様の波形観測を行う。その結果を図 3.3.5 に示す。

図 3.3.5(a)および(b)はそれぞれ、ノイズ源振幅が 10 V<sub>p.p.</sub>の場合の V<sub>p</sub> と V<sub>n</sub> の各波形および差動アイである。このノイズ源条件では、CMF 無しでも外来ノイズ自動キャンセルが機能し、綺麗な波形が観測されていたが、CMC による Diff ノイズが信号に重畳され、外来ノイズの際のスパイク状の歪ではなく、Diff ノイズで変調を受けたように波形が歪み、アイも規定の振幅を超えない形で閉じて



(a) ノイズ源振幅 10 V<sub>p.p.</sub>での V<sub>p</sub>/V<sub>n</sub> 波形 (b) ノイズ源振幅 10 V<sub>p.p.</sub>での差動アイ  
 図 3.3.5 CMLトランシーバで CMC EM-Sim を接続した場合の観測点波形

しまう。このように CMC 使用時に懸念されていた、Diff ノイズの信号への重畳が正しく再現でき  
 おり、図 3.3.3 の CMLトランシーバによる RFI 検証は適切に実施可能な事が示される。

尚、CMC を接続する事で、正常な状態から逆に信号品質を劣化させるケースも起こり得る事が  
 明確となり、CMC は RFI 対策には不適切な部品である事も示された。一方、DSB は CMC よりも  
 Diff ノイズ発生が少ないため、RFI が解消される事を再現できると考えられる。そこで、各 DSB の  
 EM-Sim による S パラメータを用いて同様な検証を行う。

図 3.3.6 は、上記 CMLトランシーバにて、CMF の種類、ノイズ源の条件、観測点波形 V<sub>p</sub> および  
 V<sub>n</sub>、および観測点 Diff 波形 V<sub>p</sub> - V<sub>n</sub> のアイを一覧に表示したものである。DSB-I2 のノイズ源周波  
 数は 2.4 GHz 近傍の共振周波数 2.2 GHz とし、CMF1/CMF2 の接続方向は Rev/Fwd である。

	ノイズ源	CMF1 (R) / CMF2 (F)	V <sub>p</sub> および V <sub>n</sub>	V <sub>p</sub> - V <sub>n</sub> , アイ
(a)	2.2 GHz 40 V p.p.	DSB-I2 (EM-Sim) / DSB-I2 (EM-Sim)		
(b)	2.4 GHz 30 V p.p.	DSB-E1 (EM-Sim) / DSB-E1 (EM-Sim)		
(c)	2.4 GHz 30 V p.p.	DSB-E2 (EM-Sim) / DSB-E2 (EM-Sim)		

図 3.3.6 CMLトランシーバで各種 DSB を接続した場合の観測点波形

図 3.3.6(a)、(b)および(c)はそれぞれ、DSB-L2, DSB-E1 および DSB-E2 の EM-Sim による S パラメータを CMF1 および CMF2 部に接続した場合を示している。図 3.3.4(a)および(b)に示される通り、CMF を接続していない場合、ノイズ源条件 2.4 GHz、20 Vp.p. で RFI が発生する一方、DSB-L2 のようにノイズ源振幅 40 Vp.p. でも充分 RFI を解消できている事は、DSB-L2 の 2.4 GHz における CMRR の大きさや Diff ノイズの少なさから考えて、充分合理的であると言える。また DSB-E1 では、ノイズ源振幅 30 Vp.p. でアイは開いているものの、スパイク状の歪が発生しかけている。すなわち、このノイズ振幅が DSB-E1 における RFI 解消の限界と考えられ、DSB-L2 に比べると大きく劣る結果となっているが、DSB-E1 の 2.4 GHz における CMRR が DSB-L2 に比べて小さい事による現象を正しく表している。さらに DSB-E2 は、ノイズ源振幅 30 Vp.p. でもスパイク状の歪は解消されており、DSB-E1 に比べ 2.4 GHz の CMRR が改善された効果を反映した結果となっている。

以上、CML の TX/RX バッファも含めたチャンネルの回路シミュレーションにより、RFI の発生要因は ESD ダイオードよりも TX/RX バッファの方がより支配的である事が示され、また各 DSB の CMRR の大小による RFI 解消能力の差異が正しく示され、本検証手段の適切性が確認できた。そこで、次節では、今研究で開発した DSB-EIM の RFI 解消能力をより詳細に検証する。

### 3.4 : DSB-EIM の RFI 対策部品としての適合性確認

これまでの考察で、DSB-EIM の RFI 対策部品としての適合性を検証する準備が整った。本節では、DSB-EIM の RFI 解消部品としての適合性を確認する。尚、前節までの議論では、RFI 検証手段の適切性確認が主目的であり、そのため、CMF の製造上のばらつきや、測定上のばらつきの影響を排除するために、全ての CMF の S パラメータについて、EM-Sim によるものを用いて来た。一方、本節では、開発した DSB-EIM の実力を知る意味で、実測による S パラメータにて検証を行う。

DSB-EIM 開発の当初の目的は、広範囲の普及のための低価格化実現であったが、図 3.2.9 に示される通り、DSB-EIM はチャンネルを挟むように接続しても、チャンネル共振を発生させず、図 3.2.10

に示される通り、Comm からモード変換された Diff ノイズも極めて少ない。すなわち低価格化のみならず性能面でも大きな利点が期待される。本節ではこの点を実測 S パラメータで確認する。

図 3.4.1 は、図 3.2.3(b)において DTLC/NR 長を 68 mm 長として、DSB-EIM の各方向に接続した場合の Diff ノイズ出力電圧である。図 3.4.1(a)、(b)、(c)および(d)はそれぞれ、DSB-E1 の実測 S パラメータ(Meas)、DSB-E1 の EM-Sim、DSB-E2 の Meas、および DSB-E2 の EM-Sim に対する結果である。DSB-E1 の EM-Sim では Fwd/Fwd および Fwd/Rev が他の接続方向に比べ、特に 4 GHz 付近で少ない Diff ノイズ出力を示し、DSB-E1 の Meas では Fwd/Rev が 4.0~5.0 GHz 付近で少ない Diff ノイズ出力を示している。すなわち Fwd/Rev が Meas で最も少ない Diff ノイズ出力を示しており、同時に EM-Sim がその結果を理論的に補足している形になる。DSB-E2 においても、Fwd/Rev が Meas と EM-Sim で最も少ない Diff ノイズ出力を示している。従って、DSB-EIM においては、Fwd/Rev の接続を用いる事とする。

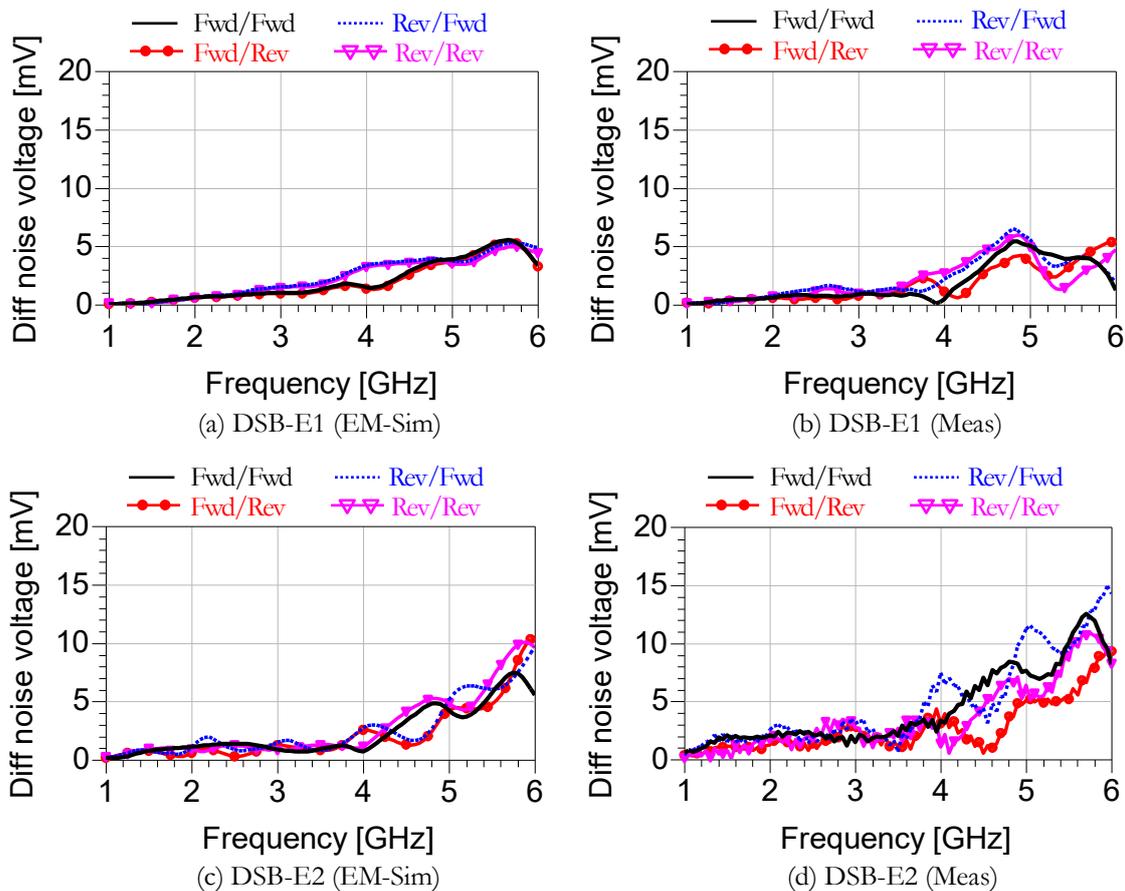


図 3.4.1 DSB-EIM の Diff ノイズ出力電圧

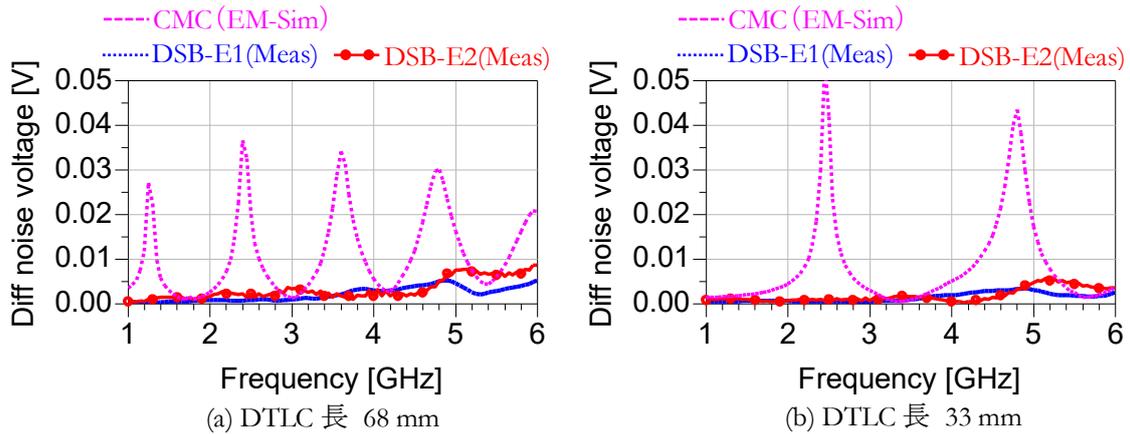


図 3.4.2 Diff ノイズ出力電圧の DSB-EIM (Meas)と CMC (EM-Sim)との比較

図 3.4.2 は、図 3.2.3(b)において各 CMF が CMC(EM-Sim)、DSB-E1(Meas)および DSB-E2 (Meas) で、しかも Fwd/Rev 接続された時の、Diff ノイズ出力を比較したものである。図 3.4.2(a)および(b)はそれぞれ、DTLC 長が 68 mm および 33 mm の場合である。CMC に比べ、DSB-EIM は Diff ノイズが極めて小さい事が改めて示されている。また、DTLC 長 33 mm の場合、DTLC を CMC で挟んだ際の Diff ノイズは、DTLC 長 68mm の場合と比べ、共振点が減るものの、共振点での Diff ノイズの振幅はより大きくなる。一方、DSB-EIM は DTLC 長 68 mm の場合よりも小さい Diff ノイズ振幅であり、CMC に比べ Diff ノイズが小さい事が示されている。

図 3.4.3 は、図 3.3.3 の回路で、DTLC 長を 68 mm とした場合の RFI 検証結果である。CMF には TX 側 RX 側ともに DSB-E1(Meas)、または DSB-E2(Meas)を接続している。

図 3.4.3(a)、(b)、(c)および(d)は、ノイズ源周波数が Wi-Fi 用 2.4 GHz と 5G 通信用 3.7 GHz とした場合で、振幅が 10 V<sub>p.p.</sub>かつ CMF 無しの(a)の場合は RFI が発生する一方、両 CMF に DSB-E1(Meas)を接続した(b)の場合は、RFI を完全に除去できている。この条件からノイズ源の振幅を 2.4 GHz と 3.7 GHz とともに 15 V<sub>p.p.</sub>に増やしたところ、DSB-E1(Meas)の Comm 除去能力では RFI が再発するようになる。そこで、両 CMF を DSB-E2(Meas)に交換した場合が(d)である。わずかにスパイク状ノイズは残るが、その波形は(c)からは大幅に改善され、概ね RFI が解消され、DSB-E2 の CMRR 改善効果が示されている。

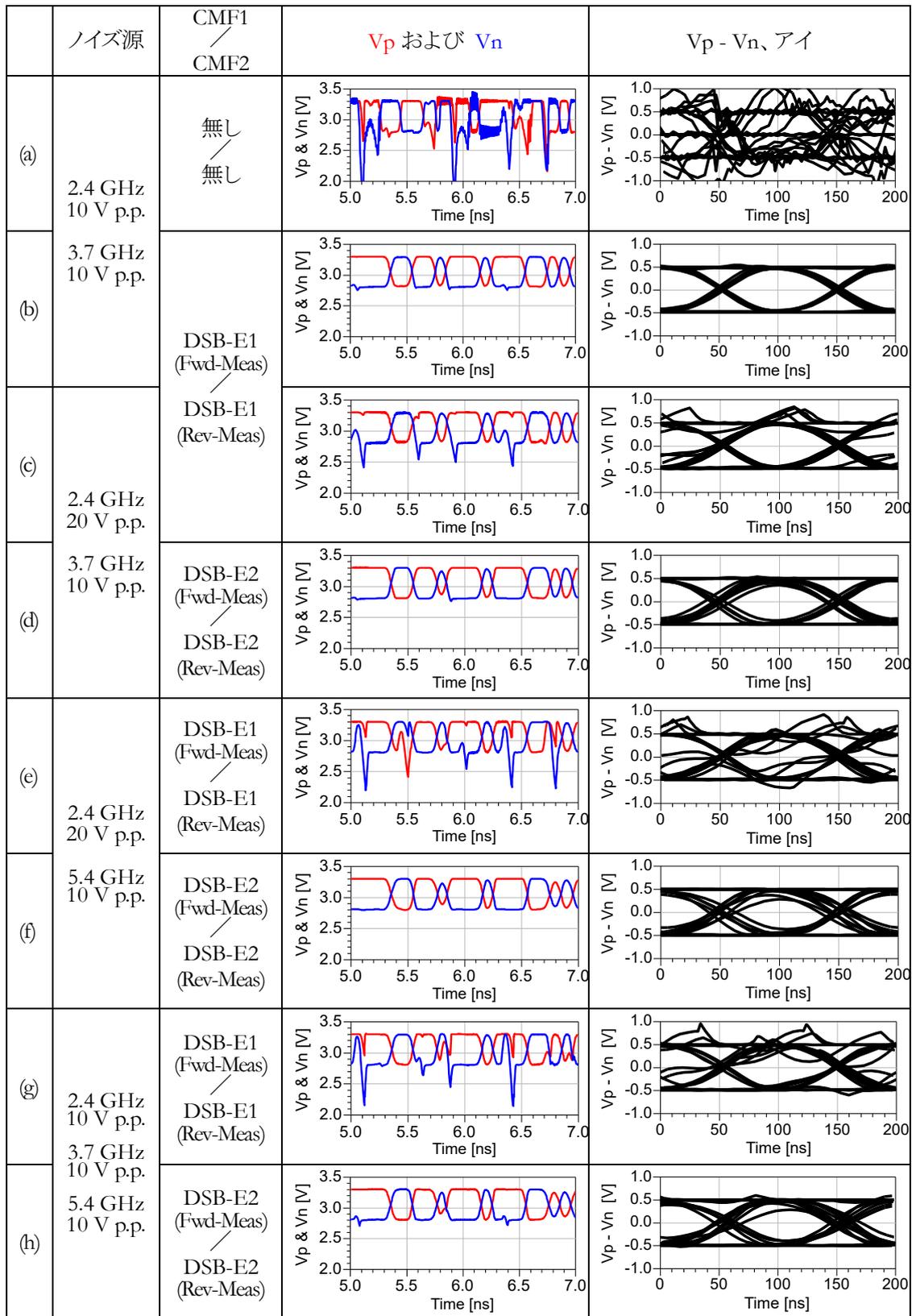


図 3.4.3 DTLC 長 68mm の場合の DSB-EIM(Meas)による回路シミュレーション結果

図 3.4.3(e)および(f)は、ノイズ源の条件を 2.4 GHz で 20 V<sub>p.p.</sub>および 5.4 GHz で 10 V<sub>p.p.</sub>とした場合である。すなわち、(c)および(d)から、一方のノイズ源周波数 3.7 GHz を 5.4 GHz に置き換えたものである。両 CMF に DSB-E1(Meas)を接続した(e)の場合は、(c)からのノイズ周波数置き換えに相当し、3.7 GHz から 5.4 GHz に置き換えられる事で、スパイク状歪がより大きくなり、アイの開きも一層悪くなっている。一方、両 CMF に DSB-E2(Meas)を接続した(f)の場合は、スパイク状歪が無くなり、アイの開きも改善され、DSB-E2 の 5.4 GHz での CMRR 改善の効果が示されている。

図 3.5.3(g)および(h)は、ノイズ源周波数が 2.4 GHz、3.7 GHz および 5.4 GHz の混合で、それらの振幅が全て 10 V<sub>p.p.</sub>の場合である。すなわち(b)のノイズ源条件に、さらに 5.4 GHz を追加したものであるが、(b)の条件であれば、DSB-E1(Meas)でも充分 RFI を除去できるのに対し、5.4 GHz のノイズを追加すると DSB-E2(Meas)でのみ除去できるという状況に一転する。このように周波数の異なる複数のノイズが混入すると、各周波数のノイズ振幅が小さくても、それらが重畳され高振幅となるため、RFI 除去の困難さが増す事が示されている。

図 3.4.4 は、図 3.4.3 の回路で、DTLC 長を 33 mm とした場合の RFI 検証結果である。図 3.5.4 (a)、(b)および(c)はノイズ源周波数 2.4 GHz、振幅 10 V<sub>p.p.</sub>とした場合で、それぞれ、CMF1/CMF2 ともに無し、CMF1/CMF2 ともに CMC (EM-Sim) および CMF1/CMF2 ともに DSB-E2(Meas)とした場合である。このノイズ源条件であれば、(a)に示す通り CMF1/CMF2 ともに無しでも RFI は発生しないが、ここで CMF1/CMF2 ともに CMC を接続すると、やはり Diff ノイズによる RFI が発生する。一方、CMF1/CMF2 ともに DSB-E2 であれば、Diff ノイズによる RFI は発生しない。すなわち図 3.4.2(b)に示す通り、33 mm 長の DTLC を CMC で挟んだ場合の Diff ノイズの大きさが大きく影響している。

図 3.4.4 (d)および(e)は、ノイズ源周波数が 2.4 GHz、3.7 GHz および 5.4 GHz の混合かつ振幅が全て 10 V<sub>p.p.</sub>であり、それぞれ、CMF1/CMF2 は両方とも無し、および CMF1/CMF2 は両方とも DSB-E2(Meas)とした場合である。DTLC 長が 33 mm と短いにもかかわらず、CMF1/CMF2 ともに無しの場合は RFI が発生する一方、CMF1/CMF2 ともに DSB-E2 の場合は充分 RFI を除去できており、ここでも DSB-E2 の有効性が示されている。

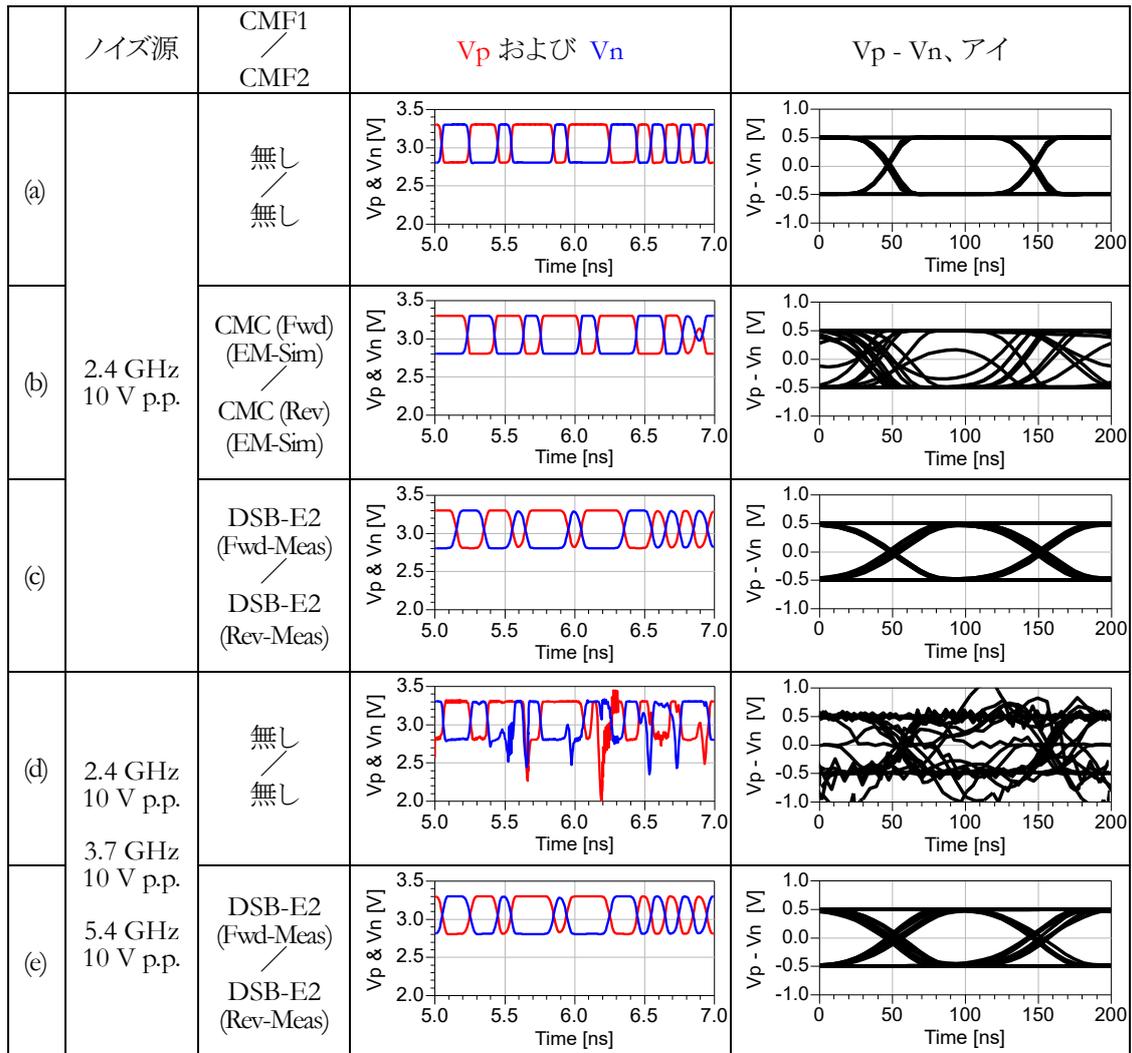


図 3.4.4 DTLC 長 33mm の場合の CMC と DSB-EIM との回路シミュレーションによる比較

以上、新たに提案した DTLC/NR に、CML の IO バッファを加えたチャンネルの回路シミュレーションにより、DSB-E2 は当初のコストダウン目的のみならず、RFI 対策部品として優れた機能を有する事を示した。しかしながら、図 3.4.4(a)および(c)を比較すると、CMF 無しの場合のアイが高速の立上り/立下りで綺麗なパルス形状を維持しているのに対し、DSB-E2 の場合のアイは正弦波状で立上り/立下りが劣化している事がわかる。これは DSB-EIM の Diff に対する損失が大きい事に起因し、Comm の除去量が DSB-I2 に比べ不十分である事と合わせて、今後の改善課題と言える。また CMC は、その Diff ノイズの多さから、RFI 対策部品としては不適切であると言える。

### 3.6: 結言

本章では、試作した DSB-EIM の RFI 除去能力を検証した。

ノイズの混入方法として、従来発想である、比較的高い抵抗値の結合抵抗を介してのノイズ源電圧分圧方式では、CMC を接続した場合に、Comm ノイズに対する高い直列インピーダンスが終端抵抗と結合抵抗との間に挿入され、分圧比を狂わす。従って CMC を含むチャンネルでは、ノイズ源電圧分圧方式では適切なノイズ混入が出来ない事が判った。

次に、より現実に近いノイズ混入手段として、DTLC/NR モデルを提案し、各種 CMF で DTLC を挟んだ場合の挙動を AC 解析により確認した。その結果、CMC で DTLC を挟んだ場合の DTLC の共振や、CMC でのモード変換による高振幅の Diff ノイズ発生といった問題が明確となった。一方、DSB は DSB-LTCC も DSB-EIM も、DTLC の共振を引き起こし難く、またモード変換量も CMC より小さいので、Diff ノイズの発生も極めて低い事が明確になった。

さらに、この DTLC/NR モデルを用いて、RFI の発生とその除去を検証するための検証回路を構築した。CML の TX/RX 部 IO バッファの SPICE モデルを用いた等価回路を構成したところ、理論的予測と良く合致した結果が得られ、RFI は TX/RX バッファで引き起こされる場合が多い事が明確となった。これにより、RFI の検証用等価回路が構築された。

この等価回路を用いて CMF 部に DSB-EIM の実測 S パラメータを接続して RFI の除去能力を検証した。その結果、CMC は RFI 対策部品としては不適切である事、DSB-E2 は低価格化のみならず、RFI 対策部品としても優れた機能を有する事を示した。

## 4 章：結論

本論文では、これからの大規模集積回路 (LSI) の新しい形態になり得る、高機能受動部品を LSI のメタル配線層へ埋め込み、受動部品でしか得られない機能を LSI 内部に内蔵させ、LSI のさらなる高機能化を目指す目的で研究を行った。

第 1 章では、LSI へ埋め込む受動部品としてコモンモードフィルタ (CMF) を選定し、その選定理由と、埋め込む CMF の新規性および既存 CMF との違いを説明した。既存 CMF であるコモンモード・チョークコイル (CMC) は磁性体を必要とする部品で LSI への埋め込みに適さず、新しい CMF である差動バランサー (DSB) が本目的に合致する事を説明した。

第 2 章では、LSI メタル配線層に埋め込んだ DSB (DSB-EIM) について、設計、レイアウト、試作評価および測定技術の詳細を説明した。DSB-EIM は 180 nm 標準 CMOS のアルミニウム系メタル配線層 5 層内に内蔵され、初回開発品の DSB-E1 は、平面寸法  $120\ \mu\text{m} \times 250\ \mu\text{m}$ 、厚さ約  $9\ \mu\text{m}$  となり、既存の DSB-L1 に比べて面積比で  $1/80$ 、体積比では約  $1/7000$  と極めて小型化を実現したが、設計プロセスの確立が目的で、特性には重点を置かなかつたため、CMRR は 2.4 GHz で 8.1 dB、5.4 GHz で 7.5 dB で、CMF としては不十分な特性であった。

改良目的で試作した DSB-EIM 2nd (DSB-E2) は、メタル層 4 層に、2 区間分の DL 用インダクタを同軸状に積層するとともに、Comm 除去用インダクタにバイファイラ巻を採用した構成で、平面寸法  $120\ \mu\text{m} \times 230\ \mu\text{m}$  と寸法面で DSB-E1 よりさらに小型化を実現するとともに、特性面でも改良目標を達成した。CMRR は、2.4 GHz で 12.1 dB、5.4 GHz で 12.1 dB であった。

DSB-EIM の測定には 40 GHz 帯域の GSGSG プローブと PLTS による De-embed を適用し、パッド部の特性を除去した素子部分のみの特性を正確に抽出している事を確認できた。

第 3 章では、試作した DSB-EIM の RFI 除去能力を検証した。

まずは、従来のノイズの混入手段である、結合抵抗を介してノイズを線路に印加する手法ではなく、より現実に近いノイズ混入手段として、DTLC/NR モデルを提案し、各種 CMF で DTLC を挟んだ場合の挙動を AC 解析により確認した。CMC で DTLC を挟むと、CMC の Comm ノイズに対する高い直列インピーダンスによって、終端抵抗が DTLC から切り離され、DTLC が等価的にフローティング導体となる。そうすると外来 RF 電波によって容易に共振し、DTLC 上に高い共振電圧が発生、CMC に印加される。CMC は Comm から Diff へのモード変換量が大きいので、高い共振電圧状態の Comm ノイズが、モード変換により Diff ノイズとなって高振幅で出力され、Diff データ信号に重畳され RFI を起こす事が明確になった。一方、DSB は DSB-LTCC も DSB-EIM も、シャントインピーダンスによる Comm 除去原理を有する事から、線路共振を引き起こし難く、またモード変換量も CMC より小さいので、Diff ノイズの発生も極めて低い事が明確になった。

さらに、この DTLC/NR モデルを用いて、RFI の発生とその除去を検証するための検証回路を構築した。まずは RFI 要因として報告されている ESD ダイオードについて、その SPICE モデルを用いた等価回路を構成し検証したが、ESD ダイオードだけでは RFI の要因にはなり難い事が明確になった。そこで、CML の TX/RX 部 IO バッファの SPICE モデルを用いた等価回路構成したところ、理論的予測と良く合致した結果が得られ、RFI は TX/RX バッファで引き起こされる場合が多い事が明確となった。これにより、RFI の検証用等価回路が構築された。

この等価回路を用いて CMF 部に DSB-EIM の実測 S パラメータを接続して RFI の除去能力を検証した。その結果、CMC は RFI 対策部品としては不適切である一方、DSB-E2 は低価格化のみならず、RFI 対策部品としても優れた機能を有する事が実証され、受動部品の内蔵化による LSI 高機能化に大きく寄与する事が示せた。

以上、DSB-EIM の開発試作、およびその RFI 検証技術開発という 2 つの技術に関して論じた本論文であるが、受動部品の内蔵化による LSI 高機能化への寄与のみならず、今後の RFI 対策にも非常に有益な知見を提供できたと考えている。

一方、今後の課題として、今回は VDEC のプログラムを使用させて頂く関係上 180 nm CMOS プロセスでの試作となったが、10 Gb/s を超えるような高速シリアル伝送向け LSI は 180 nm よりも微細なプロセスで製造されており、半導体企業に採用頂く段階では、例えば 22 nm プロセスでの設計・開発が必要になって来ると考えられる。当然 22 nm プロセスで、Diff の損失低減、CMRR 向上の改良も必要となる。

また、LSI メタル配線層に受動部品を埋め込んで、それが予期せぬ不具合を発生させた場合、LSI 全体を使えなくさせて甚大な被害を発生させる事から、埋め込む受動部品の検証が非常に重要となる。今回提案した DTLC/NR による RFI 検証も、より詳細に、さらに DTLC/NR も実測 S パラメータを用いる事が望まれる。

これらの今後の改良・改善に期待を寄せ、我が国の受動部品業界の更なる躍進ならびに半導体業界の再興を願い、本論文の締めくくりとする。

## 謝辞

本研究を進めるにあたり、多大なるご指導をいただきましたマイクロ化総合技術センターの中村和之教授に深く感謝いたします。また、学位論文作成・審査において、多くのご指導、ご助言をいただきました伊藤高廣教授、温 暁青教授、馬場昭好教授、並びに御福英史特任教授にも深く感謝申し上げます。さらに、数々のご支援をいただきました中村研究室の卒業生である松本浩氏、中野裕次氏、張揚民氏、鳩野友理氏にも心よりお礼申し上げます。

本研究において使用した 180 nm CMOS プロセスのチップの試作は東京大学大規模集積システム設計教育研究センター(VDEC)を通じ、ローム株式会社、凸版印刷株式会社のご協力で提供いただきました。関係者の方々に深く感謝申し上げます。

本研究においてDSB-EIMの測定には、フォームファクター株式会社、およびエルメック株式会社の花沢和興氏にご協力頂きました。ご協力頂いた皆様に深く感謝申し上げます。

## 参考文献

- [1] JEITA 電子部品部会 技術・標準戦略委員会, 部品技術ロードマップ専門委員会, "2028 年までの電子部品技術ロードマップ", 2019
- [2] W. C. Maia Filho, M. Brizoux and A. Grivon, "Optimization of PCB build-up layer configuration for electronic assemblies with active embedded components in the board," 2010 11th International Thermal, Mechanical & Multi-Physics Simulation, and Experiments in Microelectronics and Microsystems (EuroSimE), 2010, pp. 1-5
- [3] M. Brizoux, A. Grivon, W. M. Filho, J. Stahr, M. Morianz, and S. Leoben, "Industrial PCB Development using Embedded Passive & Active Discrete Chips Focused on Process and DfR," Computer Science, 2010
- [4] 日本電子回路工業会, "部品内蔵電子回路基板," JPCA-EB01, 2008
- [5] S. Sato, K. Munakata, M. Sato, A. Itabashi, and M. Inaba, "Two Chips Vertical Direction Embedded Miniaturized Package," Fujikura Technical Review, pp. 35-39, 2017
- [6] 青木仁, "内蔵受動部品の動向と今後の展望," 第 27 回エレクトロニクス実装学会春季講演大会, 13A-09, pp.25-26, 2013
- [7] A. Zolfaghari, A. Chan and B. Azavi, "Stacked Inductors and Transformers in CMOS Technology", IEEE Journal of Solid-State Circuits, Vol. 36, No 4, p620, Apr. 2001
- [8] X. Huo, K. J. Chen, and P. C. H. Chan, "Silicon-based high-Q inductors incorporating electroplated copper and low-K BCB dielectric," IEEE Electron Device Letters, vol. 23, no. 9, pp. 520-522, 2002
- [9] C.-H. Wu, C.-C. Tang, and S.-I. Liu, "Analysis of on-chip spiral inductors using the distributed capacitance model," Proceedings. *IEEE Asia-Pacific Conference on ASIC*, 2002, pp. 259-262
- [10] J. N. Burghartz and B. Rejaei, "On the Design of RF Spiral Inductors on Silicon", IEEE Transactions on Electron Devices, Vol. 50, No. 3, pp.718-729, 2003
- [11] J. Chen and J. J. Liou, "On-Chip Spiral Inductors for RF Applications: An Overview" Journal of Semiconductor Technology and Science, Vol.4, No.3, pp. 149-167, 2004
- [12] A. C. Watson, D. Melendy, P. Francis, Kyuwoon Hwang and A. Weisshaar, "A comprehensive compact-modeling methodology for spiral inductors in silicon-based RFICs," IEEE Transactions on Microwave Theory and Techniques, vol. 52, no. 3, pp. 849-857, 2004
- [13] M. Maeng, F. Bien, Y. Hur, H. Kim, S. Chandramouli, E. Gebara, J. Laskar, "0.18- $\mu\text{m}$  CMOS equalization techniques for 10-Gb/s fiber optical communication links," IEEE Transactions on Microwave Theory and Techniques, Vol. 53, No.11, pp. 3509 - 3519, 2005
- [14] T. Biondi, A. Scuderi, E. Ragonese, G. Palmisano, "Analysis and modeling of layout scaling in silicon integrated stacked transformers," IEEE Transactions on Microwave Theory and Techniques, Vol. 54, No. 5, pp. 2203 - 2210, 2006
- [15] T. Masuda, A. Kodama, T. Nakamura, N. Shiramizu, S. Wada, T. Hashimoto, and K. Washio, "A

- simplified distribution parasitic capacitance model for on-chip spiral inductors," *Digest of Papers. 2006 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, p. 4, 2006
- [16] H. Lee, C. Park, S. Hong, "A Quasi-Four-Pair Class-E CMOS RF Power Amplifier With an Integrated Passive Device Transformer" , *IEEE Transactions on Microwave Theory and Techniques*, Vol. 57 , No. 4 , pp. 752-759, 2009
- [17] Z.-Q. Zhang, X.-P. Liao and R. Wu." RF on-chip LC passive bandpass filter based on GaAs MMIC technology", *Electronics Letters*, Vol.46, No.3, pp.269-270, 2010
- [18] R. Beryl, V. Vaithianathan and S. Kirubaveni, "Comparative analysis of various on-chip spiral inductors," *2013 International Conference on Communication and Signal Processing*, 2013, pp. 437-441
- [19] H. Zhu, Y. Yang, X. Zhu, Y. Sun and S.-W. Wong, "Miniaturized Resonator and Bandpass Filter for Silicon-Based Monolithic Microwave and Millimeter-Wave Integrated Circuits", *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol.65, No. 12, pp. 4062-4071, 2018
- [20] S.-M. Wu and C.-T. Kuo, "VERY COMPACT FULL DIFFERENTIAL BANDPASS FILTER WITH TRANSFORMER INTEGRATED USING INTEGRATED PASSIVE DEVICE TECHNOLOGY," *Progress In Electromagnetics Research*, Vol. 113, pp.251–267, 2011
- [21] C. Lai, W. Chung and T. Ma, "On-Chip Miniaturized Triplexer Using Lumped Networks With Dual Resonators on an Integrated Passive Device Process," *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 12, pp. 2923-2930, 2014
- [22] X.-H. Liu, Y.-S. Lin, "Super Compact and Ultrabroadband Power Divider Using Silicon-Based Integrated Passive Device Technology," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, Vol. 6, No. 12, pp.1855 - 1864, 2016
- [23] L. -C. Hsu, Y. -L. Wu, J. -Y. Zou, H. N. Chu, and T. -G. Ma, "Periodic Synthesized Transmission Lines With 2-D Routing Capability and Its Applications to Power Divider and Couplers Using Integrated Passive Device Process," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 2, pp. 493-501, 2016
- [24] C. -L. Chang and C. -H. Tseng, "Design of 38-GHz branch-line coupler in glass-substrate integrated passive device technology," *2016 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, 2016, pp. 1-3
- [25] N. Li, X. -z. Li, M. -J. Xing, Q. Chen and X. -d. Yang, "Design of super compact bandpass filter using silicon-based integrated passive device technology," *2017 18th International Conference on Electronic Packaging Technology (ICEPT)*, 2017, pp. 1069-1072
- [26] Y. -Z. Lee and Y. -S. Lin, "V-band linear tapered slot antenna array using glass-based integrated passive device technology," *2017 XXXIInd General Assembly and Scientific Symposium of the International Union of Radio Science (URSI GASS)*, 2017, pp. 1-3,
- [27] A. Kumar, F.-Y. Meng, C. Wang, K.K. Adhikari, T. Qiang, Q. Wu, and Y. Wu, "Design Analysis of Integrated Passive Device-Based Balun Devices With High Selectivity for Mobile Application," *IEEE*

Access, Vol. 7, pp. 23169-23176, 2019

- [28] D. -M. Kim, B. -W. Min and J. -M. Yook, "Compact mm-Wave Bandpass Filters Using Silicon Integrated Passive Device Technology," *IEEE Microwave and Wireless Components Letters*, vol. 29, pp. 638-640, 2019
- [29] M. Kong, Y. Wu, Z. Zhuang, W. Wang, and C. Wang, "Ultraminiaturized Wideband Quasi-Chebyshev/-Elliptic Impedance-Transforming Power Divider Based on Integrated Passive Device Technology," *IEEE Transact. Plasma Science*, Vol. 48, No. 4, pp. 858-866 (2020)
- [30] C.-Y. Hsato, Y.-C. Huang, and T.-L. Wu, "An Ultra-Compact Common-mode Bandstop Filter With Modified-T Circuits in Integrated Passive Device (IPD) Process," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 63, No. 11, pp. 3624-3631, 2015
- [31] Y.-C. Huang, C.-H. Cheng, and T.-L. Wu, "A Synthesized Method for Common-Mode Noise Suppression Filters With Specified Common-Mode and Differential Mode Response," *IEEE Transactions on Electromagnetic Compatibility*, Vol.61, No.11, pp. 893-902, 2019
- [32] C.-H. Chan, Y.-S. Lin, "Miniature Common-Mode Rejection Filter in Silicon-Based Integrated Passive Device Technology," *IEEE International Symposium on Electromagnetic Compatibility - EMC EUROPE*, 2019, pp.881-884
- [33] 日経エレクトロニクス, "バスよりシリアル GHz 伝送への決断", 2001/06/18 号, p.101
- [34] J. Lee, P. -C. Chiang, P. -J. Peng, L. -Y. Chen and C. -C. Weng, "Design of 56 Gb/s NRZ and PAM4 SerDes Transceivers in CMOS Technologies," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 9, pp. 2061-2073, 2015
- [35] D. Park, J. Yoon and J. Kim, "A low-power SerDes for high-speed on-chip networks," *2017 International SoC Design Conference (ISOCC)*, 2017, pp. 252-253
- [36] S. Srivastava and P. Hobden, "Low Cost FPGA Implementation of a SPI over High Speed Optical SerDes," *2018 IEEE International Symposium on Smart Electronic Systems (iSES) (Formerly iNiS)*, 2018, pp. 146-151
- [37] X. Zheng, "Design of High-Speed SerDes Transceiver for Chip-to-Chip Communications in CMOS Process," University of Lincoln, Doctoral dissertation, 2018
- [38] 前田真一, "前田真一の最新実装技術あれこれ塾 第 49 回 56Gbps 伝送技術," *実装技術* 2015 年 4 月号, (2015)
- [39] J. Lee, P. -C. Chiang, P. -J. Peng, L. -Y. Chen and C. -C. Weng, "Design of 56 Gb/s NRZ and PAM4 SerDes Transceivers in CMOS Technologies," *IEEE Journal of Solid-State Circuits*, vol. 50, pp. 2061-2073, 2015
- [40] Y. Iijima, K. Taya, and Y. Yuminaka, "PAM-4 Eye-Opening Monitor Technique Using Gaussian Mixture Model for Adaptive Equalization," *IEICE Transactions on Information and Systems*, Vo. E104.D, pp.s 1138-1145, 2021
- [41] 河西基文, "高速シリアル伝送技術講座(1)," *EDN Japan*, 2017

- [42] 日経エレクトロニクス, "USB4 が真の「ユニバーサル」へ," 2020 年 1 月号, p.24
- [43] C. Wang, K. Iokibe, and Y. Toyota, "Mitigating differential skew by rotating meshed ground for high-density layout in flexible printed circuits," *IEICE Electronics Express*, Vol. 17, pp. 1-6, 2020
- [44] 長岡秀明, 福盛大雅, 水谷大輔, "ガラスクロス多層配線板におけるスキュー分布が伝送特性に及ぼす影響の検討," 第 27 回エレクトロニクス実装学会春季講演大会, 13C-14, pp. 100-102, 2013
- [45] K. Nalla, A. Koul, S. Baek, M. Sapozhnikov, G. Maghlaelidze and J. Fan, "Measurement and correlation-based methodology for estimating worst-case skew due to glass weave effect," *2017 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI)*, 2017, pp. 187-192
- [46] Q. Gao, K. Cai, and B. Sen, "A Novel 4-Port S-Parameter De-Skew Method in Frequency Domain for High-Speed Channel Design," *2020 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI)*, 2020, pp. 103-107
- [47] T. Fukumori, H. Nagaoka, D. Mizutani, and M. Tani, "Simulation of differential skew considering fiber kink effects," *IEEE CPMT Symposium Japan 2014*, 2014, pp. 43-46
- [48] T. Zhang, X. Chen, J. E. Schutt-Ainé and A. C. Cangellaris, "Statistical analysis of fiber weave effect over differential microstrips on printed circuit boards," *2014 IEEE 18th Workshop on Signal and Power Integrity (SPI)*, 2014, pp. 1-4
- [49] A. Frisch, "高速シリアルバスの差動スキュー," *EDN Japan*, 2007
- [50] 河西基文, "高速シリアル伝送技術講座(7)," *EDN Japan*, 2017
- [51] O. H. Izadi, A. Hosseinbeig, G. Li and D. Pommerenke, "Effects of Mechanical Tolerances of USB 2.0 Cables on Skew and Radiated Emission," *IEEE Transactions on Electromagnetic Compatibility*, vol. 62, no. 1, pp. 249-257, 2020
- [52] C. Sreerama, "Effects of skew on EMI for HDMI connectors and cables," *2006 IEEE International Symposium on Electromagnetic Compatibility*, 2006. EMC 2006., 2006, pp. 452-455
- [53] B. Archambeault, J. C. Diepenbrock and S. Connor, "EMI Emissions from mismatches in High Speed Differential Signal Traces and Cables," *2007 IEEE International Symposium on Electromagnetic Compatibility*, 2007, pp. 1-6
- [54] Y. Zheng and J. Liu, "A 5 Gb/s Automatic Within-Pair Skew Compensator for Differential Data in 0.13  $\mu\text{m}$  CMOS," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 6, pp. 1191-1202, 2011
- [55] Y. Zheng, J. Li, J. Liu and Q. Yu, "Automatic within-pair-skew compensation for 6.25 Gbps differential links using wide-bandwidth delay units," *2006 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2006, pp. 4 pp.-2124
- [56] G. E. Matig-a, M. R. Yuce and J. -M. Redouté, "EMI susceptibility of high speed differential wireline communication front-ends," *2016 International Symposium on Electromagnetic Compatibility - EMC EUROPE*, 2016, pp. 382-387
- [57] G. E. Matig-a, M. R. Yuce, and J.-M. Redouté, "Design of a CML Transceiver With Self-Immunity to

- EMI in 0.18- $\mu\text{m}$  CMOS," IEEE Transactions on Circuits and Systems I, Vol. 64, No. 4, p. 981, 2017
- [58] G. E. Matig-a, M. R. Yuce and J. -M. Redouté, "Design of an EMI Self-Immune VML Transmitter in 0.18-  $\mu\text{m}$  CMOS," in IEEE Transactions on Electromagnetic Compatibility, vol. 59, no. 5, pp. 1646-1649, 2017
- [59] Intel, "USB 3.0 radio frequency interference impact on 2.4 GHz wireless Devices", White paper, 327216-001 (2012)
- [60] C. R. Paul, Introduction to Electromagnetic Compatibility, 2nd Edition. New York: Wiley, pp. 346–351, 2006.
- [61] Q. Xu, X. Bi, and G. Wu, "A New Multilayered Common-Mode Filter Based on LTCC," 2008 Asia-Pacific Microwave Conference, 2008, pp. 1-4
- [62] S. Mortazavi, D. Schleicher and F. Gerfers, "Characterization of common-mode choke for automotive ethernet networks enabling 100 Mbit/s," *2017 International Symposium on Electromagnetic Compatibility - EMC EUROPE*, 2017
- [63] 吉野 真, "積層型コモンモードフィルタ," 特許第 6248461 号公報, 2017
- [64] J. Werner, J. Schutt and G. Notermans, "Common mode filter for USB 3 interfaces," *2016 IEEE International Symposium on Electromagnetic Compatibility (EMC)*, 2016, pp. 100-104
- [65] M. DAMNJANOVIĆ, L. ŽIVANOV, and M. ŽIVANOV, "Modeling of Ferrite Common Mode Chokes for EMI Suppression in LTCC Technology," *10th International Conference on DEVELOPMENT AND APPLICATION SYSTEMS, Suceava, Romania*, 2010, pp.304-307
- [66] TDK Equivalent Circuit Model Library, "Commercial Grade for Signal Line (2 Lines) / TCM0605T series," TDK Corporation, 2018
- [67] Zhe Li, D. Pommerenke and Y. Shimoshio, "Common-mode and differential-mode analysis of common-mode chokes," *2003 IEEE Symposium on Electromagnetic Compatibility. Symposium Record (Cat. No.03CH37446)*, 2003, pp. 384-387
- [68] W.-T. Liu, T.-W. Han and T.-L. Wu, "A Novel Broadband Common-mode Filter for High-speed Differential Signals", *2008 Asia-Pacific Symposium on Electromagnetic Compatibility & 19th International Zurich on Electromagnetic Compatibility*, 2008, pp, 355-358
- [69] W.-T. Liu, C.-H. Tsai, T.-W. Han, and T.-L. Wu, "An embedded common mode suppression filter for GHz differential signals using periodic defected ground plane," IEEE Microwave and Wireless Components Letters, Vol. 18, no. 4, pp. 248–250, 2008
- [70] S.-J. Wu, H. Y. Chuang, T.-K. Wang, and T.-L. Wu, "A novel HU-shaped common-mode filter for GHz differential signals," *IEEE International Symposium on Electromagnetic Compatibility*, 2008, pp. 1-4
- [71] C.-H. Tsai, and T.-L. Wu "A Broadband and Miniaturized Common-Mode Filter for Gigahertz Differential Signals Based on Negative-Permittivity Metamaterials," IEEE Transactions on Microwave Theory and Techniques, Vol. 58, No. 1, pp. 195-202, 2010
- [72] C. Tsai, J. Hsu, I. A. Aeong and T. Wu, "A novel common mode choke and its application for 5 Gbps

- USB 3.0," *2011 IEEE International Symposium on Electromagnetic Compatibility*, 2011, pp. 888-891
- [73] T.-L. Wu, C.-H. Tsai, and I.-I. A. Leong, "Common mode noise suppression circuit," United State Patent, No.8,659,365 B2, 2014
- [74] G. -H. Shiue, C. -M. Hsu, C. -L. Yeh and C. -F. Hsu, "A Comprehensive Investigation of a Common-Mode Filter for Gigahertz Differential Signals Using Quarter-Wavelength Resonators," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 4, pp. 134-144, 2014
- [75] 亀谷雅明, "コモンモードフィルタ," 特許第 5386586 号公報, 2014
- [76] 亀谷雅明, "コモンモードフィルタ," 特許公報第 5393786 号, 2014
- [77] B. -F. Su and T. -G. Ma, "Miniaturized Common-Mode Filter Using Coupled Synthesized Lines and Mushroom Resonators for High-Speed Differential Signals," *IEEE Microwave and Wireless Components Letters*, vol. 25, No.2, pp. 112-114, 2015
- [78] F. Martin, J. Naqui, A. F. -Prieto, P. Velez, J. Bonache, J. Martel, F. Medina, "The Beauty of Symmetry: Common-Mode Rejection Filters for High-Speed Interconnects and Band Microwave Circuits," *IEEE Microwave Magazine*, vol. 18, no. 1, pp. 42-55, 2017
- [79] X. -L. Li, G. Yang and Q. Chen, "A Common-Mode Noise Suppression Filter for Gigahertz Differential Signals Based on Substrate Integrated Waveguide Resonators," *IEEE Access*, vol. 8, pp. 180992-181002, 2020
- [80] 亀谷雅明, "コモンモードフィルタ," 特許公報第 5341201 号, 2013
- [81] 亀谷雅明, "コモンモードフィルタ," 特許公報第 5352881 号, 2013
- [82] 亀谷雅明、曾田康男、大峠 忍、吉野勝美 “ノイズを吸収消滅する 10G ビット/s 超対応コモンモードフィルタ” *電磁環境工学情報 EMC*, No.283, pp60-82, 2011
- [83] M. Kameya, Y. Sota, S. Otao, and K. Yoshino, "Novel Common Mode Filters for Ultra-High Speed Transmissions Exceeding 10 Gbit/s", *Journal of the Society of Electrical Materials Engineering*, Vol.20, No.2, pp. 109-116, 2011
- [84] 亀谷雅明、曾田康男、大峠 忍、吉野勝美 “10Gbps 超の高速シリアル伝送に対応可能なダイレイラインおよびコモンモードフィルタ” *マテリアル インテグレーション* 2012 年 8.9 合併月号, pp.104-112, 2012
- [85] K. Kumagai, Y. Yoneda, H. Izumino, H. Shimojo, M. Sunohara, T. Kurihara, M. Higashi, and Y. Mabuchi, "A Silicon interposer BGA package with Cu-filled TSV and multi-layer Cu-plating interconnect," *2008 58th Electronic Components and Technology Conference*, 2008, pp. 571-576
- [86] L. Qin, and H. Li, "Wafer Level Chip Packaging Technology Based on Computer Aided Technology," *Journal of Physics: Conference Series*, Vol. 1578, 2020
- [87] M. Kameya, Y.-M. Chang, and K. Nakamura, "Differential Signal Balancer Embedded in Metal Wiring Layers of Silicon LSI," *Extended Abstracts of the 2019 International Conference on Solid State Device and Materials*, M-3-05, 2019, pp. 521-522
- [88] M. Kameya, Y.-M. Chang, E. Gofuku, and K. Nakamura, "Compact differential signal balancer

- embedded in metal wiring layers of silicon LSI for common mode noise filtering,” Japanese Journal of Applied Physics, Vol. 59, No. SG, 2020
- [89] M. Kameya, E. Gofuku, and K. Nakamura, “Differential Signal Balancer Embedded in Silicon LSI with Bifilar Coupling Inductors and Stacked Delay Lines,” *Extended Abstracts of the 2021 International Conference on Solid State Device and Materials, C-5-03*, 2021, p.165
- [90] M. Kameya, E. Gofuku, and K. Nakamura, “Differential Signal Balancer Embedded in Silicon LSI as smallest common-mode filter combined Bifilar Coupling Inductors and Stacked Delay Lines,” Japanese Journal of Applied Physics, Vol. 61, p. SC1079-1, 2022
- [91] A. Rumiantsev and R. Doerner, “RF Probe Technology: History and Selected Topics,” IEEE Microwave Magazine, Vol. 14, No.7, pp. 46-58, 2013
- [92] 亀谷雅明, "遅延線のインダクタンス素子," 特許公報第 4368352 号, 2009
- [93] 亀谷雅明, "コモンモードフィルタ用インダクタおよびコモンモードフィルタ," PCT 公開番号 WO 2011/114859, 2011
- [94] D. P. D. Silva, and S. F. Pichorim, "Modeling of Open Square Bifilar Planar Spiral Coils," Journal of Microwaves, Optoelectronics and Electromagnetic Applications, Vol. 17, No. 3, 2018
- [95] V. Issakov, M. Wojnowski, A. Thiede, and L. Maurer, "Extension of Thru de-embedding technique for asymmetrical and differential devices," IET Circuits, Devices & Systems, Vol. 3, No. 2 , pp. 91-98, 2008
- [96] Keysight Technologies, Inc., "Automatic Fixture Removal – Differential Interconnects," Application Note, 2014
- [97] Keysight Technologies, Inc., "物理層テスト・システム・ソフトウェア(PLTS)2016," Technical Overview, 5989-6841JAJP, 2016
- [98] Keysight Technologies, Inc., “De-Embedding and Embedding S-Parameter Networks Using a Vector Network Analyzer”, Application Note, 2017
- [99] M. Kameya, E. Gofuku, and K. Nakamura, "Noise Reduction Termination for RFI Induced Channel Resonance using Common-mode Choke and Differential Signal Balancer," *2021 IEEE CPMT Symposium Japan (ICSJ)*, 2021, pp. 180-183
- [100] S. Lomigora and P. Shockman, “GigaComm™ (SiGe) SPICE Modeling Kit,” [www.onsemi.com/pub/Collateral/AND8077-D.PDF](http://www.onsemi.com/pub/Collateral/AND8077-D.PDF)